

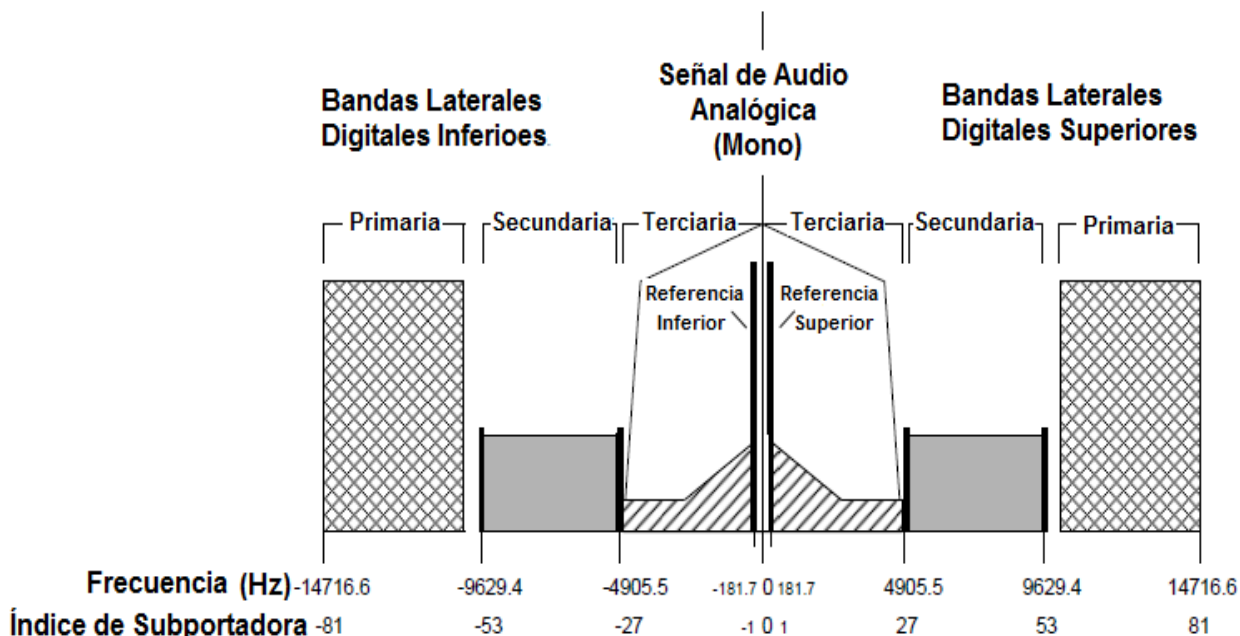
# ANEXO A. FORMAS DE ONDA Y ESPECTROS

Existen dos tipos de formas de ondas: Híbrida y Digital Total. Cada espectro está dividido en varias bandas laterales, que representan varias agrupaciones de subportadoras.

## A.1. ESPECTRO HIBRIDO.

La señal digital es transmitida en bandas laterales a ambos lados y por debajo de la señal analógica. La señal digital es reducida en amplitud respecto a la señal analógica. El modo híbrido permite que durante el periodo de introducción del sistema, sea posible la recepción del programa tanto por los nuevos receptores digitales como con los receptores convencionales de modulación de amplitud. En este modo de funcionamiento no es posible la emisión en estéreo para la señal analógica. En contraposición, la calidad de la señal digital es bastante superior a la de la señal analógica.

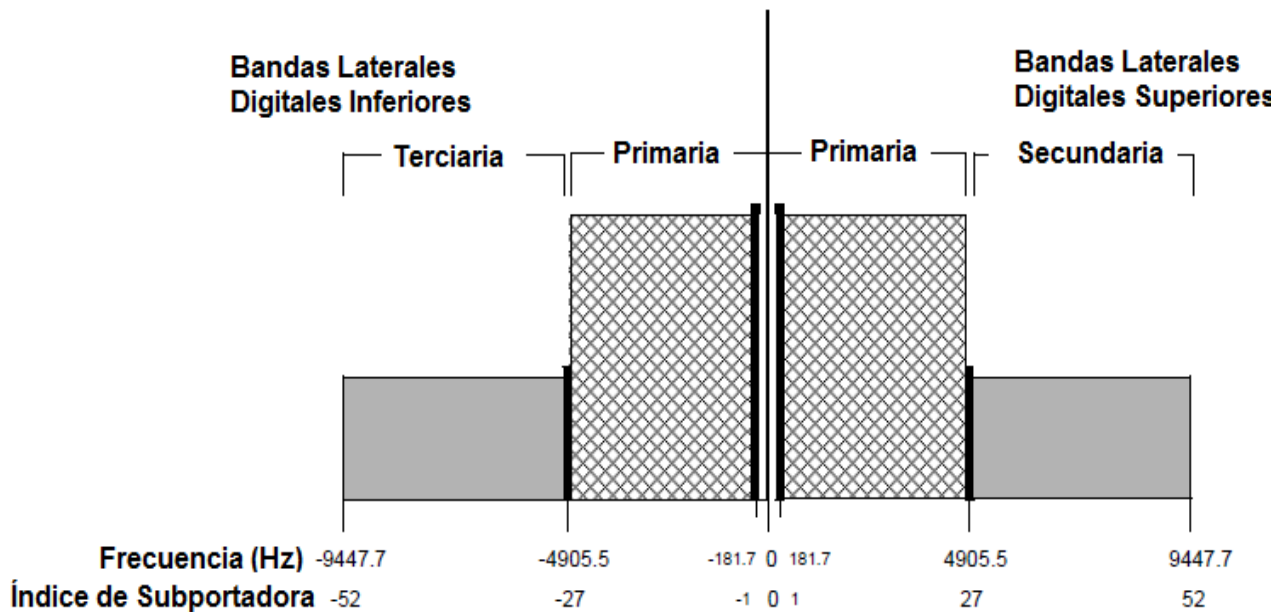
Figura A.1. Forma de Onda del Espectro Híbrido para AM HD



## A.2. ESPECTRO DIGITAL TOTAL.

En la forma de onda digital total, la señal analógica se sustituye con bandas laterales de mayor potencia primaria. La señal portadora sin modular AM es retenida. Además la banda lateral superior secundaria se mueve a las frecuencias más altas por encima de la banda lateral superior primaria y la banda lateral inferior terciaria se mueve a las frecuencias más bajas por debajo de la banda lateral inferior primaria, las bandas laterales secundaria inferior y terciaria superior ya no se utilizan. Además la potencia de ambas bandas laterales secundarias y terciarias se incrementa. Estos cambios resultan en una reducción del ancho de banda total, haciendo a la forma de onda digital total menos susceptible a la interferencia de canal adyacente, las subportadoras de referencia están situadas a ambos lados de la portadora no modulada AM como en la forma de onda híbrida, pero a un nivel superior. El espectro de la forma de onda digital total es ilustrado en la figura A2.

Figura A.2. Espectro de la Forma de Onda Digital Total.



# ANEXO B. CARACTERIZACION DE LOS CANALES LOGICOS

Para un modo de servicio dado, el grado de servicio de un canal lógico en particular puede ser cuantificado, usando únicamente tres parámetros de caracterización, la transferencia, la latencia, y la robustez. La tasa de código de canal, la profundidad de entrelazado, la diversidad de retardos y el mapeo espectral son los factores determinantes de la caracterización de parámetros.

## B.1. TRANSFERENCIA

Se denomina transferencia al rendimiento de un canal lógico. La creación de cada bloque orientado a la capa 1 (tal como el bloque entrelazador) requiere que los datos se procesen en tramas de transferencia discreta, en lugar de fuentes continuas. Como resultado, el rendimiento se define en términos del tamaño de la trama de transferencia (en bits) y la tasa de la trama de transferencia ( en Hz o el numero de transferencia por segundo)

## B.2. LATENCIA

La latencia es el retardo que un canal lógico impone sobre una trama de transferencia al atravesar la capa 1. La latencia de un canal lógico se define como la suma de las profundidades de entrelazados y sus diversos retardos. No incluye los retardos en el procesamiento en la capa 1, ni tampoco incluye los retardos impuestos en las capas superiores.

## B.3. ROBUSTEZ

La robustez es la capacidad de un canal lógico para soportar las deficiencias de los canales, tales como ruidos, interferencias y estructuras conductoras a tierra (GCC). Hay ocho niveles relativos de robustez diseñados en la capa física de la especificación del estándar IBOC-AM. La robustez 1 indica un nivel muy alto de resistencia a las alteraciones de los canales, mientras que la solidez de 8 indica una menor tolerancia a los errores inducidos por el canal. Al igual que con la latencia, las capas superiores deben determinar la robustez requerida de un canal lógico antes de seleccionar un servicio.

Los tamaños de las tramas de transferencia de cada canal lógico según el modo de servicio se presentan en las siguientes tablas B.1 y B.2, haciendo énfasis en el modo de funcionamiento totalmente digital.

**Tabla B.1. Caracterización de Canal Lógico - Modo de Servicio MA1 (Hibrido).**

Canal Lógico	Transferencia			Robustez relativa
	Tamaño(bits)	Tasa Trama(Hz)	L1 Latencia(s)	
P1	3750	$R_b$	$T_f + T_{dd}$	5
P3	24000	$R_f$	$T_f$	6 PL(Alta) o 8 PL(Baja)
PIDS	80	$R_b$	$T_d$	3 PL(Alta) o 8 PL(Baja)

**Tabla B.2. Caracterización de Canal Lógico - Modo de Servicio MA3 (Digital).**

Canal Lógico	Transferencia			Robustez relativa
	Tamaño(bits)	Tasa Trama(Hz)	L1 Latencia(s)	
P1	3750	$R_b$	$T_f + T_{dd}$	1
P3	30000	$R_f$	$T_f + T_{dd}$	4
PIDS	80	$R_b$	$T_d$	2

En el presente trabajo de grado solamente se ha empleado la información que permita utilizar el modo totalmente digital ya que dependiendo el modo de servicio, el sistema puede ofrecer diferentes capacidades de transporte de información digital.

# ANEXO C. CODIFICACIÓN DE CANAL

## C.1. CODIFICACIÓN CONVOLUCIONAL

La codificación convolucional consiste de tres operaciones primarias: generación de código madre, perforación y conversión paralelo-serial, cada una de estas operaciones se describe a continuación.

### C.1.1. Generación del Código Madre

Los codificadores convolucionales asociados con cada canal lógico emplean polinomios generadores selectos para formar un grupo de códigos madres. Un codificador convolucional tiene en sus salidas 3 bit codificados,  $g_{h,i}$ , por cada bit de entrada  $s_i$ ,  $i = 0, 1, \dots, N - 1$  creando una matriz de palabras clave  $\underline{G}$  de dimensión  $3 \times N$ :

$$\underline{G} = \begin{bmatrix} g_{1,0} & g_{1,1} & \dots & g_{1,N-1} \\ g_{2,0} & g_{2,1} & \dots & g_{2,N-1} \\ g_{3,0} & g_{3,1} & \dots & g_{3,N-1} \end{bmatrix}$$

Donde  $N$  es la longitud de  $\underline{s}$ , y  $h = 1, 2, 3$  indexa los bits de la palabra clave para un bit de entrada dado. Cada columna de  $\underline{G}$  representa la salida codificada para un bit de entrada dado.

### C.1.2. Perforación

La mayoría de los modos de servicio requieren la perforación del código madre para producir un tipo de código más alto, lo que permite una tasa de información mayor a través del mismo ancho de banda. La matriz de palabra clave  $\underline{G}$  es perforada con un período de perforación  $P$ . Por cada  $P$  bits codificados, ciertos bits  $g_{h,i}$  no se transmiten. Una matriz perforadora que abarca los bits codificados en un período de tiempo define qué bits codificados son transmitidos. Repetir la matriz perforadora sobre todos los bits codificados de una trama de transferencia forma el patrón perforado.

### C.1.3. Conversión Paralelo-Serial

Luego que los bits del código madre son perforados adecuadamente, el conversor paralelo-serie los multiplexa concatenando las columnas de  $\underline{G}$  en un solo vector  $\underline{G}$ , así:

$$\underline{G} = [g_{1,0} \ g_{2,0} \ \dots \ g_{n,0} \ g_{1,1} \ g_{2,1} \ \dots \ g_{n,1} \ \dots \ g_{1,N-1} \ g_{2,N-1} \ \dots \ g_{n,N-1}]$$

### C.1.4. Codificadores Convolucionales

La Tabla C.1 muestra las tasas de código utilizadas en el sistema AM, junto con sus matrices perforadas asociadas y sus tasas de código madre. Los últimos 8 bits de una trama de transferencia dada se utilizan para inicializar los elementos de retraso del correspondiente codificador convolucional para esa trama de transferencia.

**Tabla C.1. Códigos Convolucionales AM**

Codificador	Tasa de Código Perforado	Matriz Perforada	Tasa de Código Madre
E1	5/12	$\begin{bmatrix} 1 & 1 & 1 & 1 & 1 \\ 0 & 0 & 0 & 1 & 1 \\ 1 & 1 & 1 & 1 & 1 \end{bmatrix}$	1/3
E2	2/3	$\begin{bmatrix} 1 & 1 & 1 & 1 \\ 0 & 0 & 0 & 0 \\ 1 & 0 & 1 & 0 \end{bmatrix}$	1/3
E3	1/3	$\begin{bmatrix} 1 \\ 1 \\ 1 \end{bmatrix}$	1/3

#### C.1.4.1. Código de tasa 5/12

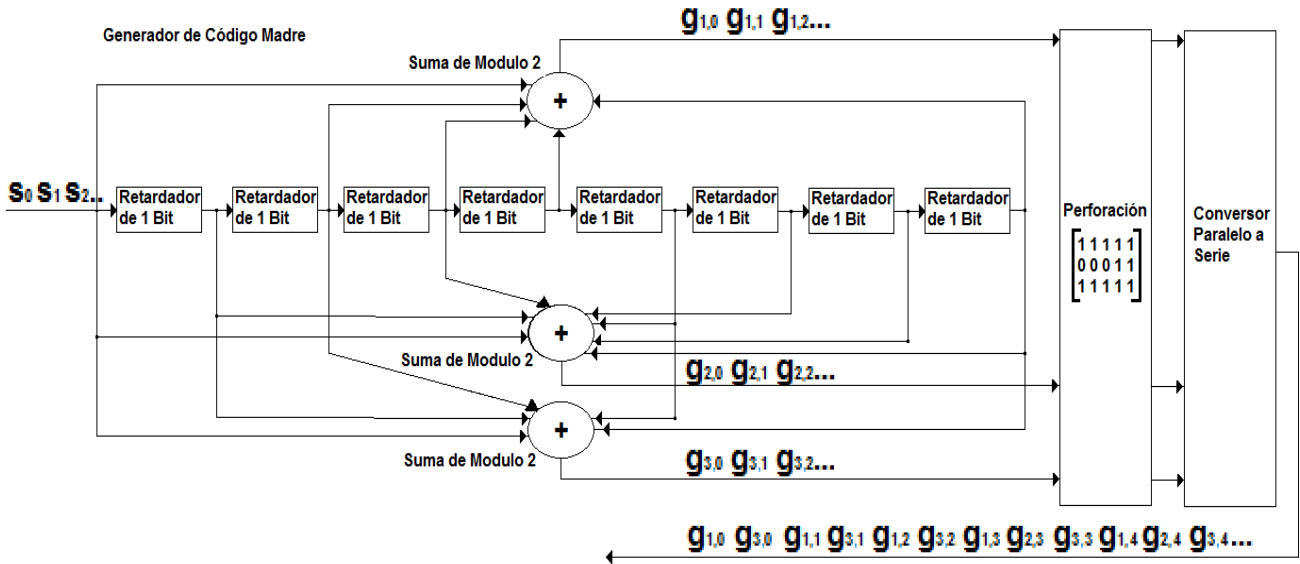
El código madre de tasa 5/12 de longitud restringida  $K=9$ , está definido por los polinomios generadores mostrados en la Tabla C.2. Este codificador está representado en forma octal.

**Tabla C.2. Polinomios Generadores de Codificador Convolucional - Código Madre de Tasa 5/12**

Primer Generador	Segundo Generador	Tercer Generador
561	657	711

El código convolucional de tasa 5/12 se ilustra en la Figura C.1.

**Figura C.1. Codificador Convolutivo - Tasa 5/12**



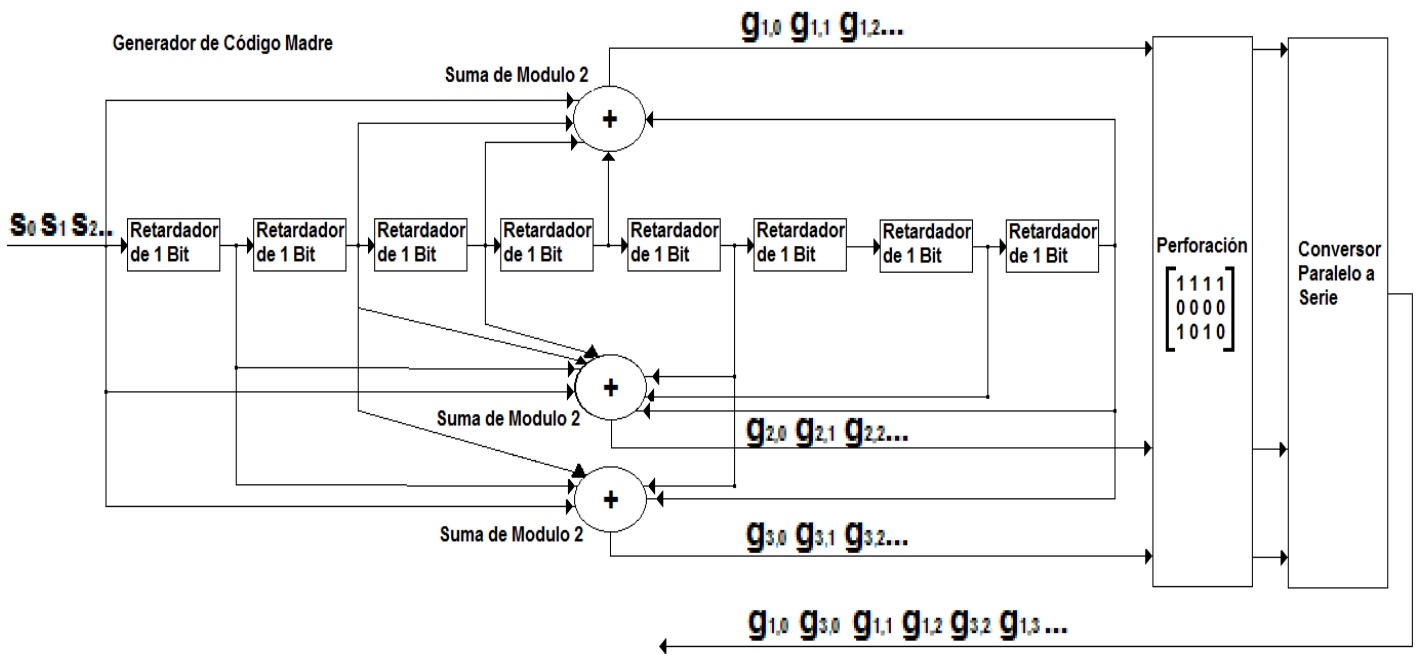
**C.1.4.2. Código perforado de tasa 2/3**

El código madre de tasa 1/3 es perforado para producir un código de tasa 2/3, está definido por los polinomios generadores mostrados en la Tabla C.2 El código convolutivo de tasa 2/3 se ilustra en la Figura C.2.

**Tabla C.3. Polinomios Generadores de Codificador Convolutivo - Código Madre de Tasa 2/3**

Primer Generador	Segundo Generador	Tercer Generador
561	753	711

Figura C.2. Codificador Convolutacional - Tasa 2/3



C.1.4.3. Código perforado de tasa 1/3

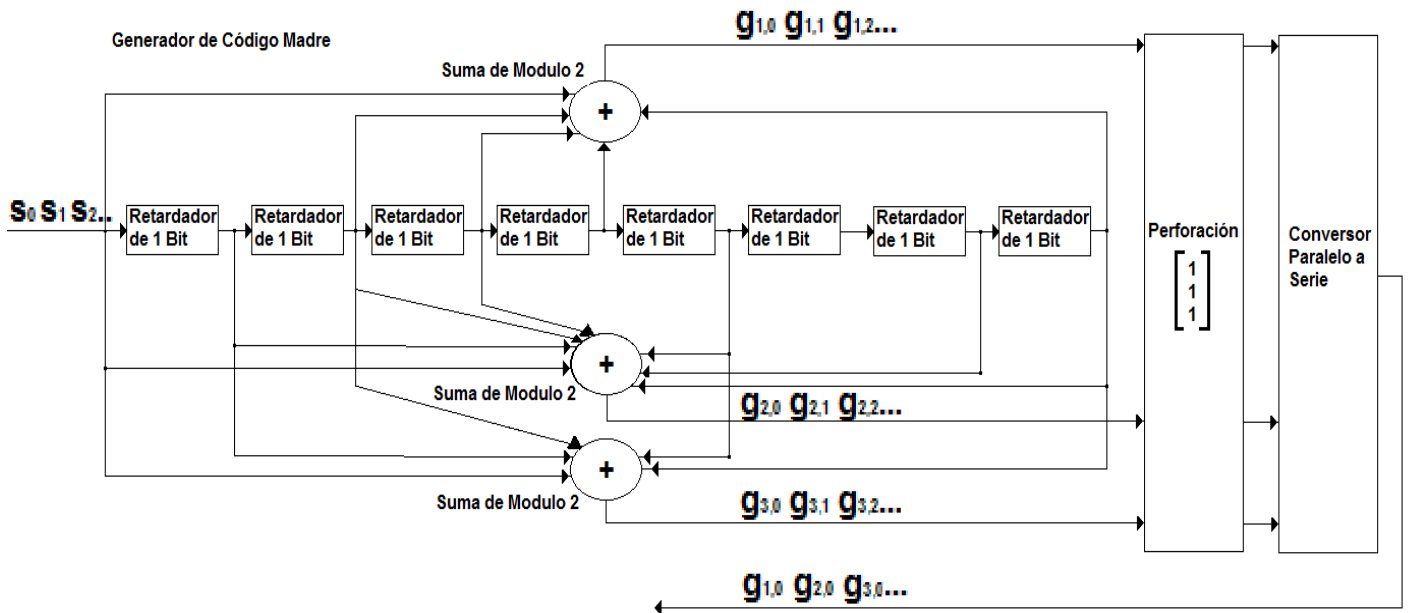
El código madre de tasa 1/3 es perforado para producir un código de tasa 1/3. está definido por los polinomios generadores mostrados en la Tabla C.24. El código convolutacional de tasa 1/3 se ilustra en la Figura C.3.

Tabla C.4. Polinomios Generadores de Codificador Convolutacional - Código Madre de Tasa 1/3

Primer Generador	Segundo Generador	Tercer Generador
561	753	711



Figura C.3. Codificador Convolutivo – Tasa 1/3



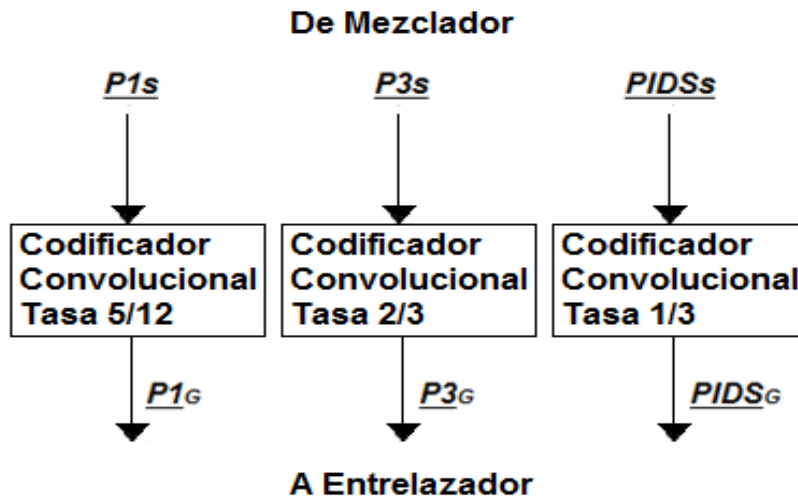
## C.2. FLUJO DE DATOS DE CODIFICACIÓN DEL CANAL

A continuación se especifican los tipos de codificación aplicados a cada canal lógico dependiendo del modo de servicio activo.

### C.2.1. Modo de Servicio MA1

Solo los canales lógicos P1, P3 y PIDS están activos en el modo de servicio MA1. El flujo de las tramas de transferencia a través del proceso de codificación de canal para el modo de servicio MA1 se muestra en la Figura C.4.

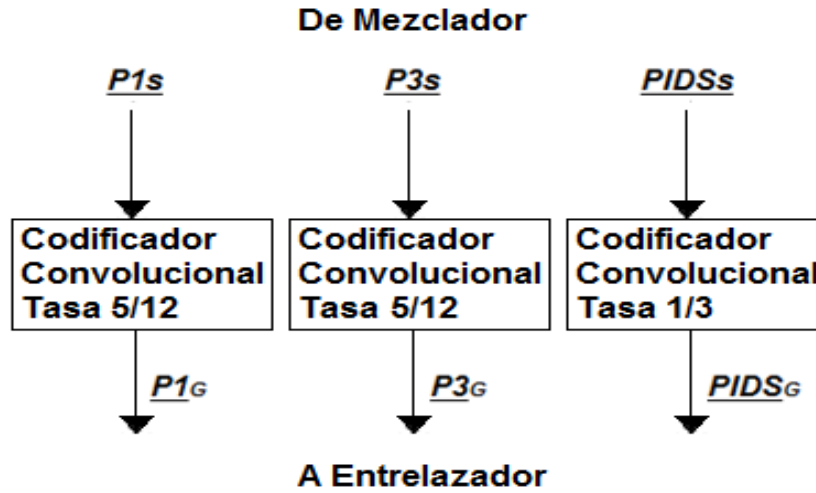
Figura C.4. Codificación de Canal - Modo de Servicio MA1



### C.2.2. Modo de Servicio MA3

Solo los canales lógicos P1, P3 y PIDS están activos en el modo de servicio MP6. El flujo de las tramas de transferencia a través del proceso de codificación de canal para el modo de servicio MA3 se muestra en la Figura C.5.

**Figura C.5. Codificación de Canal - Modo de Servicio MA3**



## ANEXO D. DESCRIPCIÓN DE PROCESOS DE ENTRELAZADO

Las entradas al entrelazador son vectores de la trama de transferencia para cada salida de canal lógico a partir de la codificación de canal. La tabla D.1 define el tamaño y tipo de las tramas de transferencia en cada canal lógico activo, junto con la matriz del entrelazador destino y el número de tramas de transferencia necesarias para llenar la matriz del entrelazador destino. Las matrices del entrelazador se transfieren al mapeador de sub-portadoras OFDM, que asigna una fila de cada matriz del entrelazador a sus bandas laterales superior e inferior respectivas.

**Tabla D.1. Características de las Tramas de Transferencia Modo de Servicio MA3.**

Trama de Transferencia	Tamaño de Trama de Transferencia de Entrada (bits)	Tasa de Trama de Transferencia de Entrada (Hz)	Destino de Matrices del Entrelazador	Tramas de Transferencia por la Matriz del Entrelazador
<u>P1<sub>G</sub></u>	9000	Rb	<u>PU, PL</u>	8
<u>P3<sub>G</sub></u>	72000	Rf	<u>S, I</u>	1
<u>PIDS</u>	240	Rb	<u>PIDS</u>	1

Se describe cada uno de los procesos de entrelazado para las diferentes matrices del sistema.

### D.1. PROCESO DE ENTRELAZADO PARA LAS MATRICES PU, PL, T, Y S

Para las matrices del entrelazador PU, PL, S y I, el entrelazado dentro de cada bloque se realiza mediante la ecuación (1), para la fila y los índices de columna, para los puntos de índice k a uno de los elementos dentro de un bloque del entrelazador.

$$Fila(k) = [11[(9k) \text{ MOD } 25] + 16INT(k/25) + 11INT(k/50)] \text{ MOD } 32$$

$$Columna(k) = (9k) \text{ MOD } 25 \quad (1).$$

$$\text{para } k = 0, \dots, 749$$

Del total de 800(32x25) elementos en un bloque del entrelazador, los restantes 50 elementos se utilizan para transmitir un patrón de entrenamiento conocido. La fila y la columna de estos elementos de formación se indican utilizando las mismas ecuaciones anteriores con k indexada desde 750 a 799.

La figura D.1 muestra un bloque del entrelazador de 32x25. El número de cada elemento representa el valor de k, que produce los índices de filas y columnas de ese elemento. "T" representa los elementos que contienen un símbolo de formación.

La definición de los símbolos de entrenamiento para cada canal lógico en cada modo de servicio se da en la tabla D.2.

**Tabla D.2. Patrones de Entrenamiento de Bits.**

Matrices del Entrelazador				
<u>PU</u>	<u>PL</u>	<u>S</u>	<u>T</u>	<u>PIDS</u>
100101	100101	100101	100101	1001

**Figura D.1. Índices de filas y columnas del Entrelazador vs k**

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
0	0	"T"	728	692	631	595	534	498	437	376	340	279	243	182	146	85	49	"T"	702	666	605	569	508	472	411
1	150	114	53	17	"T"	745	684	648	587	526	490	429	393	332	296	235	199	138	77	41	"T"	719	658	622	561
2	300	264	203	167	106	70	9	"T"	737	676	640	579	543	482	446	385	349	288	227	191	130	94	33	"T"	711
3	450	414	353	317	256	220	159	123	62	1	"T"	729	693	632	596	535	499	438	377	341	280	244	183	147	86
4	600	564	503	467	406	370	309	273	212	151	115	54	18	"T"	746	685	649	588	527	491	430	394	333	297	236
5	"T"	714	653	617	556	520	459	423	362	301	265	204	168	107	71	10	"T"	738	677	641	580	544	483	447	386
6	125	89	28	"T"	706	670	609	573	512	451	415	354	318	257	221	160	124	63	2	"T"	730	694	633	597	536
7	275	239	178	142	81	45	"T"	723	662	601	565	504	468	407	371	310	274	213	152	116	55	19	"T"	747	686
8	425	389	328	292	231	195	134	98	37	"T"	715	654	618	557	521	460	424	363	302	266	205	169	108	72	11
9	575	539	478	442	381	345	284	248	187	125	90	29	"T"	707	671	610	574	513	452	416	355	319	258	222	161
10	725	689	628	592	531	495	434	398	337	276	240	179	143	82	46	"T"	724	663	602	566	505	469	408	372	311
11	50	14	"T"	742	681	645	584	548	487	426	390	329	293	232	196	135	99	38	"T"	716	655	619	558	522	461
12	200	164	103	67	6	"T"	734	698	637	576	540	479	443	382	346	285	249	188	127	91	30	"T"	708	672	611
13	350	314	253	217	156	120	59	23	"T"	726	690	629	593	532	496	435	399	338	277	241	180	144	83	47	"T"
14	500	464	403	367	306	270	209	173	112	51	15	"T"	743	682	646	585	549	488	427	391	330	294	233	197	136
15	650	614	553	517	456	420	359	323	262	201	165	104	68	7	"T"	735	699	638	577	541	480	444	383	347	286
16	25	"T"	703	667	606	570	509	473	412	351	315	254	218	157	121	60	24	"T"	727	691	630	594	533	497	436
17	175	139	78	42	"T"	720	659	623	562	501	465	404	368	307	271	210	174	113	52	16	"T"	744	683	647	586
18	325	289	228	192	131	95	34	"T"	712	651	615	554	518	457	421	360	324	263	202	166	105	69	8	"T"	736
19	475	439	378	342	281	245	184	148	87	26	"T"	704	668	607	571	510	474	413	352	316	255	219	158	122	61
20	625	589	528	492	431	395	334	298	237	176	140	79	43	"T"	721	660	624	563	502	466	405	369	308	272	211
21	"T"	739	678	642	581	545	484	448	387	326	290	229	193	132	96	35	"T"	713	652	616	555	519	458	422	361
22	100	64	3	"T"	731	695	634	598	537	476	440	379	343	282	246	185	149	88	27	"T"	705	669	608	572	511
23	250	214	153	117	56	20	"T"	748	687	626	590	529	493	432	396	335	299	238	177	141	80	44	"T"	722	661

24	400	364	303	267	206	170	109	73	12	"T"	740	679	643	582	546	485	449	388	327	291	230	194	133	97	36
25	550	514	453	417	356	320	259	223	162	101	65	4	"T"	732	696	635	599	538	477	441	380	344	283	247	186
26	700	664	603	567	506	470	409	373	312	251	215	154	118	57	21	"T"	749	688	627	591	530	494	433	397	336
27	75	39	"T"	717	656	620	559	523	462	401	365	304	268	207	171	110	74	13	"T"	741	680	644	583	547	486
28	225	189	128	92	31	"T"	709	673	612	551	515	454	418	357	321	260	224	163	102	66	5	"T"	733	697	636
29	375	339	278	242	181	145	84	48	"T"	701	665	604	568	507	471	410	374	313	252	216	155	119	58	22	"T"
30	525	489	428	392	331	295	234	198	137	76	40	"T"	718	657	621	560	524	463	402	366	305	269	208	172	111
31	675	639	578	542	481	445	384	348	287	226	190	129	93	32	"T"	710	674	613	552	516	455	419	358	322	261

### D.1. PROCESO DE ENTRELAZADO PARA LA MATRIZ PIDS

La matriz del Entrelazador PIDS se construye de la misma forma, independientemente del modo de servicio. El entrelazado para cada bloque del entrelazador se realiza utilizando la ecuación (2), para los índices de la fila.

$$Fila(k) = [11(k + INT(k/15)) + 3]MOD 32$$

para  $k = 0, \dots, 29$  (2).

Los puntos de índice k en uno de los 30 elementos dentro de un bloque del entrelazador. Del total de 32 elementos en un bloque, los dos elementos restantes se utilizan para transmitir un patrón de entrenamiento conocido. Las filas de estos elementos de formación son indexadas usando la ecuación (2), con k indexada de 30 a 31.

En todos los modos de servicio, las subtramas IU e IL se utilizan para rellenar la matriz del entrelazador PIDS. IL llena la columna 0 e IU llena la columna 1.

De la tabla D.3, cada elemento de la matriz del entrelazador PIDS contiene 4 bits. Los elementos que están reservados para la formación se llenan con el patrón de bits mostrado en la tabla D.2. La figura D.2, muestra una columna del entrelazador PIDS de 32x1, que ilustra la estructura de IU e IL. El número de cada elemento representa el valor de k, que produce el índice de fila para ese elemento. "T" representa los elementos que contienen un símbolo de formación.

**Tabla D.3. Número de Bits por Elemento de la Matriz del Entrelazador.**

Matrices del Intercalador				
<u>PU</u>	<u>PL</u>	<u>S</u>	<u>I</u>	<u>PIDS</u>
6	6	6	6	4

**Figura D.2. Entrelazador PIDS Indices de Fila Vs k.**

Fila	K
	0
0	22
1	25
2	28

3	0
4	3
5	6
6	9
7	12
8	"T"
9	17
10	20
11	23
12	26
13	29
14	1
15	4
16	7
17	10
18	13
19	15
20	18
21	21
22	24
23	27
24	"T"
25	2
26	5
27	8
28	11
29	14
30	16
31	19

En el modo de servicio MA3, las matrices del entrelazador  $\underline{P_U}$ ,  $\underline{P_L}$ ,  $\underline{S}$ ,  $\underline{I}$ , y  $\underline{P_{IDS}}$  se rellenan para la entrada del mapeador de sub-portadora OFDM. Véase las figuras D.3 y D.4 para más detalles.

**Figura D.3. Proceso de Entrelazado  $\underline{P_{IDS}}$  - Todos los modos de servicio.**  
**Generador de Subtramas      Retardador para Diversidad      Mapeador de Bits**

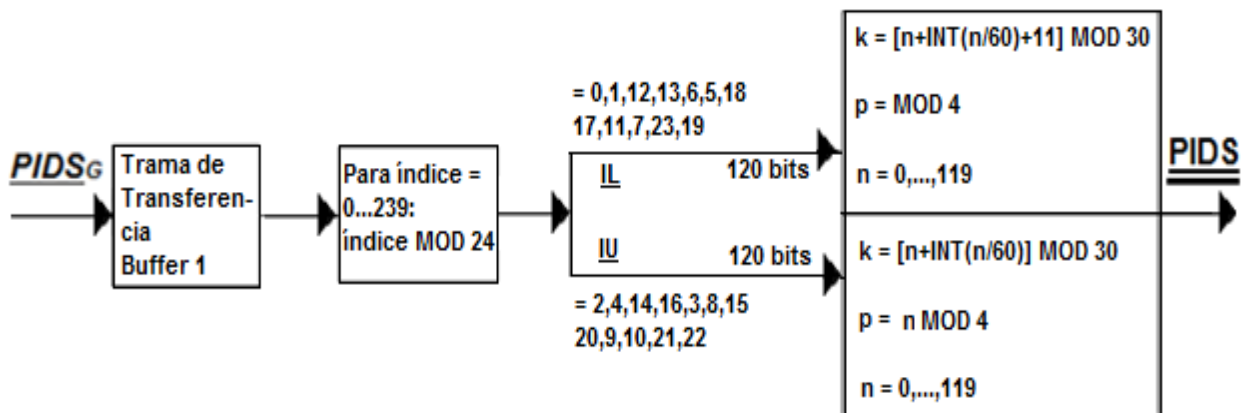
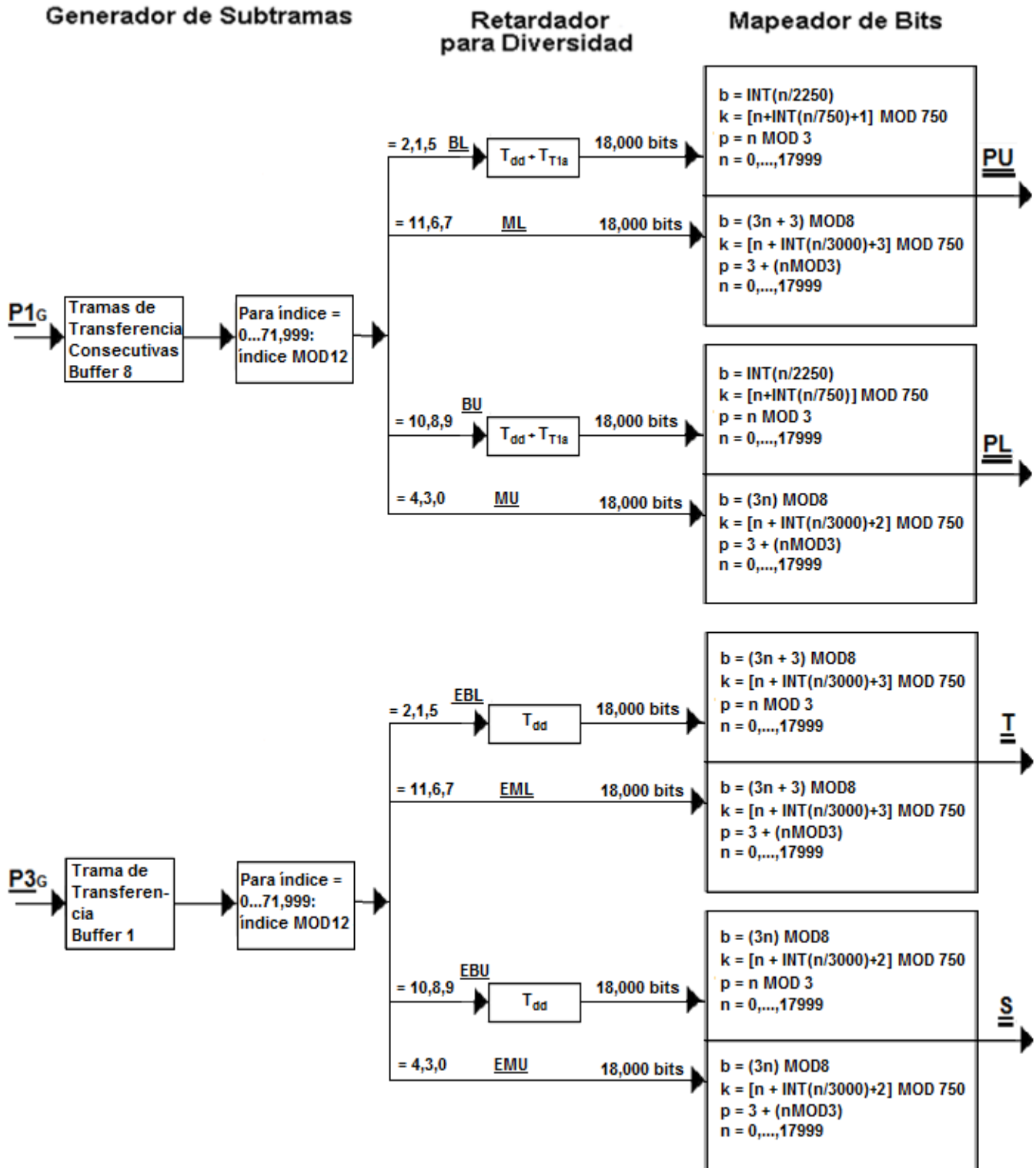


Figura D.4. Entrelazado – Modo de servicio MA3







# ANEXO E. TABLAS DE MAPEO DE SUBPORTADORAS OFDM

Se presentan las tablas de mapeo para las subportadoras de datos y referencia.

## E.1. TABLAS DE MAPEO DE SUBPORTADORA DE DATOS

### E.1.1 Subportadoras Primarias

En tanto las formas de onda híbrida y totalmente digital,  $\underline{PU}_s$  y  $\underline{PL}_s$  mapean a las bandas laterales primarias, como se muestra en la tabla E.1 y en la tabla E.2. En cada caso, la asignación se inicia con el índice de subportadora con el menor valor absoluto y continúa con el índice de subportadora con el mayor valor absoluto. En la forma de onda digital el primer elemento de  $\underline{PU}_s$  mapea a subportadora 2 y el primer elemento de  $\underline{PL}_s$  mapea a subportadora -2. Además, los valores de la constelación de las bandas laterales inferiores son negativos y complejos conjugados. Esto se indica en la tabla E.1 y en la tabla E.2 por un signo menor y un asterisco después de la designación de la matriz del entrelazador por ejemplo, -  $\underline{PL}_s^*$ .

**Tabla E.1. Mapeo de constelación 64-QAM.**

6 bits por palabra $X_5X_4X_3X_2X_1X_0$	Hexagecimal	Valor de la Constelación	6 bits por palabra $X_5X_4X_3X_2X_1X_0$	Hexagecimal	Valor de la Constelación
000000	0	-3.5 -j3.5	100000	20	-3.5 -j2.5
000001	1	3.5 -j3.5	100001	21	3.5 -j2.5
000010	2	-0.5 -j3.5	100010	22	-0.5 -j2.5
000011	3	0.5 -j3.5	100011	23	0.5 -j2.5
000100	4	-2.5 -j3.5	100100	24	-2.5 -j2.5
000101	5	2.5 -j3.5	100101	25	2.5 -j2.5
000110	6	-1.5 -j3.5	100110	26	-1.5 -j2.5
000111	7	1.5 -j3.5	100111	27	1.5 -j2.5
001000	8	-3.5 +j3.5	101000	28	-3.5 +j2.5
001001	9	3.5 +j3.5	101001	29	3.5 +j2.5
001010	A	-0.5 +j3.5	101010	2A	-0.5 +j2.5
001011	B	0.5 +j3.5	101011	2B	0.5 +j2.5
001100	C	-2.5 +j3.5	101100	2C	-2.5 +j2.5

001101	D	2.5 +j3.5	101101	2D	2.5 +j2.5
001110	E	-1.5 +j3.5	101110	2E	-1.5 +j2.5
001111	F	1.5 +j3.5	101111	2F	1.5 +j2.5
010000	10	-3.5 -j0.5	110000	30	-3.5 -j1.5
010001	11	3.5 -j0.5	110001	31	3.5 -j1.5
010010	12	-0.5 -j0.5	110010	32	-0.5 -j1.5
010011	13	0.5 -j0.5	110011	33	0.5 -j1.5
010100	14	-2.5 -j0.5	110100	34	-2.5 -j1.5
010101	15	2.5 -j0.5	110101	35	2.5 -j1.5
010110	16	-1.5 -j0.5	110110	36	-1.5 -j1.5
010111	17	1.5 -j0.5	110111	37	1.5 -j1.5
011000	18	-3.5 +j0.5	111000	38	-3.5 +j1.5
011001	19	3.5 +j0.5	111001	39	3.5 +j1.5
011010	1A	-0.5 +j0.5	111010	3A	-0.5 +j1.5
011011	1B	0.5 +0.5	111011	3B	0.5 +j1.5
011100	1C	-2.5 +j0.5	111100	3C	-2.5 +j1.5
011101	1D	2.5 +j0.5	111101	3D	2.5 +j1.5
011110	1E	-1.5 +j0.5	111110	3E	-1.5 +j1.5
011111	1F	1.5 +j0.5	111111	3F	1.5 +j1.5

**Tabla E.2. Mapeo de Subportadora del Entrelazador Primario. Forma de Onda Digital Total**

Modo	Número Inicial de Subportadora	Número Final de Subportadora	Matriz del Intercalador	Número de Columna de Inicio de la Matriz del Intercalador	Número de Columna Final de la Matriz del Intercalador
MA3	-2	-26	$-\underline{P}\underline{L}_s$	0	24
MA3	2	26	$\underline{P}\underline{U}_s$	0	24

### E.1.2. Subportadoras secundarias y terciarias.

En la forma de onda digital total  $\underline{S}$  mapea a la banda lateral secundaria y  $\underline{I}$  mapea a la banda lateral superior terciaria. Las matrices del entrelazador secundaria y terciaria están mapeando a las constelaciones 64-QAM, mientras que la matriz del entrelazador  $\underline{PIDS}$  está mapeando a las constelaciones 16-QAM, la tabla E.3 muestra el mapeo de esta constelación.

La matriz del entrelazador secundario mapea a la banda lateral secundaria, la matriz del entrelazador terciario mapea a la banda lateral terciaria y la matriz del entrelazador  $\underline{PIDS}$  mapea a ambas bandas laterales secundaria y terciaria. Para la matriz del entrelazador  $\underline{PIDS}$ , la primera columna mapea en el índice de subportadora con el menor valor absoluto en la banda lateral terciaria (-27) y la segunda columna mapea en el índice de subportadora con el menor valor absoluto en la banda lateral secundaria (+27) como se indica en la tabla E.5. El mapeo para ambas  $\underline{S}_s$  y  $\underline{I}_s$  comienza con el índice de subportadora con el segundo valor absoluto más bajo y continúa con la subportadora de mayor valor absoluto. Al igual que la matriz del entrelazador menor primaria, la constelación de  $\underline{I}_s$  es negativa y compleja conjugada. De manera similar la columna de la

matriz PIDS que se mapea a -27 es también negativa y compleja conjugada. El mapeo de  $\underline{S}_s$  y  $\underline{I}_s$  de la forma de onda digital total se resume en la tabla E.4.

**Tabla E.3. Mapeo de constelación 16-QAM**

4 Palabra de bit $x_3x_2x_1x_0$	Hex	Valor de la Constelación
0000	0	-1.5 -j1.5
0001	1	1.5 -j1.5
0010	2	-0.5 -j1.5
0011	3	0.5 -j1.5
0100	4	-1.5 +j1.5
0101	5	1.5 +j1.5
0110	6	-0.5 +j1.5
0111	7	0.5 +j1.5
1000	8	-1.5 -j0.5
1001	9	1.5 -j0.5
1010	A	-0.5 -j0.5
1011	B	0.5 -j0.5
1100	C	-1.5 +j0.5
1101	D	1.5 +j0.5
1110	E	-0.5 +j0.5
1111	F	0.5 +j0.5

**Tabla E.4. Mapeo de Subportadoras del Entrelazador Secundaria y Terciaria. Forma de Onda Digital Total.**

Número Inicial de Subportadora	Número Final de Subportadora	Matriz del Entrelazador	Número de Columna de Inicio Matriz del Entrelazador	Número de Columna Final de la Matriz del Entrelazador
-28	-52	$-\underline{I}_s^*$	0	24
28	52	$\underline{S}_s$	0	24

**Tabla E.5. Mapeo de subportadoras del entrelazador PIDS-Forma de onda digital total.**

Número de Subportadora	Matriz del Entrelazador	Número de Columna Matriz del Entrelazador
-27	$-\underline{PIDS}_s^*$	0
27	$\underline{PIDS}_s$	1

### E.1.3. Subportadoras de Referencia.

El vector de entrada  $\underline{R}$  se compone de 256 bits (es decir, un único bit para cada símbolo OFDM en una trama L1). Los bits de este vector se mapean a los puntos de la constelación BPSK, como se muestra en la tabla E.6.

**Tabla E.6. Mapeo de la constelación de señal BPSK.**

Valor de Bit	Puntos de Constelación
0	$0 - j0.5$
1	$0 + j0.5$

El factor de escala apropiado para cada matriz lo podemos encontrar en la tabla E.7.

**Tabla E.7. Factor de escala de la constelación de la señal.**

Matriz del Intercalador	Forma de Onda Digital Total
$\underline{P}U_c$	$CD_P$
$\underline{P}L_c$	$CD_P$
$\underline{S}_c$	$CD_E$
$\underline{T}_c$	$CD_E$
$\underline{P}IDS_c$	$CD_I$
$\underline{R}_c$	$CD_B$

Para Mapear el valor de la constelación escalada con el elemento adecuado de  $\underline{X}$  para la subportadora R se utiliza la tabla E.8.

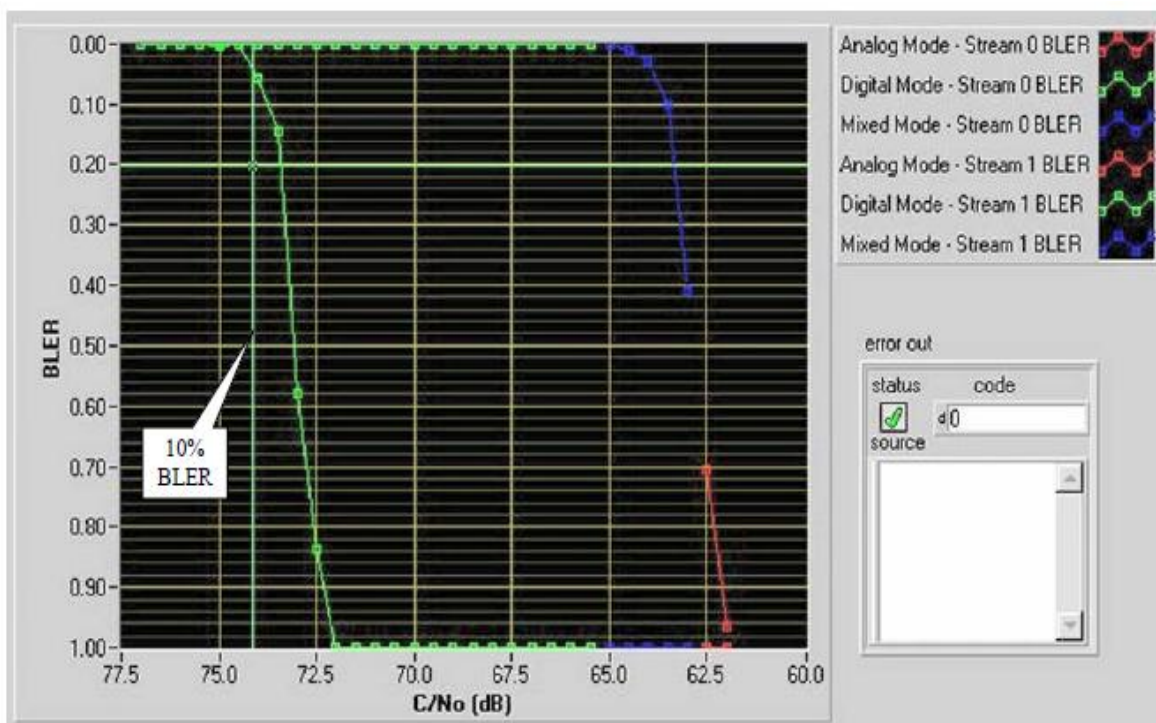
**Tabla E.8. Mapeo de subportadoras  $\underline{R}$  Formas de onda híbrida y digital total.**

Número de Subportadora	Vector de Secuencia de Datos del Sistema de Control	Número de Columna del Vector Entrelazador
-1	$-\underline{R}_s$	0
1	$\underline{R}_s$	0

# ANEXO F. RESULTADOS SEGÚN REPORTE TÉCNICO.

En la figura F.1 se muestra la gráfica obtenida según resultados del reporte técnico de la ATTC.

Figura F.1. Rendimiento del Sistema IBOC AM DIGITAL (AWGN Presente)





# APENDICE A1. VALIDACIÓN DEL MODELO DE SIMULACIÓN.

## A1.1 Validación del Bloque Generador de Información.

El generador de información está implementado en el archivo BloqueGeneradorCh.m. Este bloque recibe como parámetro el número de tramas de transmisión que deben ser generadas (Ntramas) y produce tres matrices: P1, P3 y PIDS que contienen datos generados aleatoriamente, los cuales representan la información que va a ser transmitida por el sistema para cada uno de los canales lógicos del mismo y para el número de tramas definido. La tabla A1.1 muestra el tamaño de las tramas y de los bloques que componen cada trama para cada canal lógico en el modo digital así como el tamaño de las matrices, correspondientes a cada uno de los canales lógicos, producidas por el bloque generador de datos. La verificación de este bloque se realizó comparando los tamaños de las matrices generadas por el bloque con los tamaños mostrados en la tabla A1.1.

**Tabla A1.1. Tamaño de Tramas para el modo MA3.**

Canal Lógico	Tamaño de Bloque	Bloques por Trama	Tamaño Trama	Tamaño Matriz
P1	3750	8	30000	Ntramas*8x3750
P3	30000	1	30000	Ntramasx30000
PIDS	80	8	160	Ntramas*8x80

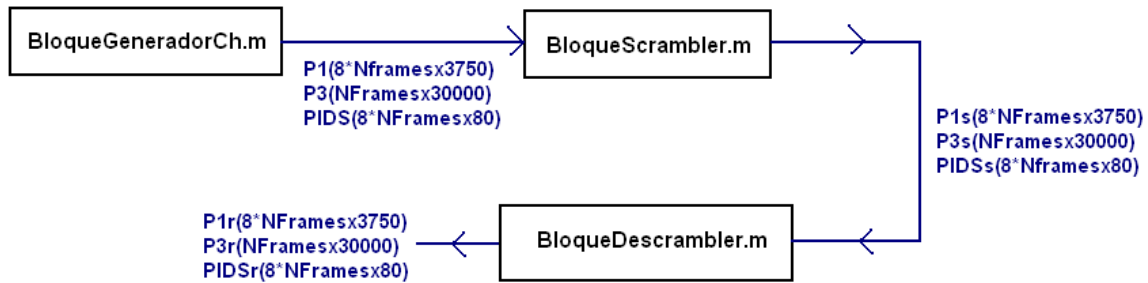
## A1.2 Validación de los Bloques Aleatorizador y Desaleatorizador.

El siguiente proceso que debe realizar el simulador es la aleatorización de los datos entregados por el generador. Este proceso es realizado por el bloque aleatorizador, el cual se encuentra implementado en el archivo BloqueScrambler.m, cuya contraparte en el receptor es el bloque desaleatorizador, que se encuentra elaborado en el archivo Descrambler.m..

Como se observa en la figura A1.1, las matrices P1, P3 y PIDS, procedentes del generador de información, pasan por el módulo aleatorizador, que produce las matrices P1s, P3s y PIDSs. Estas matrices, a su vez, sirven de entradas para el módulo desaleatorizador, el cual elabora las matrices de salida P1r, P3r y PIDSr. Durante esta prueba, se procedió a examinar que las matrices P1s, P3s y PIDSs, tuviesen los mismos tamaños que las matrices P1, P3 y PIDS. También se verificó que los primeros bits de las

matrices correspondieran a los obtenidos al realizar el proceso de aleatorización manualmente. Además se confirmó que las matrices que salen del bloque desaleatorizador fueran idénticas a las producidas por el bloque generador de información.

**Figura A1.1. Prueba de los Bloques Aleatorizador y Desaleatorizador.**



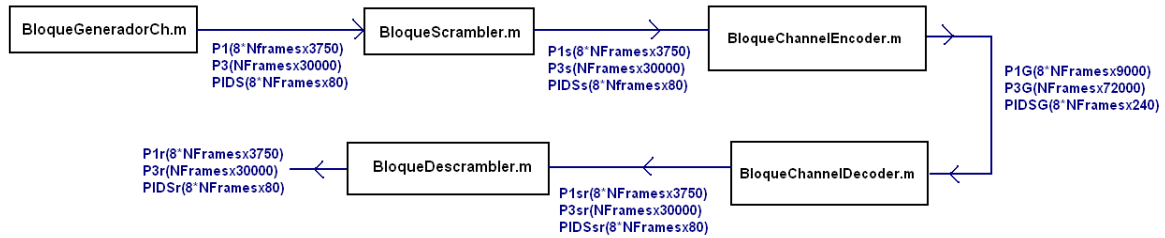
### A1.3 Validación de los Bloques Codificador de Canal y Decodificador de Canal.

El bloque codificador de canal se encuentra implementado en el archivo BloqueChannelEncoder.m. Su contraparte en recepción es el bloque decodificador de canal que se encuentra elaborado en el archivo BloqueChannelDecoder.m. La validación de estos módulos se realizó como se muestra en la figura A1.2, en la cual se observa como los bloques codificador y decodificador de canal fueron colocados en cascada<sup>1</sup> entre los bloques aleatorizador y desaleatorizador. De esta manera, las matrices P1s, P3s y PIDSs producidas por el aleatorizador, se convierten en datos de entrada para el codificador de canal. El codificador de canal, por su parte, produce las matrices P1G, P3G, y PIDSG. Estas matrices, a su vez entran al decodificador de canal, el cual elabora las matrices P1sr, P3sr y PIDSsr. Debido a que el codificador de canal cambia el tamaño de las matrices de acuerdo con la tasa de codificación, para esta validación, se comprobó que las matrices P1G, P3G, y PIDSG tuviesen los tamaños definidos en la tabla A1.2. De forma similar se verificó que las matrices P1sr, P3sr y PIDSsr sean iguales a las matrices P1s, P3s y PIDSs. Finalmente se confirmó la operación conjunta con los bloques anteriormente probados y se verificó que las matrices P1r, P3r, PIDSr que salen del bloque desaleatorizador, fuesen iguales a las matrices P1, P3 y PIDS producidas por el bloque generador de información.

<sup>11</sup> En el presente desarrollo, la conexión en cascada entre dos módulos se implementa realizando primero un llamado de la subrutina que implementa el primer módulo y seguidamente, un llamado a la subrutina que implementa el segundo módulo pasando como parámetros de esta llamada los valores retornados por la ejecución de la primera subrutina.



**Figura A1.2. Prueba de los Bloques Codificador de Canal y Decodificador de Canal.**



**Tabla A1.2. Tamaño de las Matrices Codificadas.**

Canal Lógico	Matriz no Codificada	Tamaño Matriz no Codificada	Tasa de Codificación	Tamaño Matriz Codificada	Tamaño Matriz Codificada
P1	P1s	Ntramas*8x3750	5/12	P1G	Ntramas*8x9000
P3	P3s	Ntramasx30000	5/12	P3G	Ntramasx72000
PIDS	PIDSs	Ntramas*8x80	1/3	PIDSG	Ntramas*8x240

**A1.4 Validación de los Bloques Entrelazador y Desentrelazador.**

El bloque entrelazador se encuentra elaborado en el archivo BloqueEntrelazador.m. Este bloque se conforma de tres subbloques: generador de subtramas el cual se encuentra realizado en el archivo SubframeGeneration.m, retardador para diversidad implementado en el archivo DiversityDelay.m, y mapeador de bits elaborado en el archivo bitMapping.m.

El opuesto en recepción de este bloque es el bloque desentrelazador. Este se encuentra implementado en el archivo BloqueDesentrelazador.m. Al igual que el bloque entrelazador, se conforma de tres subbloques que son los inversos de los subbloques del entrelazador: degenerador de subtramas realizado en el archivo SubframeDegeneration.m, eliminador de retardo para diversidad implementado en el archivo DiversityUndelay.m, y desmapeador de bits elaborado en el archivo bitDemapping.m.

La aprobación de este módulo se realizó comprobando el funcionamiento de cada subbloque en el transmisor junto con su opuesto en el receptor.

**A1.4.1 Validación de los Subbloques Generador de Subtramas y Degenerador de Subtramas.**

La figura A1.3 muestra la manera en que se validaron los subbloques generador de subtramas y degenerador de subtramas. Este par de subbloques se colocan en cascada entre el codificador de canal y el decodificador de canal. El generador de subtramas recibe las matrices P1G, P3G y PIDSG procedentes del codificador de canal y a partir de ellas obtiene 10 matrices: ML, MU, BL, BU, EML, EMU, EBL, EBU, IL, IU, cuyos tamaños se muestran en la tabla A1.4. Este subbloque agrega en cada una de las 10 matrices, la información concerniente a 3 tramas nulas, es decir llenas con ceros, colocadas después de la información correspondiente a las tramas útiles. Esto se realiza con el fin de

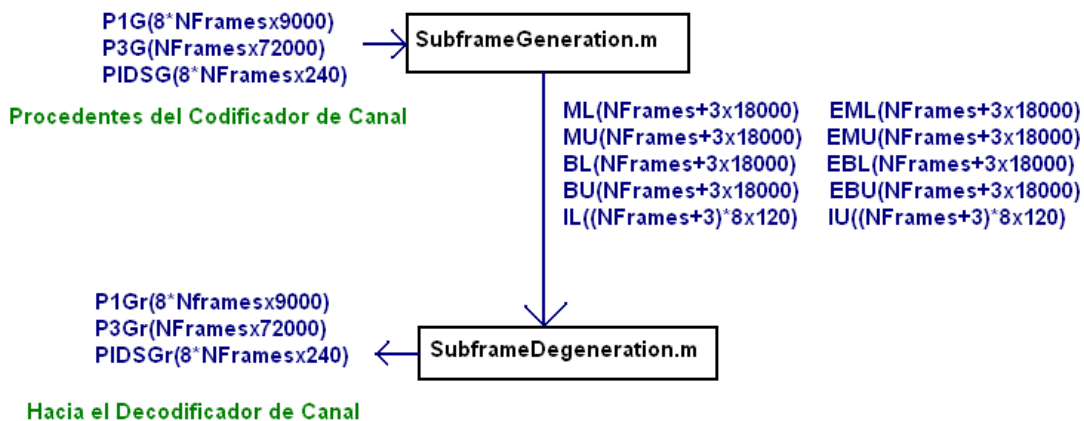
proporcionar un mecanismo que facilite la representación del retardo de 3 tramas que se introduce en el subbloque retardador para diversidad. El subbloquedegenerador de subtramas recibe las 10 matrices de las subtramas y a partir de ellas reconstruye las matrices P1Gr, P3Gr y PIDSGr que contiene las matrices codificadas pertenecientes a los 3 canales lógicos, las cuales son enviadas al decodificador de canal.

Para validar este par de subbloques, se inició comprobando que los tamaños de las matrices ML, MU, BL, BU, EML, EMU, EBL, EBU, IL, IU, correspondan con las dimensiones especificados en la tabla A1.3 y que los tamaños de las matrices P1Gr, P3Gr y PIDSGr, sean iguales a las dimensiones de las matrices que salen del codificador de canal. También se procedió a comprobar que los datos en las matrices P1G, P3G y PIDSG que entran al generador de subtramas y las matrices P1Gr, P3Gr y PIDSGr que salen del degenerador de subtramas fuesen idénticos. Finalmente se examinó la operación conjunta con los bloques anteriormente legitimados y se constató que las matrices P1r, P3r, PIDSr las cuales salen del bloque descrambler, fuesen iguales a las matrices P1, P3 y PIDS producidas por el generador de información. Esta última comprobación se continuó realizando cada vez que se agregaba un par de bloques al sistema, con el fin de confirmar que los bloques agregados funcionaran conjuntamente con el resto del sistema.

**Tabla A1.3. Tamaño de las Matrices Correspondientes a las Subtramas.**

Subtrama	Tamaño Matriz
ML	$N_{tramas}+3 \times 18000$
MU	$N_{tramas}+3 \times 18000$
BL	$N_{tramas}+3 \times 18000$
BU	$N_{tramas}+3 \times 18000$
EML	$N_{tramas}+3 \times 18000$
EMU	$N_{tramas}+3 \times 18000$
EBL	$N_{tramas}+3 \times 18000$
EBU	$N_{tramas}+3 \times 18000$
IL	$(N_{tramas}+3) \times 8 \times 120$
IU	$(N_{tramas}+3) \times 8 \times 120$

**Figura A1.3. Prueba de los Subbloques Generador de Subtramas y Degenerador de Subtramas.**

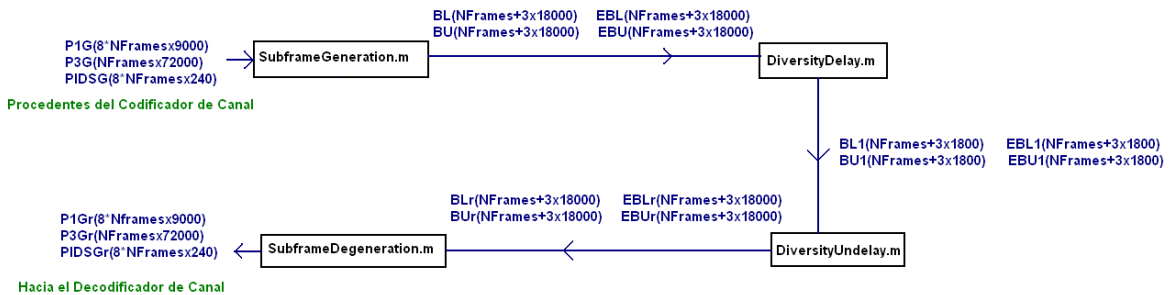


### A1.4.2 Validación de los Subbloques Retardador para Diversidad y Eliminador de Retardo para Diversidad.

La figura A1.4 muestra la manera en que se validaron los subbloques retardador para diversidad, en el transmisor y su contraparte en recepción: eliminador de retardo para diversidad. Como se observa en dicha figura, el primer subbloque recibe las subtramas BL, BU, EBL y EBU generadas por el generador de subtramas., el cual produce las matrices BL1, BU1, EBL1, EBU1, en las que la información correspondiente a las 3 tramas nulas introducidas por el bloque anterior, se han colocado antes de la información de las tramas útiles. De este modo, se simula el efecto de un retardo de 3 tramas. El subbloque eliminador de retardo para diversidad, por su parte realiza el proceso contrario sobre las matrices BL1, BU1, EBL1, EBU1, colocando la información de las tres tramas nulas después de la información de las tramas útiles produciendo como resultado las matrices BLr, BUr, EBLr y EBUr.

Para validar este par de subbloques, se procedió a examinar que las matrices BL1, BU1, EBL1, EBU1 tuviesen la información de las tramas nulas antes de la información correspondiente a las tramas útiles, así como las matrices BLr, BUr, EBLr y EBUr fuesen idénticas a las matrices BL, BU, EBL y EBU.

**Figura A1.4. Prueba de los Subbloques Retardador para Diversidad y Eliminador de Retardo para Diversidad.**



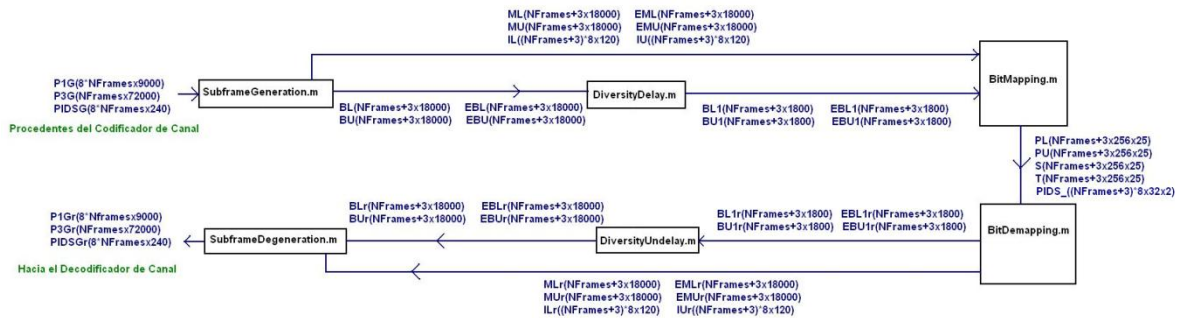
### A1.4.3 Validación de los Subbloques Mapeador de Bits y Desmapeador de Bits.

La figura A1.5 muestra la manera en que se validaron los subbloques Mapeador de Bits, en el transmisor y su opuesto en recepción: Desmapeador de Bits. Como se observa en dicha figura, el primer subbloque recibe las matrices ML, MU, EML, EMU, IL e IU procedentes del generador de subtramas y las matrices BL1, BU1, EBL1 y EBU1 procedentes del retardador para diversidad y produce las matrices PL, PU, S, T y PIDS\_, las cuales contienen todas las matrices del entrelazador producidas para las tramas del sistema. El segundo subbloque, por su parte, recibe como entradas las matrices PL, PU, S, T y PIDS\_ y crea las matrices MLr, MUr, EMLr, EMUr, ILr, IUr, BL1r, BU1r, EBL1r y EBU1r.

Para aprobar estos subbloques se inició comprobando que el tamaño de las matrices PL, PU, S, T y PIDS\_ correspondieran con los valores de la tabla A1.4 en la cual se muestran los tamaños esperados en dichas matrices. Por otra parte, se verificó que los bits fuesen posicionados en la matriz del entrelazador de acuerdo con el algoritmo definido en el

estándar. También se examinó que las matrices MLr, MUr, EMLr, EMUr, ILr, IUr, BL1r, BU1r, EBL1r y EBU1r que salen del segundo subbloque fuesen idénticas a las matrices ML, MU, EML, EMU, IL, IU, BL1, BU1, EBL1 y EBU1 que entran al primer subbloque.

**Figura A1.5. Prueba de los Subbloques Mapeador de Bits y Desmapeador de Bits.**



**Tabla A1.4. Tamaño de las Matrices Correspondientes a las Subtramas.**

Matriz del Entrelazador	Tamaño Matriz
PL	Ntramas+3x256x25
PU	Ntramas+3x256x25
S	Ntramas+3x256x25
T	Ntramas+3x256x25
PIDS_	(Ntramas+3)*8x32x2

### A1.5 Validación de los Bloques Mapeador de Subportadoras OFDM y Desmapeador de Subportadoras OFDM.

El bloque mapeador de subportadoras OFDM se encuentra desarrollado en el archivo BloqueOFDMSubcarrierMapping.m. Este bloque se conforma de tres subbloques: mapeador de constelación de señal el cual se encuentra implementado en el archivo SignalConstellationMapper.m, escalador desarrollado en el archivo Scaler.m, y mapeador espectral implementado en el archivo SpectralMapper.m.

El opuesto en recepción del bloque entrelazador es el bloque desmapeador de subportadoras OFDM. Este se encuentra desarrollado en el archivo BloqueOFDMSubcarrierDemapping.m. Este bloque, al igual que el anterior, se conforma de tres subbloques: desmapeador de constelación de señal realizado en el archivo SignalConstellationDemapper.m, descalador implementado en el archivo Descaler.m, y desmapeador espectral desarrollado en el archivo SpectralDemapper.m.

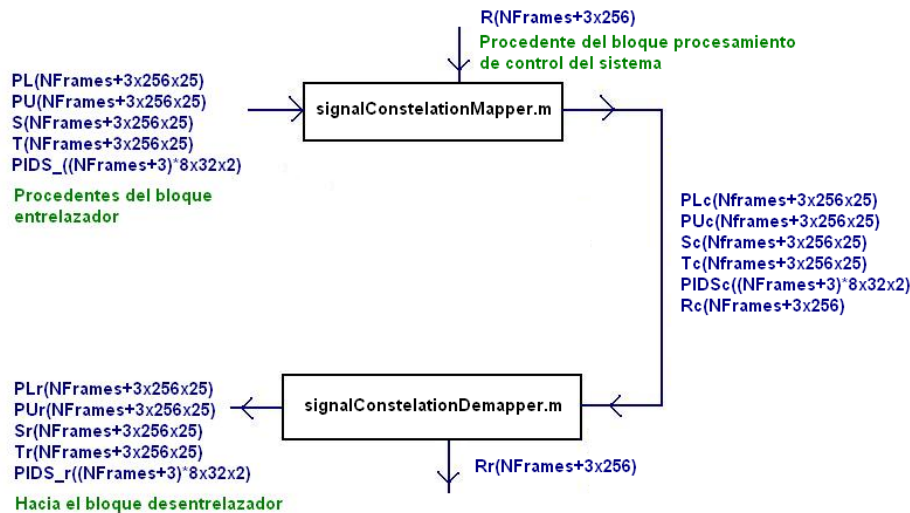
La validación de este módulo se realizó comprobando el funcionamiento de cada subbloque en el transmisor junto con su contraparte en el receptor.

#### A1.5.1 Validación de los Subbloques Mapeador de Señal de Constelación y Desmapeador de Señal de Constelación.

La figura A1.6 muestra la forma en que se validaron los subbloques mapeador de constelación de señal y desmapeador de constelación de señal. Este par de subbloques se colocan en cascada entre los bloques entrelazador y desentrelazador. El subbloquemapeador de señal de constelación recibe las matrices del entrelazador PL, PU, S, T y PIDS\_, y la matriz R procedente del bloque procesamiento de control del sistema. Este subbloque realiza un mapeo de cada grupo de bits contenido en cada una de las matrices del entrelazador, a un fasor complejo que pertenece a la constelación correspondiente al esquema de modulación usada. Los esquemas de modulación empleados son: 64QAM para las matrices PL, PU, S y T, 16QAM para la matriz PIDS\_ y BPSK para la matriz R. El resultado de este proceso son las matrices complejas PLc, PUc, Sc, Tc, PIDSc y Rc. Por otra parte, el subbloquedesmapeador de señal de constelación realiza el proceso contrario recibiendo como entradas las matrices complejas generadas por el bloque anterior y proporcionando a la salida las matrices PLr, PUr, Sr, Tr, PIDS\_r y Rr.

Para validar el bloque mapeador de señal de constelación, se procedió a verificar la correspondencia entre los elementos de la matriz del entrelazador y los puntos de la constelación. Además se comprobó que las matrices PLr, PUr, Sr, Tr, PIDS\_r y Rr obtenidas como salida del subbloquedesmapeador de señal de constelación, fuesen idénticas a las matrices PL, PU, S, T, PIDS\_ y R que entran al subbloquemapeador de señal de constelación.

**Figura A1.6. Prueba de los Subbloques Mapeador de Constelación de Señal y Desmapeador de Constelación de Señal.**



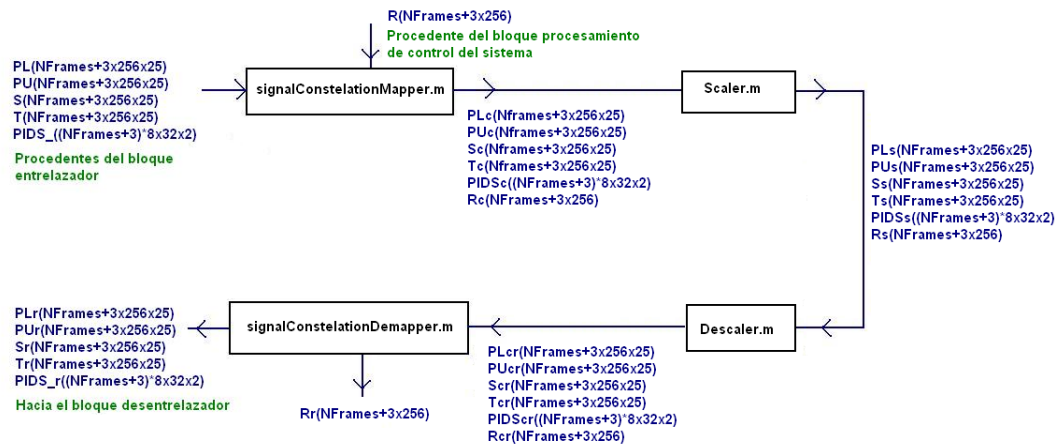
### A1.5.2 Validación de los Subbloques Escalador y Descalador.

En la figura A1.7 se presenta la forma en que se validaron los subbloques escalador y descalador. Este par de subbloques se colocan en cascada entre los subbloques mapeador de señal de constelación y desmapeador de señal de constelación. El escalador recibe las matrices complejas PLc, PUc, Sc, Tc, PIDSc y Rc procedentes del subbloquemapeador de señal de constelación. Este subbloque multiplica los elementos de

cada matriz por un factor de escalamiento que es distinto para cada una de las matrices, obteniendo las matrices escaladas PLs, PUs, Ss, Ts, PIDSs y Rs. El bloque descalador recibe las matrices escaladas y realiza el proceso contrario al realizado en el escalador, dividiendo cada uno de los elementos entre el factor de escalamiento correspondiente obteniendo como resultado las matrices PLcr, PUcr, Scr, Tcr, PIDScr y Rcr.

Para validar este par de subbloques se procedió a verificar que los elementos de las matrices escaladas PLs, PUs, Ss, Ts, PIDSs y Rs pudieran obtenerse como la multiplicación de los elementos de las matrices PLc, PUc, Sc, Tc, PIDSc y Rc por sus respectivos factores de escalamiento. Además se verificó que las matrices PLcr, PUcr, Scr, Tcr, PIDScr y Rcr obtenidas como salida del subbloquedescalador, fuesen idénticas a las matrices PLc, PUc, Sc, Tc, PIDSc y Rc que entran al subbloque escalador.

**Figura A1.7. Prueba de los Subbloques Escalador y Descalador.**

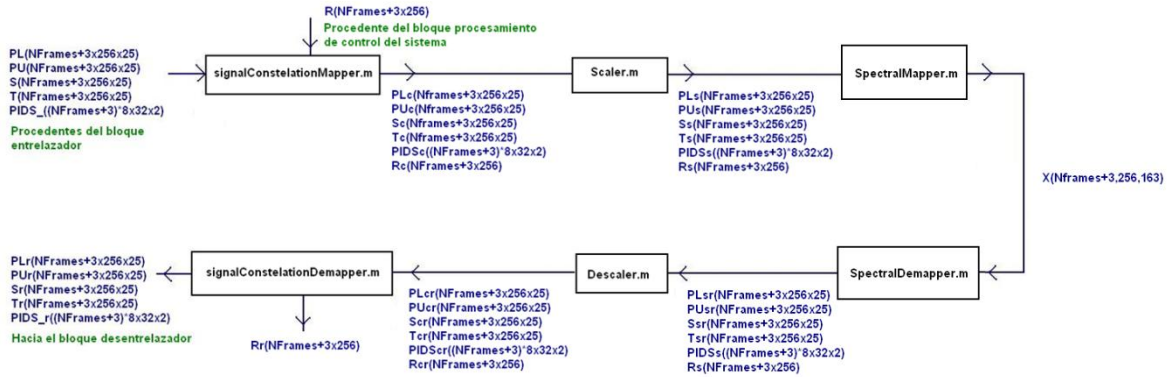


### A1.5.3 Validación de los Subbloques Mapeador Espectral y Desmapeador Espectral.

La figura A1.8 muestra la manera en que se validaron los subbloques mapeador espectral y desmapeador espectral. Este par de subbloques se colocan en cascada entre los subbloques escalador y descalador. El mapeador espectral recibe las matrices escaladas PLs, PUs, Ss, Ts, PIDSs y Rs, procedentes del subbloque escalador. Este subbloque forma un conjunto de 256 vectores por cada trama de transmisión, cada vector contiene 163 elementos, cada uno de los cuales modulará una de las portadoras que conforman un símbolo OFDM. La salida de este subbloque es una matriz X, la cual contiene los vectores correspondientes a todos los símbolos OFDM que serán transmitidos. El subbloquedesmapeador espectral, por su parte realiza el proceso contrario, obteniendo las matrices PLsr, PUsr, Ssr, Tsr, PIDSsr y Rsr a partir la matriz X.

Para validar este par de subbloques se inició examinando la manera en que es formado un vector X, comprobando que los elementos de las matrices PLs, PUs, Ss, Ts, PIDSs y Rs sean colocados correctamente sobre él. Además se verificó que las matrices PLsr, PUsr, Ssr, Tsr, PIDSsr y Rsr obtenidas como salida del subbloquedesmapeador espectral, fuesen idénticas a las matrices PLs, PUs, Ss, Ts, PIDSs y Rs que entran al subbloquemapeador espectral.

**Figura A1.7. Prueba de los Subbloques Escalador y Descalador.**

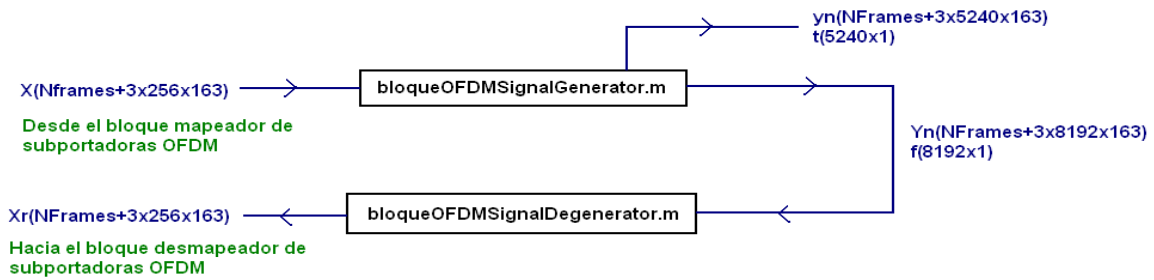


### A1.6 Validación de los Bloques Generador de Símbolos OFDM y Degenerador de Símbolos OFDM.

El bloque generador de símbolos OFDM se encuentra implementado en el archivo `bloqueOFDMSignalGenerator.m`. El opuesto de este bloque en el receptor se encuentra implementada en el archivo `bloqueOFDMSignalDegenerator.m`. El bloque generador de símbolos OFDM realiza el proceso de conformación de pulsos para cada uno de los símbolos complejos que serán transportados por cada una de las portadoras. En este caso, se emplearon pulsos de tipo raíz de coseno alzado, con un sobre muestreo de 20, es decir para formar cada pulso se tomaron 20 muestras, de manera que el tiempo de muestra es 20 veces el tiempo de bit. El resultado de este proceso es una representación en banda base, en el dominio del tiempo, de las señales que son transmitidas por cada una de las portadoras contenida en las variables de retorno  $yn$  y  $t$ . Además para obtener el espectro de cada portadora, este bloque realiza la transformada de Fourier de las señales en el dominio del tiempo en cada una de las portadoras. Esta representación en el dominio de la frecuencia está contenida en los vectores  $Yn$  y  $f$ , los cuales son retornados por la subrutina. Por otra parte, el subbloque Degenerador de Símbolos OFDM recibe una matriz  $Yr$ , la cual contiene el espectro de las señales enviadas sobre cada una de las portadoras y por medio de la transformada inversa de Fourier, obtiene una representación en el dominio del tiempo de la señal recibida adquiriendo de ella los símbolos complejos transportados sobre cada portadora y reconstruyendo el conjunto de vectores complejos en la matriz  $Xr$ , la cual es retornada por la subrutina.

La validación del bloque generador de señal OFDM se realizó verificando que los tamaños de las matrices  $yn$ ,  $Yn$ ,  $t$  y  $f$  correspondieran a los mostrados en la tabla A1.4. y revisando gráficamente que los pulsos generados correspondieran con los valores complejos a partir de los que fueron formados. La corroboración de su contraparte, el bloque degenerador de símbolo OFDM se realizó comprobando que la matriz de salida de este,  $Xr$  fuese idéntica a la matriz  $X$ , que entra al bloque generador de señal OFDM.

**Figura A1.7. Prueba de los Bloques Generador de Señal ODFM y Degenerador de Señal OFDM.**



### A1.7. Validación de los Modelos de Canal.

En el desarrollo del presente trabajo de grado no se considerará la verificación del modelo de canal, ya que éste es suministrado por el programa Matlab<sup>®</sup>. El modelo de canal utilizado es AWGN.

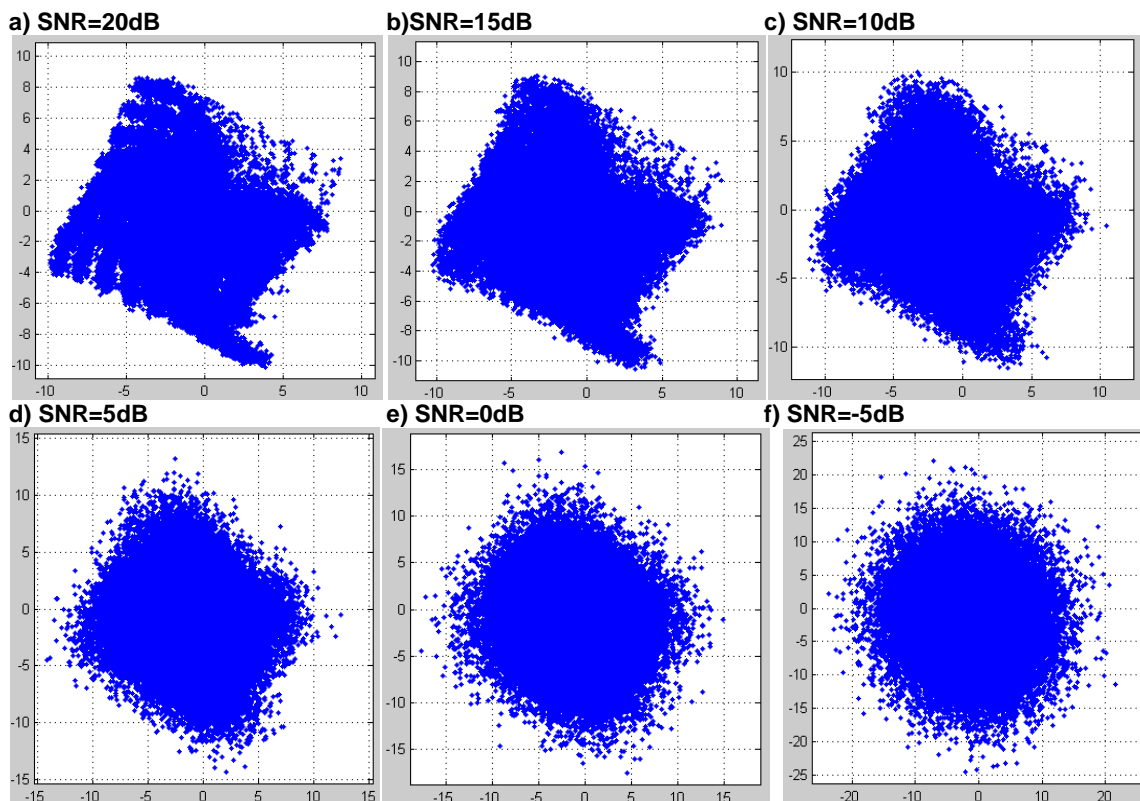
Las características del funcionamiento de estos modelos se pueden consultar en el soporte que ofrecen los desarrolladores del entorno.<sup>2</sup>

<sup>2</sup> El sitio web oficial de MatLab se encuentra en la siguiente dirección electrónica [www.Mathworks.com](http://www.Mathworks.com).

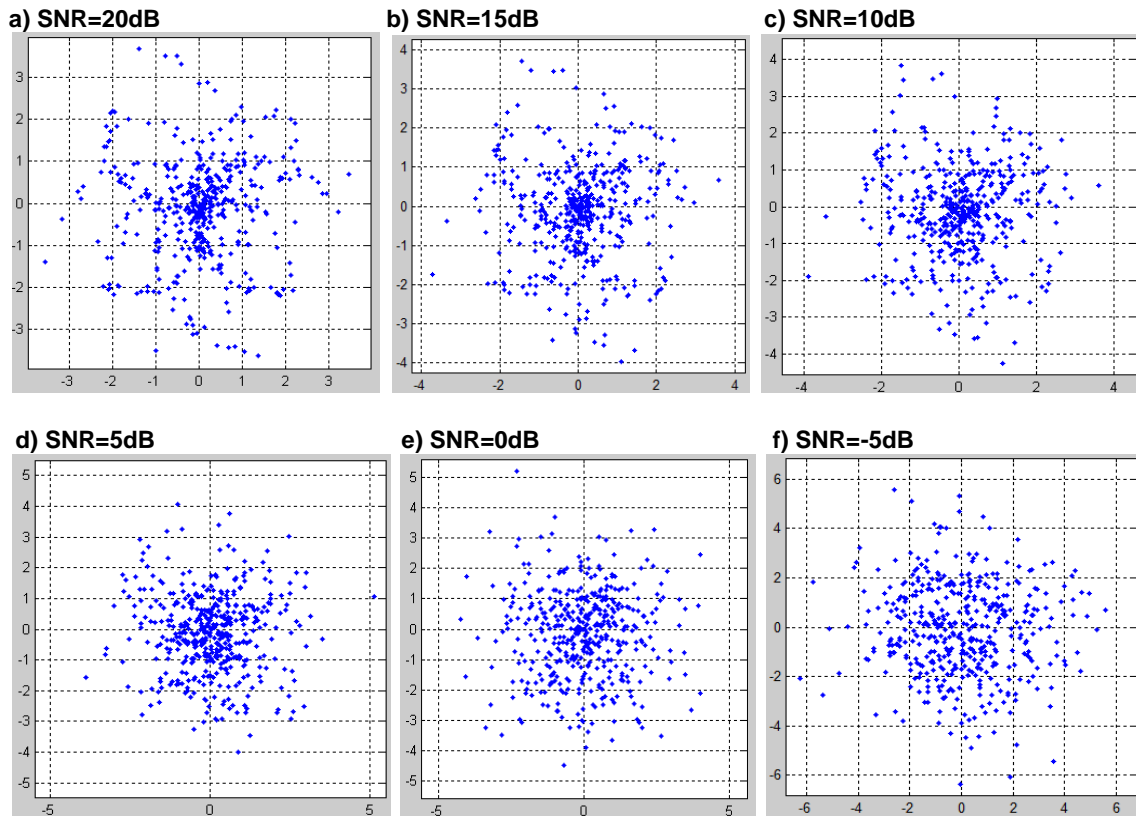


## APENDICE A2. GRÁFICAS OBTENIDAS PARA EL CANAL RAYLEIGH.

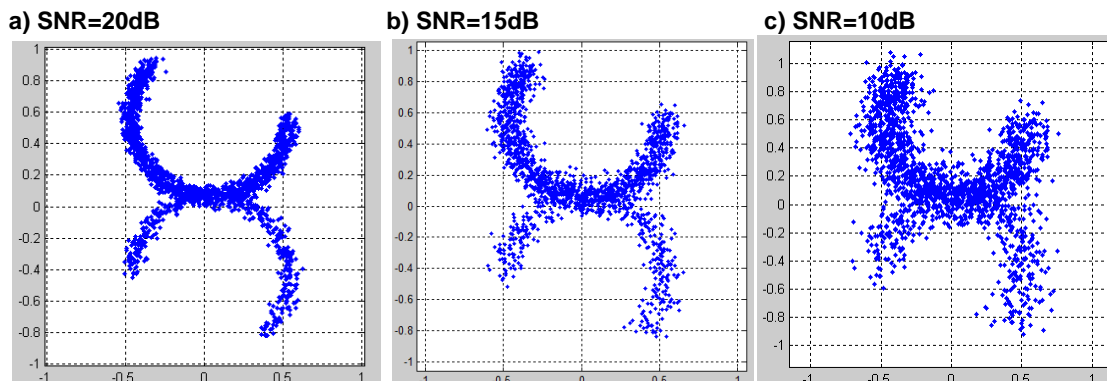
Figura A2.1. Diagramas de Constelación en el Receptor para 64 QAM (canal RAYLEIGH).

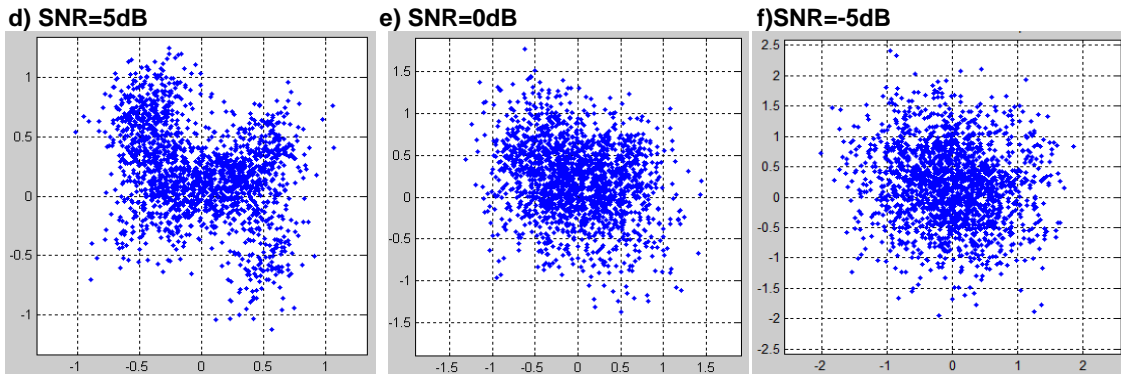


**Figura A2.2. Diagramas de Constelación para 16 QAM en el Receptor (canal RAYLEIGH).**

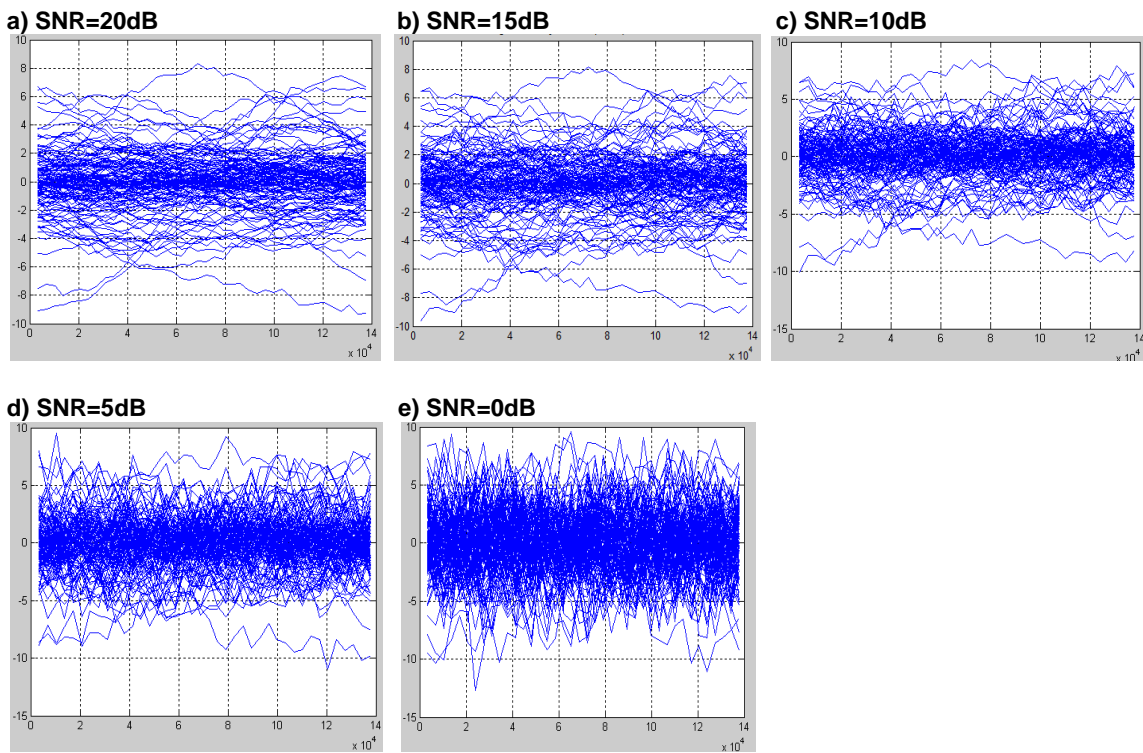


**Figura A2.3. Diagramas de Constelación para BPSK en el Receptor (canal RAYLEIGH).**

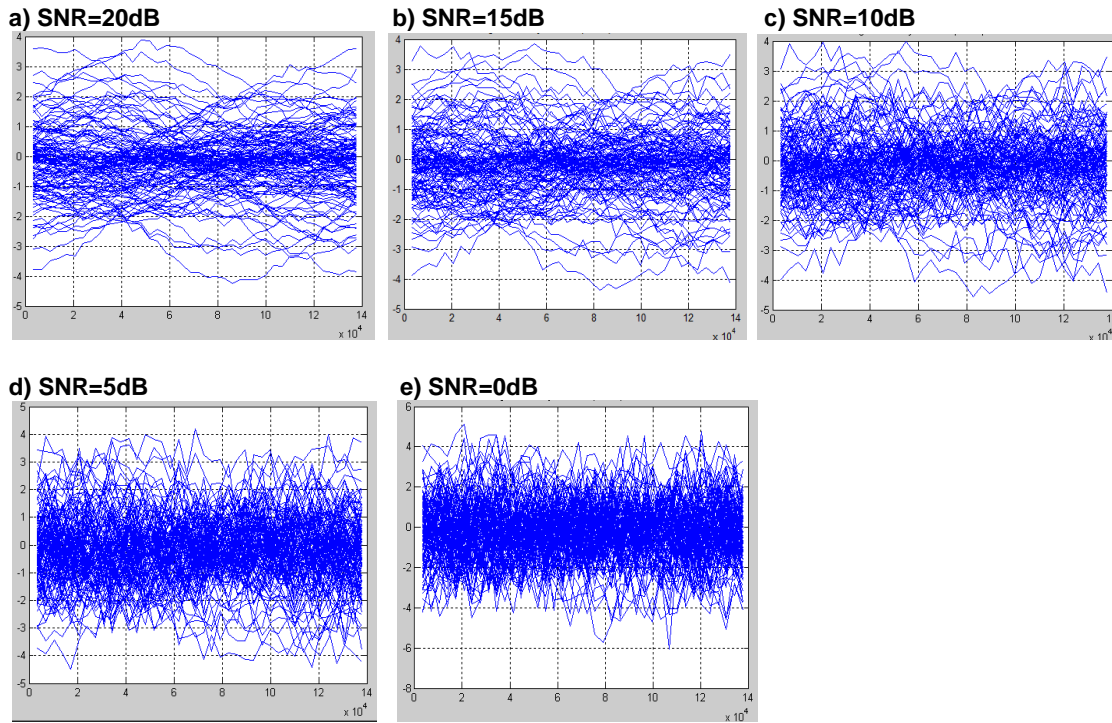




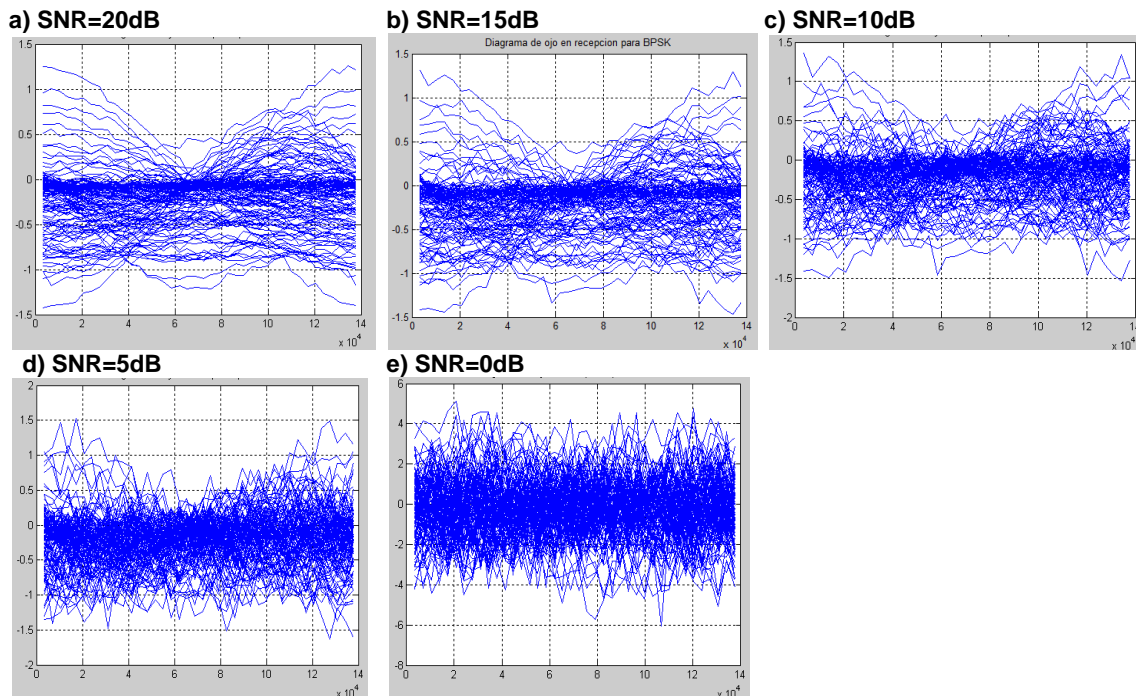
**Figura A2.4. Diagramas de Ojo para la Modulación 64QAM en el Receptor (canal RAYLEIGH).**



**Figura A2.5. Diagramas de Ojo para la Modulación 16QAM en el Receptor (canal RAYLEIGH).**



**Figura A2.6. Diagramas de Ojo para la Modulación BPSK en el Receptor (canal RAYLEIGH).**

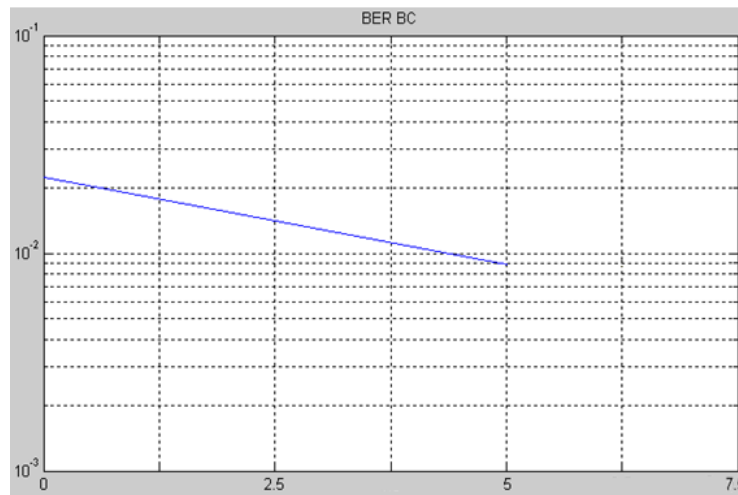


# APÉNDICE A3. GRÁFICAS OBTENIDAS PARA LOS PARÁMETROS DE CONTROL DEL SISTEMA.

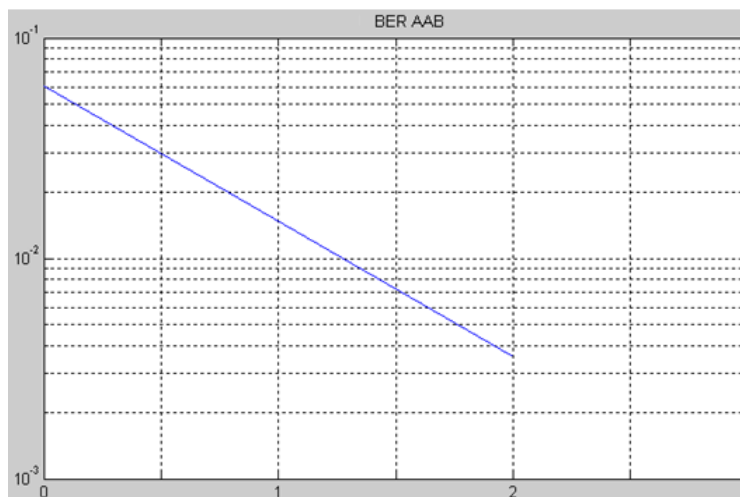
Las gráficas de BER correspondientes a las figura A3.1 muestra los datos modulados en BPSK para los parámetros de control, donde BC alcanza el valor de cero para 5 dB de SNR, AAB lo logra en el punto 2dB de SNR, PSM para 4 dB de SNR y PLevel logra el valor de cero errores en 2 dB de SNR.

Figura A3.1 Gráfica de BER vs SNR para BPSK.

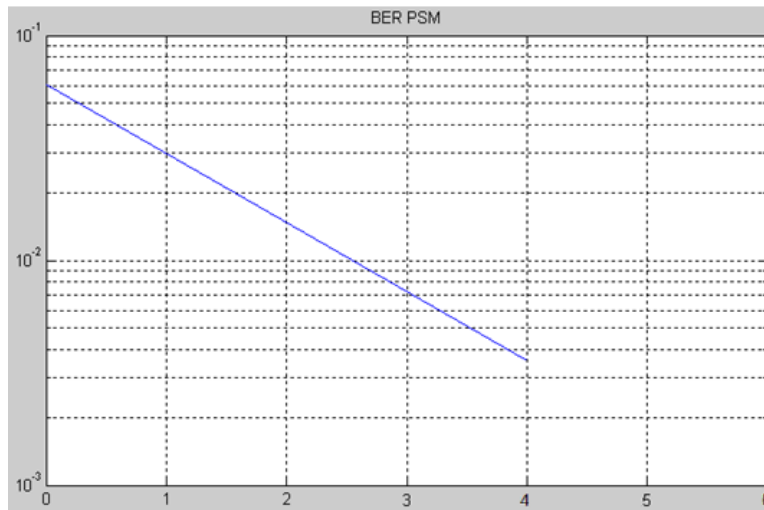
a) Para BC



b) Para AAB



**c) Para PSM**



**d) Para PLevel**

