

**PROYECTO SMART
TARJETA INTERFAZ DE TRONCAL DIGITAL – TITD**



**DIEGO ALFONSO AGUILAR CARDONA
PABLO JAVIER GUTIERREZ DELIOT**

**ANEXO A
ESTUDIO DE LOS CIS DE MITEL ESPECIALIZADOS EN
TELECOMUNICACIONES**

**UNIVERSIDAD DEL CAUCA
FACULTAD DE INGENIERIA ELECTRONICA Y
TELECOMUNICACIONES**

**POPAYAN
2002**

ANEXO A

ESTUDIO DE LOS CIs DE MITEL ESPECIALIZADOS EN TELECOMUNICACIONES



TABLA DE CONTENIDO ANEXO A

ESTUDIO DE LOS CIS DE MITEL ESPECIALIZADOS EN TELECOMUNICACIONES..... 1

1 MITEL MH89790 INTERFAZ DE TRONCAL DIGITAL Y ENTRAMADOR CEPT PCM 30/CRC-4.....	1
1.1 CARACTERISTICAS.....	1
1.1.1 <i>Aplicaciones</i>	1
1.2 DESCRIPCION	2
1.2.1 <i>Descripcion de Pines</i>	2
1.2.2 <i>Descripcion Funcional</i>	5
1.3 INTERFAZ CEPT	6
1.3.1 <i>Chequeo de Redundancia Ciclica (CRC)</i>	8
1.4 INTERFAZ BUS ST.....	10
1.4.1 <i>Entrada de Datos (DSTi)</i>	11
1.4.2 <i>Entrada de Control 0 (CSTi0)</i>	11
1.4.3 <i>Entrada de Control 1(CSTi1)</i>	13
1.4.4 <i>Salida de Control (CSTo)</i>	15
1.5 BUFFER ELASTICO	20
1.6 CONTADOR DE ERROR EN EL ALINEAMIENTO DE TRAMA	22
1.7 ROM DE ATENUACION.....	23
1.8 RAM DE LOS BITS DE SEÑALIZACION	23
1.9 FORMATO DEL MUX CEPT PCM 30.....	24
1.10 ALGORITMOS DE ENTRAMAMIENTO	24
1.11 RECEPTOR BIPOLAR DE LINEA	25
1.12 TRANSMISOR BIPOLAR DE LINEA	26
1.13 EXTRACTOR DE RELOJ	26
1.14 APLICACIONES	27
1.14.1 <i>Interfaz de Rata Primaria RDSI para Usuario de Red</i>	27
1.14.2 <i>Interfazamiento para la Linea de Transmision del Cable Coaxial</i>	28
1.14.3 <i>Informacion Magnetica</i>	28



2	MITEL MT8980D SWITCHE O CONMUTADOR DIGITAL	29
2.1	CARACTERISTICAS.....	29
2.2	DESCRIPCION	29
2.2.1	<i>Descripcion de Pines.....</i>	<i>29</i>
2.2.2	<i>Descripcion Funcional.....</i>	<i>31</i>
2.2.3	<i>Descripcion Hardware.....</i>	<i>32</i>
2.3	CONTROL SOFTWARE	33
3	MITEL MT8941 PLL AVANZADO PARA TRONCAL DIGITAL T1/CEPT	38
3.1	CARACTERISTICAS.....	38
3.1.1	<i>Aplicaciones</i>	<i>38</i>
3.2	DESCRIPCION	38
3.2.1	<i>Descripcion de Pines (MT8941AE Formato DIP de 24 pines).....</i>	<i>39</i>
3.2.2	<i>Descripcion Funcional.....</i>	<i>42</i>
3.3	MODOS DE OPERACION.....	44
3.3.1	<i>Modos Superiores del DPLL #1</i>	<i>44</i>
3.3.2	<i>Modos Superiores del DPLL #2.....</i>	<i>45</i>
3.3.3	<i>Modos Inferiores del DPLL #2</i>	<i>46</i>
3.4	DESEMPEÑO FRENTE A JITTER Y RANGO DE CIERRE "LOCK-IN".....	50
4	MITEL MT8952B CONTROLADOR DE PROTOCOLO HDLC	52
4.1	CARACTERISTICAS.....	52
4.1.1	<i>Aplicaciones</i>	<i>52</i>
4.2	DESCRIPCION	53
4.2.1	<i>Descripcion de Pines</i>	<i>53</i>
4.3	DIRECCIONES DE REGISTROS.....	56
4.4	FORMATO DE TRAMA.....	56
4.5	DESCRIPCION FUNCIONAL.....	59
4.5.1	<i>Salidas TEOP y REOP.....</i>	<i>60</i>
4.5.2	<i>Modos de Tiempo</i>	<i>61</i>
4.5.3	<i>Modo de Tiempo Interno</i>	<i>61</i>
4.5.4	<i>Interfaz de Canal C.....</i>	<i>61</i>
4.5.5	<i>Modo de Tiempo Externo.....</i>	<i>62</i>
4.5.6	<i>Transferencia de Datos en Forma Transparente.....</i>	<i>62</i>
4.5.7	<i>Temporizador de Verificacion (Watchdog Timer).....</i>	<i>63</i>



4.5.8	<i>Orden de Bits de Transmision/Recepcion</i>	<i>63</i>
4.6	REGISTROS.....	63
4.6.1	<i>Registro de Estado Fifo (Lectura): Fifo Status Register</i>	<i>63</i>
4.6.2	<i>Registro de Dato Recibido (Lectura): Receive Data Register.....</i>	<i>65</i>
4.6.3	<i>Registro de Dato a Transmitir (Escritura): Transmit Data Register</i>	<i>66</i>
4.6.4	<i>Registro de Control (Lectura/Escritura): Control Register</i>	<i>66</i>
4.6.5	<i>Registro de Direccion Recibida (Lectura/Escritura): Receive Address Register.....</i>	<i>68</i>
4.6.6	<i>Registro de Control de Canal C (Lectura/Escritura): C-Chanel Control Register</i>	<i>69</i>
4.6.7	<i>Registro de Control de Tiempo (Lectura/Escritura): Timing Control Register.....</i>	<i>69</i>
4.6.8	<i>Registro de Banderas de Interrupciones (Lectura): Interrupt Flag Register</i>	<i>71</i>
4.6.9	<i>Registro de Verificacion de Temporizacion (Escritura): Watchdog Timer Register.</i>	<i>72</i>
4.6.10	<i>Registro de Habilitacion de Interrupcion (Lectura/Escritura): Interrupt Enable Register</i>	<i>73</i>
4.6.11	<i>Registro de Estado General (Lectura): General Status Register.....</i>	<i>73</i>
4.6.12	<i>Registro de Estado de Canal C (Lectura): C-Channel Status Register.....</i>	<i>74</i>
4.7	RESET	74
4.8	OPERACION DE TRANSMISION	75
4.9	OPERACION DE RECEPCION	79
4.10	CONEXION TIPICA	82
4.11	APLICACIONES	83
5	DOCUMENTOS DE SOPORTE	84
5.1	PUERTO PARALELO ECP	84
5.2	BUS ISA (INDUSTRY STANDARD ARCHITECTURE) TITD.....	93
5.3	CHEQUEO DE REDUNDANCIA CICLICA (CRC).....	97

ANEXO A

ESTUDIO DE LOS CIs DE MITEL ESPECIALIZADOS EN TELECOMUNICACIONES

1 MITEL MH89790 INTERFAZ DE TRONCAL DIGITAL Y ENTRAMADOR CEPT PCM 30/CRC-4

1.1 CARACTERISTICAS

- ✎ Transceptor de rata primaria CEPT completa de 2048 Kbps con opción de CRC-4.
- ✎ Código de línea seleccionable HDB3 o AMI.
- ✎ Señales de sincronización de trama y multitrama de Tx y Rx.
- ✎ Contadores de alineamiento de trama y de error CRC.
- ✎ Inserción y detección de bits de señalización A, B, C, D con eliminación de rebotes opcional.
- ✎ 2 Memorias intermedias o buffers elásticos con buffer por 32 seg. para jitter.
- ✎ Extractor de reloj.
- ✎ Controlador manejador (driver) de línea y receptor de línea.
- ✎ Lazo por canal, global y remoto.
- ✎ Compatible con el bus ST.

1.1.1 APLICACIONES

- ✎ Nodos de rata primaria para redes RDSI.
- ✎ Equipos de multiplexación.
- ✎ Redes privadas: PBX o enlaces de PBX.
- ✎ Enlaces de datos PC a PC de alta velocidad.



1.2 DESCRIPCION

El MH89790 es una solución Mitel de interfaz CEPT (European Conference of Postal and Telecommunications Administrations) PCM30 de segunda generación. Además está diseñado para adaptarse a los últimos formatos de estándares ITU (antes CCITT) PCM 30 con CRC-4. El MH89790 proporciona una interfaz completa entre una Troncal digital a 2048 Kbps y el Bus de Telecomunicaciones Serial de Mitel, el bus ST.

1.2.1 DESCRIPCION DE PINES

Pin # 2 [IC]: Conexión Interna. Se deja en circuito abierto.

Pin # 3 [E2o]: Extracción de Reloj de 2048 KHz (Salida). Este reloj es extraído por el dispositivo desde la señal recibida. El reloj se usa internamente para introducir (temporizar) los datos recibidos por \overline{RxA} , \overline{RxB} y RxD. Esto se hace disponible en el pin para permitir la sincronización del circuito de extracción del reloj.

Pin # 4 [VDD]: Entrada de la fuente de alimentación DC (+5V).

Pin # 5 [\overline{RxA}]: Recepción A (Salida). La señal bipolar CEPT recibida por el dispositivo en las entradas RxR y RxT es convertida a un formato unipolar y sale por este pin. En una aplicación típica la señal estaría combinada con la salida en \overline{RxB} , usando una compuerta NAND, y la entrada en RxD.

Pin # 6 [RxT] y Pin # 7 [RxR]: Entradas de Recepción Tip y Recepción Ring. La señal de recepción AMI se introduce en estos pines. Ambas entradas deberían estar conectadas a un transformador de toma central aterrizada.

Pin # 8 [\overline{RxB}]: Recepción B (Salida). La señal bipolar CEPT recibida por el dispositivo en las entradas RxR y RxT es convertida a un formato unipolar y sale por este pin. En una aplicación típica la señal estaría combinada con la salida en \overline{RxA} , usando una compuerta NAND, y la entrada en RxD.

Pin # 9 [RxD]: Recepción de Datos (Entrada). Entrada de datos para el receptor CEPT y el circuito de extracción de reloj. La señal que sale por \overline{RxA} y



\overline{RxB} es combinada externamente usando una compuerta NAND y es aplicada a este pin.

Pin # 10 [CSTi1]: Entrada de Control del Bus ST #1. Un flujo de 2048 Kbps que contiene señalización por canal asociado, alineamiento de trama y funciones de diagnóstico.

Pin # 11 [CSTi0]: Entrada de Control del Bus ST #0. Un flujo de 2048 Kbps que contiene 30 palabras de control para los canales y 2 Palabras de Control Maestro.

Pin # 12 [E8Ko]: Extracción de Reloj de 8 KHz (Salida). Una salida de 8 KHz generada mediante la división el reloj extraído de 2048 KHz por 256 la cual se alinea con la trama CEPT recibida. La señal de 8 KHz puede ser usada para sincronizar el reloj del sistema al reloj extraído de 2048 KHz. Solamente válido cuando el dispositivo logra la sincronización (se va a bajo cuando el dispositivo no está sincronizado). E8Ko va a alta impedancia cuando 8KHzSEL=0 en MCW2.

Pin # 13 [XCtl]: Control Externo (Salida). Un pin de salida externa no comprometido (neutral) el cual es fijado o reseteado mediante el bit 1 de la Palabra de Control Maestro 2 en CSTi0. El estado de XCtl es actualizado una vez por trama.

Pin # 14 [XSt]: Estado Externo. El estado de este pin es muestreado una vez por trama y el estado es reportado en el bit 1 de la Palabra de Estado Maestro 1 en CSTo.

Pin # 15 [CSTo]: Salida de control del bus ST. Un flujo de control serial a 2048 Kbps el cual provee las 16 palabras de señalización, 2 Palabras de Estado Maestro, la Palabra de Estado de Fase y el Conteo de Error CRC.

Pin # 16 [ADI]: Inversión Alterna de Dígito (Entrada). Si esta entrada es alta, los intervalos de tiempo, los cuales están especificados en CSTi0 como canales de voz, son codificados y decodificados en ADI. Cuando este bit es bajo, este inhibe o deshabilita la codificación ADI para todos los canales. Esta característica permite que cualquiera de los dos, el codificador ADI o el codificador sin ADI sean usados en DSTi y DSTo.



Pin # 17 [DSTi]: Entrada de Datos del bus ST. Este pin acepta un flujo serial a 2048 Kbps el cual contiene los 30 canales PCM o de datos para ser transmitidos por la troncal CEPT.

Pin # 18 [C2i]: Reloj del Sistema a 2048 Kbps (Entrada). El reloj maestro para el tramo o sección del bus ST del chip. Todos los datos en el bus ST son temporizados en el flanco de bajada de C2i y salen en el flanco de subida. El flanco de bajada de C2i se usa también para temporizar datos en el enlace de transmisión CEPT PCM 30.

Pin # 19 [E2o]: Extracción de Reloj de 2048 KHz (Salida). Internamente conectado al pin 3.

Pin # 20 [\overline{FOi}]: Pulso de Entrada de Trama. La señal de sincronización de trama del bus ST la cual define el comienzo de una trama de 32 canales.

Pin # 21 [VSS]: Tierra. Retorno de la fuente de alimentación DC.

Pin # 22 [PADi]: Entrada PAD. Entrada al circuito de adaptación de línea tipo-T simétrico resistivo de 75. En una aplicación típica conecte esta entrada a la salida del transformador de impulsión de línea.

Pin # 23 [TxG]: Tierra de Transmisión. Punto común del circuito PAD tipo-T. Conecte a GND en una aplicación típica.

Pin # 24 [PADo]: Salida PAD. Salida del circuito PAD tipo-T. La impedancia de salida del PAD es resistiva pura 75.

Pin # 25 [OUTA]: Salida A (Salida de Colector Abierto). Esta es la salida del transmisor o emisor CEPT. Es apropiado usarla con un transformador de pulso externo para generar la señal de línea bipolar de transmisión.

Pin # 26 [\overline{TxMF}]: Frontera de Multitrama de Transmisión (Entrada). Esta frontera puede ser usada para fijar el canal asociado y el límite o frontera de la multitrama transmitida CRC (clarea los contadores de trama). El dispositivo generará su propia multitrama si este pin es sostenido en alto.

Pin # 27 [\overline{RxMF}]: Frontera de Multitrama de Recepción (Salida). Un pulso de salida delimitando la frontera de la multitrama recibida. (Esta multitrama no está relacionada con la multitrama CRC recibida).

Pin # 28 [NC]: Sin Conexión.



Pin # 29 [OUTB]: Salida B (Salida de Colector Abierto). Salida del transmisor CEPT. Es apropiado usarla con un transformador de pulso externo para generar la señal de línea bipolar de transmisión.

Pin # 30 [NC]: Sin Conexión.

Pin # 31 [DSTo]: Salida de Datos del bus ST. Un flujo serial de salida a 2048 Kbps el cual contiene los 30 canales PCM o de datos recibidos desde la línea CEPT.

Pin # 32 [NC]: Sin Conexión.

Pin # 33 [VSS]: Tierra. Retorno de la fuente de alimentación DC.

Pin # 34 [NC]: Sin Conexión.

Pin # 35 [VCC]: Entrada de la Fuente de Alimentación DC (+12V).

Pin # 36 [NC]: Sin Conexión.

Pin # 37 [LA] y Pin # 38 [LB]: Un inductor sintonizable externo es conectado entre estos dos pines con el fin de ajustar la frecuencia libre de trabajo del reloj extraído.

Pin # 39 [NC]: Sin conexión.

Pin # 40 [NC]: Sin conexión.

1.2.2 DESCRIPCION FUNCIONAL

El MH89790 es una interfaz de troncal digital convencionalizada con la Recomendación G. 704 para PCM 30 y el I. 431 para RDSI. Incluye características tales como: Inserción y detección de patrones de sincronización, Chequeo de Redundancia Cíclica opcional (CRC-4) y reporte de interpretación de errores detectados en el terminal distante, codificación y decodificación HDB3 opcional, señalización por canal común o canal asociado, atenuación digital programable y 2 buffers elásticos de recepción de trama. El MH89790 puede además monitorear y supervisar varias condiciones en la troncal digital CEPT, en las que se incluye: sincronización de trama y multitrama, recepción de todas las alarmas, errores por deslizamientos de datos también como entramamiento o alineación y CRC tanto en el terminal local como en el remoto.

El sistema de interfaz para el MH89790 es un bus serial que opera a 2048 Kbps conocido como el bus ST. Este flujo serial es dividido en tramas de 125 μ s que son constituidas por 32 canales de 8 bits.

La interfaz de línea para el MH89790 consta de entradas y salidas unipolares de fase divididas las cuales son suministradas desde/hacia un impulsor/receptor bipolar de línea respectivamente.

1.3 INTERFAZ CEPT

El formato CEPT de trama consta de 32 intervalos de tiempo de 8 bits. De los 32 intervalos de tiempo en una trama, 30 son definidos como canales de información, los intervalos de tiempo 1-15 y 17-31 los cuales corresponden a canales telefónicos 1-30. Un canal adicional de datos puede ser obtenido colocando el dispositivo en modo de señalización por canal común. Esto permite usar el intervalo de tiempo (IT) 16 para señalización por canal común a 64 Kbps. La sincronización está incluida por el flujo de bit CEPT en forma de un patrón de bit insertado en el IT 0. El contenido del IT 0 se alterna entre el patrón de alineamiento de trama y el patrón sin alineamiento de trama, este último se refiere a la señal o palabra de alarmas y mantenimiento como indicador de la pérdida del alineamiento de trama (fig. 1). El bit 1 de los bytes del alineamiento de trama y sin alineamiento de trama se tiene provisto para protección adicional contra falsa sincronización o monitoreo para mejora de error. Esto se describe con más detalle en la siguiente sección.

	NUMERO DE BIT							
	1	2	3	4	5	6	7	8
IT 0 que contiene la señal de alineamiento de trama	Reservado para uso internacional (1)	0	0	1	1	0	1	1
IT 0 que contiene la señal sin alineamiento de trama	Reservado para uso internacional (2)	1	Indicación de alarma para el equipo multiplex PCM remoto	(3)	(3)	(3)	(3)	(3)

Figura 1. Asignación de Bits en el IT 0 del enlace CEPT.

Nota 1: Con CRC activo, este bit es ignorado.

Nota 2: Con SiMUX activo, este bit transmite los resultados de SMF CRC en las tramas 13 y 15.

Nota 3: Reservado para uso nacional.

A fin de lograr la sincronización de multitrama, una multitrama de 16 tramas se define enviando 4 ceros en el cuarteto de orden más alto (nible alto) del IT 16 de la trama 0, una vez cada 16 tramas (fig. 2). El formato CEPT tiene 4 bits de señalización, A, B, C y D. Los bits de señalización para todos los 30 canales de información son transmitidos en el IT 16 de las tramas 1 a 15. Estos ITs se subdividen en 2 cuartetos o nibles (tabla 1).

IT 16 de la trama 0		IT 16 de la trama 1		▪ ▪ ▪	IT 16 de la trama 15	
0000	XYXX	Bits ABCD para el canal telefónico 1 (IT 1)	Bits ABCD para el canal telefónico 16 (IT 17)		Bits ABCD para el canal telefónico 15 (IT 15)	Bits ABCD para el canal telefónico 30 (IT 31)

Figura 2. Asignación de Bits en el IT 16 del enlace CEPT.

BIT	NOMBRE	DESCRIPCIÓN
7, 6, 5 y 4	A(N), B(N), C(N) y D(N)	Transmisión de los Bits de Señalización por el Canal N: Estos bits son transmitidos a través del enlace CEPT de 2048 Kbps en las posiciones de bit 1 a 4 del IT 16 en la trama N, y los bits de señalización A, B, C y D son asociados con el canal telefónico N. El valor de N se sitúa en el rango 1 a 15 y se refiere al canal en (el canal) CSTi1 desde el cual los bits son generados, al canal telefónico con el cual se asocian los bits y a la trama sobre el enlace CEPT en la cual los bits son transmitidos. Por ejemplo, los bits que entran en el pin CSTi1 por el canal 3 se asocian con el canal telefónico 3, que corresponde al IT 3 del enlace CEPT, y son transmitidos en las posiciones de bits 1 a 4 del IT 16 en la trama 3 de cada multitrama del enlace CEPT. Si los bits B, C o D no son utilizados, ellos deberán entregar los valores 1, 0 y 1 respectivamente. La combinación 0000 para los bits ABCD no debería usarse para los canales telefónicos 1 a 15 ya que esto interferiría con el alineamiento de multitrama.
3, 2, 1	A(N+15), B(N+15), C(N+15)	Transmisión de los Bits de Señalización por el Canal N+15: Estos bits son transmitidos a través del enlace CEPT de 2048 Kbps en las posiciones de bit 5 a 8 del IT 16 en la trama N, y los bits de señalización A, B, C y D son asociados con el canal telefónico N+15. El valor de N se sitúa



y 0	y D(N+15)	en el rango 1 a 15 y se refiere a ambos, al canal sobre el flujo CSTi1 en donde los bits son proporcionados y a la trama sobre el enlace CEPT en la cual los bits son transmitidos, además indirectamente indica el canal telefónico con el cual los bits son asociados. Por ejemplo, los bits que entran en el pin CSTi1 por el canal 3 se asocian con el canal telefónico 18, que corresponde al IT 19 del enlace CEPT, y son transmitidos en las posiciones de bits 5 a 8 del IT 16 en la trama 3 de cada multitrama del enlace CEPT.
-----	-----------	--

Tabla 1. Señalización por Canal Asociado: Formato de los datos en CSTi1 para canales 1-15.

1.3.1 CHEQUEO DE REDUNDANCIA CICLICA (CRC)

Un chequeo de redundancia cíclica (CRC) opcional ha sido incorporado dentro del flujo de bit CEPT para proveer protección adicional contra simulación de la señal de alineamiento de trama, y/o donde haya una necesidad para un monitoreo para mejora de error potencial. El CRC procesa la cadena binaria de unos y ceros contenidos en una submultitrama (con los bits CRC fijados a cero binario) como un número binario sencillo largo. Esta cadena de datos es primero multiplexada por X^4 y luego dividida por el polinomio $X^4 + X + 1$. Este procedimiento tiene lugar en ambos, transmisor y receptor en el lado distante del enlace. El residuo calculado en el receptor es comparado con lo que se recibe, o sea, con el dato sobre el enlace. Si ellos son los mismos, es de alta probabilidad que la submultitrama previamente recibida se encuentre libre de errores.

El procedimiento CRC está basado en una multitrama de 16 tramas la cual se encuentra dividida en 2 submultitramas de 8 tramas (SMF). Las tramas que contienen el patrón de alineamiento de trama contienen los bits CRC C_1 a C_4 respectivamente con el primer bit en la posición 1. La trama que contiene el patrón sin alineamiento de trama tiene por contenido dentro del bit de la primera posición, una señal de alineamiento de multitrama CRC compuesta por 6 bits y 2 bits de reserva (en las tramas 13 y 15) las cuales son utilizadas por el reporte de desempeño o interpretación de errores CRC (fig. 3). Durante el proceso de codificación CRC las posiciones de bit CRC son inicialmente fijadas en 0. El residuo del cálculo es almacenado e insertado en los respectivos bits CRC de la siguiente SMF. El proceso de decodificación repite los procedimientos de

multiplicación/división y compara el residuo con los bits CRC recibidos en la próxima SMF.

Los 2 bits de reserva (denominados Si1 y Si2 en la fig. 3) que siguen a la señal de alineamiento de multitrama CRC de 6 bits, pueden ser utilizados para monitorear desempeño de errores en el terminal distante. Los resultados de las comparaciones del CRC-4 para la SMF I y la SMF II previamente recibida son codificados y transmitidos de vuelta al terminal distante en los bits Si (tabla 2).

COMPONENTE MÚLTIPLE DE TRAMA	TIPO DE TRAMA	# DE TRAMA CRC	INTERVALO DE TIEMPO CERO (IT 0)							
			1	2	3	4	5	6	7	8
	Señal de alineamiento de trama	0	C1	0	0	1	1	0	1	1
	Señal sin alineamiento de trama	1	0	1	A(1)	Sn(2)	Sn(2)	Sn(2)	Sn(2)	Sn(2)
S	Señal de alineamiento de trama	2	C2	0	0	1	1	0	1	1
M	Señal sin alineamiento de trama	3	0	1	A(1)	Sn(2)	Sn(2)	Sn(2)	Sn(2)	Sn(2)
F	Señal de alineamiento de trama	4	C3	0	0	1	1	0	1	1
	Señal sin alineamiento de trama	5	1	1	A(1)	Sn(2)	Sn(2)	Sn(2)	Sn(2)	Sn(2)
I	Señal de alineamiento de trama	6	C4	0	0	1	1	0	1	1
	Señal sin alineamiento de trama	7	0	1	A(1)	Sn(2)	Sn(2)	Sn(2)	Sn(2)	Sn(2)
	Señal de alineamiento de trama	8	C1	0	0	1	1	0	1	1
S	Señal sin alineamiento de trama	9	1	1	A(1)	Sn(2)	Sn(2)	Sn(2)	Sn(2)	Sn(2)
M	Señal de alineamiento de trama	10	C2	0	0	1	1	0	1	1
F	Señal sin alineamiento de trama	11	1	1	A(1)	Sn(2)	Sn(2)	Sn(2)	Sn(2)	Sn(2)
	Señal de alineamiento de trama	12	C3	0	0	1	1	0	1	1

I	Señal sin alineamiento de trama	13	Si1(3)	1	A(1)	Sn(2)	Sn(2)	Sn(2)	Sn(2)	Sn(2)
I	Señal de alineamiento de trama	14	C4	0	0	1	1	0	1	1
	Señal sin alineamiento de trama	15	Si2(3)	1	A(1)	Sn(2)	Sn(2)	Sn(2)	Sn(2)	Sn(2)

Figura 3. Asignación de Bits CRC y Submultientramamiento.

Nota 1: Alarma remota. Mantener en 0 para operación normal.

Nota 2: Reservado para uso nacional. Mantener en 1 para operación normal.

Nota 3: Usado para monitorear desempeño de errores CRC en el terminal distante.

BIT Si1 (TRAMA 13)	BIT Si2 (TRAMA 15)	SIGNIFICADO O PROPÓSITO
1	1	Los resultados CRC para SMF I y II están libres de errores.
1	0	El resultado CRC para SMF II está con errores. El resultado CRC para SMF I está libre de error.
0	1	El resultado CRC para SMF II está libre de error. El resultado CRC para SMF I está con errores.
0	0	Los resultados CRC para SMF I y II están con errores.

Tabla 2. Codificación o Simbología de los Bits de Reserva Si1 y Si2.

1.4 INTERFAZ BUS ST

El bus ST es un bus serial sincrónico multiplexado por división de tiempo con flujos de datos operando a 2048 Kbps y configurado como 32 canales de 64 Kbps. La sincronización de los datos a transferir está provista a partir de un pulso de trama el cual identifica los límites o fronteras de la trama, repitiéndose a una tasa de 8 KHz. Todos los datos son temporizados (entrados) o accedidos por el dispositivo con el flanco de bajada del reloj de 2048 Kbps (C2i), mientras que los mismos son sustraídos con el flanco de subida del reloj de 2048 Kbps al comienzo de la celda del bit siguiente.

1.4.1 ENTRADA DE DATOS (DSTI)

El MH89790 recibe canales de datos por el pin DSTi. De los 32 canales disponibles en esta entrada serial, 30 están definidos como canales de información. Ellos son los canales 1-15 y 17-31. Estos 30 intervalos de tiempo son los 30 canales telefónicos del formato CEPT numerados del 1 al 15 y del 16 al 30. El IT 0 y IT 16 no se usan con el fin de permitir que información de sincronización y señalización sea insertada, desde los flujos de control

(CSTi0 y CSTi1). En el modo de señalización por canal común el IT 16 se convierte en un canal activo. En este modo, el canal 16 en DSTi es transmitido por el IT 16 del enlace CEPT sin cambio alguno. Este modo es activado por el bit 5 del canal 31 de CSTi0.

1.4.2 ENTRADA DE CONTROL 0 (CSTI0)

Toda la información de señalización y control necesaria es introducida a través de 2 flujos de control. La entrada de control del bus ST número 0 (CSTi0) contiene la información de control que se asocia con cada canal de información. Cada canal de control contiene la información de la atenuación digital por canal, el bit de control de lazo cerrado individual, y el identificador de voz o canal de datos (tabla 3). Cuando un canal se encuentra en modo de datos (B7 está en alto) la atenuación digital y la Inversión de Dígito Alternada (ADI) son deshabilitadas. Cabe anotar que la palabra de control para un canal de información determinado es introducida un IT antes, así, el canal 0 de CSTi0 controla al canal 1 de DSTi. Los canales 15 y 31 de CSTi0 contienen las Palabras de Control Maestro 1 y 2 (MCW1, MCW2) las cuales se usan para establecer la característica de interfaz como se ve en las funciones de bit respectivas de las tablas 4 y 5.

BIT	NOMBRE	DESCRIPCIÓN
7	DATOS	Canal de Datos: Si es '1', entonces el IT controlado en el enlace CEPT de 2048 Kbps es tratado como un canal de datos; ninguna codificación ni decodificación ADI es ejecutada en la transmisión o recepción, y la atenuación digital es deshabilitada. Si es '0', entonces el estado del pin ADI determina si se ejecuta o no la codificación y decodificación ADI.
6	LAZO O BUCLE	Lazo Cerrado o Bucle por Canal: Si es '1', entonces el IT controlado en el enlace CEPT de 2048 Kbps de transmisión es enlazado internamente para sustituir los datos en el correspondiente IT recibido. Si es '0', entonces esta función es deshabilitada.

		Esta función opera únicamente si la sincronización de trama es recibida desde el enlace CEPT. Si más de un canal es enlazado por trama, sólo el primero de ellos estará activo.
5,4,3	RXPAD4,2,1	Bloque de Atenuación de Recepción: Bits de control de la atenuación de recepción por IT.
2,1,0	TXPAD4,2,1	Bloque de Atenuación de Transmisión: Bits de control de la atenuación de transmisión por IT.

Tabla 3. Palabra de Control por Canal: Formato de datos para canales 0-14 y 16-30 en CSTi0.

BIT	NOMBRE	DESCRIPCIÓN
7	(N/A)	Se mantiene en '1' para operación normal.
6	LAZO O BUCLE 16	Lazo Cerrado o Bucle del Canal 16: Si es '1', entonces el IT 16 sobre el enlace CEPT de 2048 Kbps de transmisión es enlazado internamente para sustituir los datos recibidos en el IT 16. Si es '0', entonces esta función es deshabilitada. Esta función opera únicamente si la sincronización de trama es recibida desde el enlace CEPT y sólo un único IT puede ser enlazado dentro de la trama.
5,4	(N/A)	Se mantienen en '1' para operación normal.
3,2,1 & 0	NDBD, NDBC, NDBB & NDBA	Eliminación de rebotes para Bits de Señalización: Si es '1', entonces ninguna eliminación de rebotes se aplica a los bits de señalización A, B, C o D recibidos. Si es '0', entonces los bits de señalización A, B, C o D recibidos están sujetos a esta función entre 6 y 8 ms.

Tabla 4. Palabra de Control Maestro 1 (MCW1): Formato de datos para el canal 15 en CSTi0.

BIT	NOMBRE	DESCRIPCIÓN
7	(N/A)	Se mantiene en '1' para operación normal.
6	(N/A)	Se mantiene en '0' para operación normal.
5	CCS	Señalización por Canal Común: Si es '1', entonces el MH89790 opera en su modo de señalización por canal común. El canal 16 en el pin DSTi se transmite sobre el IT 16 del enlace CEPT, y el IT 16 proveniente del enlace CEPT de recepción sale por el canal 16 en el pin DSTo. El canal 15 en el pin CSTi0 contiene la información para el control del IT 16. Los canales del 0 al 15 en CSTi1 y CSTo no son usados. Si es '0', el dispositivo se encuentra en el modo de señalización por canal asociado en donde el canal 16 se usa para transmitir los bits de señalización ABCD.
4	8KHzSEL	Selector de 8 KHz: Si es '1', entonces una señal de 8 KHz sincronizada con el enlace CEPT de recepción de 2048 Kbps sale por el pin E8Ko. Esta característica es válida únicamente cuando la sincronización o alineamiento de trama es recibida desde el enlace CEPT. Si es '0', entonces el pin E8Ko entra en su estado de alta impedancia.
3	TXAIS	Señal de Indicación de Alarma de Transmisión: Si es '1', entonces toda una señal de alarma de 1s se transmite en todos los ITs. Si es '0', entonces los ITs funcionan normalmente.
2	TXTS16AIS	Señal de Indicación de Alarma de Transmisión en el IT 16: Si es '1', entonces toda una señal de alarma de 1s se transmite en el IT 16. Si es '0', entonces el IT 16 funciona normalmente.
1	XCTL	Control Externo: Si es '1', entonces el pin Xctl es llevado a ALTO. Si es '0', entonces el pin Xctl es llevado a bajo.

0	(N/A)	(no usado)
---	-------	------------

Tabla 5. Palabra de Control Maestro 2 (MCW2): Formato de datos para el canal 31 en CSTi0.

1.4.3 ENTRADA DE CONTROL 1(CSTi1)

El flujo de entrada de control del bus ST número 1 (CSTi1) contiene la información de sincronización y los bits de señalización A, B, C y D para inserción en el IT 16 del flujo CEPT (referidos en las tablas 6 a 9). El IT 0 contiene los 4 ceros de la señal de alineamiento de multitrama más los bits XYXX (fig. 2). Los canales 1 a 15 de CSTi1 contienen los bits de señalización A, B, C y D como se definen en el formato CEPT (fig. 2); por ejemplo, el canal 1 de CSTi1 contiene los bits A, B, C y D para los ITs 1 y 17 de DSTi. El canal 16 contiene la señal de alineamiento de trama, y el canal 17 contiene la señal sin alineamiento de trama (fig. 1). El canal 18 contiene la Palabra de Control Maestro 3 (tabla 9).

BIT	NOMBRE	DESCRIPCIÓN
7-4	MA1-4	Bits de Alineamiento de Multitrama de Transmisión 1-4: Estos bits son transmitidos sobre el enlace CEPT de 2048 Kbps en las posiciones de bit 1-4 del IT 16 de la trama 0 de la multitrama. Ellos deben mantenerse en '0' para permitir que el alineamiento de multitrama sea detectado.
3	X1	Este bit es transmitido sobre el enlace CEPT de 2048 Kbps en la posición de bit 5 del IT 16 de la trama 0 de la multitrama. Este es un bit de reserva el cual se debe mantener en '1' si no se usa.
2	Y	Este bit es transmitido sobre el enlace CEPT de 2048 Kbps en la posición de bit 6 del IT 16 de la trama 0 de la multitrama. Este se usa para indicar al terminal remoto del enlace la pérdida del alineamiento de multitrama. Un '1' en este bit es la señal de que el alineamiento de multitrama en el enlace de recepción, ha sido perdido. Un '0' indica que el alineamiento de multitrama es detectado.
1, 0	X2, X3	Estos bits son transmitidos sobre el enlace CEPT de 2048 Kbps en las posiciones de bit 7 y 8 respectivamente, del IT 16 de la trama 0 de la multitrama. Ellos son bits de reserva los cuales deben mantenerse en '1' si no se usan.

Tabla 6. Señal de Alineamiento de Multitrama: Formato de datos para el canal 0 en CSTi1 sobre el enlace CEPT de transmisión.

BIT	NOMBRE	DESCRIPCIÓN
7	IU0	Uso Internacional 0: Cuando el CRC es deshabilitado, este bit es transmitido sobre el enlace CEPT de 2048 Kbps en la posición de bit 1 del IT 0 de las tramas con alineamiento de trama. Este



		es reservado para uso internacional y se debe mantener en '1' cuando no se use. Si el CRC es habilitado, este bit no es utilizado.
6-0	FAF2-8	Bits 2 a 8 de la Señal de Alineamiento de Trama de Transmisión: Estos bits son transmitidos sobre el enlace CEPT de 2048 Kbps en las posiciones de bit 2 a 8 del IT 0 de las tramas con alineamiento de trama. Estos bits conforman la señal de alineamiento de trama y deben ser fijados en '0011011'.

Tabla 7. Señal de Alineamiento de Trama: Formato de datos para el canal 16 en CSTi1.

BIT	NOMBRE	DESCRIPCIÓN
7	IU1	Uso Internacional 1: Cuando el CRC es deshabilitado y el bit SIMUX en MCW3 es deshabilitado, este bit es transmitido sobre el enlace CEPT de 2048 Kbps en la posición de bit 1 del IT 0 de las tramas sin alineamiento de trama. Este es reservado para uso internacional y se debe mantener en '1' cuando no se use. Si el CRC es habilitado y el SIMUX es deshabilitado, este bit es transmitido en el bit 1 del IT 0 por las tramas 13 y 15. Si ambos, el CRC y el SIMUX son habilitados, este bit no es utilizado.
6	NFAF	Bit Señal Sin Alineamiento de Trama de Transmisión: Este bit es transmitido sobre el enlace CEPT de 2048 Kbps en la posición de bit 2 del IT 0 de las tramas sin alineamiento de trama. Con el fin de diferenciar entre las tramas con alineamiento de trama y las tramas sin alineamiento de trama, este bit debe mantenerse en '1'.
5	ALM	Alarma Señal Sin Alineamiento de Trama: Este bit es transmitido sobre el enlace CEPT de 2048 Kbps en la posición de bit 3 del IT 0 de las tramas sin alineamiento de trama. Este se usa para señalar o indicar una alarma al terminal remoto del enlace CEPT. El bit debe ser fijado en '1' para indicar la alarma y debe mantenerse en '0' bajo operación normal.
4-0	NU1-5	Uso Nacional: Estos bits son transmitidos sobre el enlace CEPT de 2048 Kbps en las posiciones de bit 4 a 8 del IT 0 de las tramas sin alineamiento de trama. Estos bits están reservados para uso nacional, y para travesías por fronteras internacionales ellos deben ser fijados en '1'.

Tabla 8. Señal Sin Alineamiento de Trama: Formato de datos para el canal 17 en CSTi1.

BIT	NOMBRE	DESCRIPCIÓN
7	N/A	Se mantiene en '0' para operación normal.
6	SIMUX	Cuando se fije en '1', este bit ocasionará que tanto el resultado del SMF I CRC sea transmitido en el próximo bit saliente Si1 de la trama 13 como el resultado del SMF II CRC sea transmitido en el próximo bit saliente Si2 de la trama 15.
5	RMLOOP	Lazo Cerrado Remoto: Si está fijo las señales en . y son enlazadas hacia TxB y TxA respectivamente.
4	<u>HDB3en</u>	Habilitación de codificación HDB3: Un '1' deshabilitará la codificación de línea HDB3 y transmitirá la información transparentemente.



3	Maint	Mantenimiento: Un '1' forzará una trama completamente nueva si la sincronización no es lograda dentro de los 8 ms de la sincronización de trama. La nueva trama además será generada si más de 914 errores CRC ocurren dentro de un intervalo de 1 segundo (El contador de errores CRC se resetea con cada intervalo de un segundo). Un '0' deshabilitará esta opción.
2	CRCen	Habilitador del Chequeo de Redundancia Cíclica: Un '1' habilitará la generación de CRC en los datos de transmisión. Un '0' deshabilitará el generador CRC. El receptor CRC está siempre activo independientemente del estado de CRCen.
1	DGLOOP	Lazo cerrado o Bucle Digital: Cuando está fijo, la señal transmitida es enlazada desde DSTI hacia DSTo. La recepción normal de datos es interrumpida.
0	ReFR	Forzamiento de Nueva Trama o Retrama: Si está fijo o se setea, para al menos una trama, y luego se clarea, el chip comenzará a buscar una nueva posición de trama en el momento en que este detecte el cambio de estado de alto a bajo. Únicamente el cambio de alto a bajo causará una nueva trama, no un nivel bajo continuo.

Tabla 9. Palabra de Control Maestro 3 (MCW3): Formato de datos para el canal 18 en CSTi1.

1.4.4 SALIDA DE CONTROL (CSTO)

La salida de control del bus ST (CSTO) contiene la señal de multitrama a partir del IT 16 de la trama 0 (tabla 10). Los bits de señalización A, B, C y D para cada canal CEPT son generados desde el IT 16 de las tramas 1-15 y se sacan en los canales 1-15 por CSTo, como se muestra en la tabla 11. La señal de alineamiento de trama así como la señal sin alineamiento de trama, recibidas a partir del IT 0 de las tramas alternas se sacan en los ITs 16 y 17, como se muestra en las tablas 12 y 13.

El canal 18 contiene una Palabra de Estado Maestro 1 (MSW1) la cual provee al usuario la información que se necesita para determinar la condición de operación de la interfaz CEPT; esto es, la sincronización de trama, la sincronización de multitrama, errores del byte de alineamiento de trama, deslizamientos, alarmas y la lógica del pin de estado externo (tabla 14).

El bit ERR en la Palabra de Estado Maestro 1 es un indicador del número de bytes de alineamiento de trama errados que han sido recibidos en el IT 0 alterno. El período de tiempo entre la conmutación del bit ERR puede usarse para evaluar la tasa de error de bit BER de la línea conforme a la recomendación G. 732 de la ITU (ver la sección del Contador de Errores de alineamiento de Trama).

El canal 19 contiene la Palabra de Estado de Fase (tabla 15) la cual puede usarse para determinar la relación de fase entre el pulso de trama del bus ST () y el flanco de subida de E8Ko. Esta información podría usarse para determinar la tendencia a largo plazo de la rata de datos recibidos, o para identificar la dirección de un deslizamiento.

El canal 20 contiene el conteo de error CRC (tabla 16). Este contador volverá a su valor inicial una vez que el conteo final se logre (256 errores). Si la opción de mantenimiento es seleccionada (bit 3 de MCW3), el contador se resetea una vez cada segundo.

El canal 21 contiene la Palabra de Estado Maestro 2 (tabla 17). Este byte identifica el estado de la nueva trama CRC así como la sincronización CRC. Además reporta los bits Si recibidos en el IT 0 de las tramas 13 y 15 y el noveno y más significativo bit (b8) de la Palabra de estado de Fase de 9 bits.

BIT	NOMBRE	DESCRIPCIÓN
7-4	MA1-4	Bits de Alineamiento de Multitrama de Recepción 1 a 4: Estos son los bits los cuales son recibidos desde el enlace CEPT de 2048 Kbps en las posiciones de bit 1 a 4 del IT 16 de la trama 0 de la multitrama. Ellos deben estar en '0'.
3	X1	Este es el bit el cual es recibido por el enlace CEPT de 2048 Kbps en la posición de bit 5 del IT 16 de la trama 0 de la multitrama. Este es un bit de reserva que debería estar en '1' si no es utilizado. A este bit no se le aplica la función de eliminación de rebote.
2	Y	Este bit es recibido por el enlace CEPT de 2048 Kbps en la posición de bit 6 del IT 16 de la trama 0 de la multitrama. Se usa para indicar la pérdida del alineamiento de multitrama en el terminal remoto del enlace. Un '1' en este bit es la indicación de que el alineamiento de multitrama en el terminal remoto del enlace se ha perdido.
1, 0	X2, X3	Estos bits son recibidos por el enlace CEPT de 2048 Kbps en las posiciones de bit 7 y 8 respectivamente, del IT 16 de la trama 0 de la multitrama. Ellos son bits de reserva los cuales deberían estar en '1' si no son utilizados. A estos bits no se les aplica la función de eliminación de rebote.

Tabla 10. Señal de Alineamiento de Multitrama de Recepción: Formato de datos para el canal 0 en CSTo.



BIT	NOMBRE	DESCRIPCIÓN
7, 6, 5 & 4	A(N), B(N), C(N) & D(N)	Bits de Señalización de Recepción para el canal N: Estos son los bits los cuales son recibidos desde el enlace CEPT de 2048 Kbps en las posiciones de bit 1 a 4 del IT 16 en la trama N (trama #), y son los bits de señalización A, B, C y D asociados con el canal telefónico N. El valor de N se encuentra en el rango de 1 a 15 y se refiere al canal sobre el flujo en CSTo a través del cual los bits son sacados, el canal telefónico con el cual los bits son asociados y la trama en el enlace CEPT en la cual los bits son recibidos. Por ejemplo, los bits que salen en el flujo CSTo por el canal 3 están asociados con el canal telefónico 3, el cual está en el IT 3 del enlace CEPT, y son recibidos en las posiciones de bit 1 a 4 del IT 16 en la trama 3 de cada multitrama del enlace CEPT. Si los bits B, C o D no son utilizados, ellos deben tener los valores '1, 0' y '1' respectivamente. La combinación '0000' para los bits ABCD no debería encontrarse para los canales telefónicos 1 a 15 ya que esto implicaría interferencia con el alineamiento de multitrama.
3, 2, 1 & 0	A(N+15), B(N+15), C(N+15) & D(N+15)	Bits de Señalización de Recepción para el canal N+15: Estos son los bits los cuales son recibidos desde el enlace CEPT de 2048 Kbps en las posiciones de bit 5 a 8 del IT 16 en la trama N, y son los bits de señalización A, B, C y D asociados con el canal telefónico N+15. El valor de N se encuentra en el rango de 1 a 15 y se refiere tanto al canal sobre el flujo en CSTo en donde los bits salen o se sacan, como a la trama sobre el enlace CEPT en la cual los bits son recibidos; e indirectamente indica el canal telefónico con el cual los bits son asociados. El canal asociado es el N+15. Por ejemplo, los bits que salen en el flujo CSTo por el canal 3 están asociados con el canal telefónico 18, el cual está en el IT 19 del enlace CEPT, y son recibidos en las posiciones de bit 5 a 8 del IT 16 en la trama 3 de cada multitrama del enlace CEPT.

Tabla 11. Señalización de Recepción por Canal Asociado: Formato de datos para los canales 1 a 15 en CSTo.

BIT	NOMBRE	DESCRIPCIÓN
7	IU0	Uso Internacional 0: Este bit es recibido desde el enlace CEPT de 2048 Kbps en la posición de bit 1 del IT 0 de las tramas con alineamiento de trama. Este es reservado para residuo CRC o para uso internacional.
6-0	FAF2-8	Bits de la Señal de Alineamiento de Trama 2-8: Estos bits son recibidos desde el enlace CEPT de 2048 Kbps en las posiciones de bit 2 a 8 del IT 0 de las tramas con alineamiento de trama. Estos bits conforman la señal de alineamiento de trama y deben tener los valores de '0011011'.

Tabla 12. Señal de Recepción de Alineamiento de Trama: Formato de datos para el canal 16 en CSTo.

BIT	NOMBRE	DESCRIPCIÓN
7	IU1	Uso Internacional 1: Este bit es recibido desde el enlace CEPT de 2048 Kbps en la posición de bit 1 del IT 0 de las tramas sin alineamiento de trama. Este es reservado para entramamiento CRC o como bit internacional.
6	NFAF	Bit Señal sin Alineamiento de Trama de Recepción: Este bit es recibido desde el enlace CEPT



		de 2048 Kbps en la posición de bit 2 del IT 0 de las tramas sin alineamiento de trama. Este bit debe estar en '1' con el fin de diferenciar entre las tramas con alineamiento de trama y las tramas sin alineamiento de trama.
5	ALM	Alarma Señal sin Alineamiento de Trama: Este bit es recibido desde el enlace CEPT de 2048 Kbps en la posición de bit 3 del IT 0 de las tramas sin alineamiento de trama. Se usa para indicar una alarma desde el terminal remoto del enlace CEPT. Este bit debe tener el valor de '0' bajo operación normal y debe ir a '1' para indicar una alarma.
4-0	NU1-5	Uso Nacional: Estos bits son recibidos por el enlace CEPT de 2048 Kbps en las posiciones de bit 4 a 8 del IT 0 de las tramas sin alineamiento de trama. Estos bits son reservados para uso nacional, y para travesías por fronteras internacionales deben tener el valor de '1'.

Tabla 13. Señal de Recepción sin Alineamiento de Trama: Formato de datos para el canal 17 en CSTo.

BIT	NOMBRE	DESCRIPCIÓN
7	<u>TFSYN</u>	Sincronizador de Trama: Este bit va a '1' para indicar una pérdida del alineamiento de trama en la sincronización hecha por el MH89790. Este va a '0' cuando la sincronización de trama es detectada.
6	<u>MFSYN</u>	Sincronizador de Multitrama: Este bit va a '1' para indicar una pérdida de la sincronización de multitrama hecha por el MH89790. Este va a '0' cuando la sincronización de multitrama es detectada.
5	ERR	Error de Alineamiento de Trama: Este bit cambia su estado cuando 16 o más errores han sido detectados en la señal de alineamiento de trama. Este no cambiará su estado más de una vez dentro de cada 128 ms.
4	SLIP	Control de Deslizamiento: Este bit cambia su estado cuando ocurre un deslizamiento entre el enlace CEPT de 2048 Kbps de recepción y el bus ST de 2048 Kbps.
3	RXAIS	Señal de Indicación de Alarma de Recepción: Este bit va a '1' para indicar que toda(s) la(s) señal(es) completa(s) de alarma ha(n) sido detectada(s) en el enlace CEPT de 2048 Kbps de recepción. Este va a '0' cuando toda(s) la(s) señal(es) de alarma es(son) sustraída(s).
2	RXTS16AIS	Señal de Indicación de Alarma de Recepción del IT 16: Este bit va a '1' para indicar que toda(s) la(s) señal(es) completa(s) de alarma ha(n) sido detectada(s) en el canal 16 enlace CEPT de 2048 Kbps. Este va a '0' cuando toda(s) la(s) señal(es) de alarma es(son) removida(s) o sustraída(s).
1	XS	Estado Externo: Este bit contiene los datos muestreados una vez por trama en el pin XS.
0	N/A	No utilizado.

Tabla 14. Palabra de Estado Maestro 1 (MSW1): Formato de datos para el canal 18 en CSTo.

BIT	NOMBRE	DESCRIPCIÓN
7-3	TXTSC	Conteo de IT de Transmisión: El valor de estos 5 bits indica el recuento o conteo de ITs entre el pulso de trama del bus ST y el flanco de subida de E8Ko.
2-0	TXBTC	Conteo de Bit de Transmisión: El valor de estos 3 bits indica la posición de bit dentro del recuento de IT reportado en el conjunto de bits TxtSC de arriba.

Tabla 15. Palabra de Estado de Fase (PSW): Formato de datos para el canal 19 en CSTo.

BIT	NOMBRE	DESCRIPCIÓN
7-0	CERC	Contador de Error CRC: Este byte es el contador de error del CRC. El contador volverá a ceros o se reiniciará con su valor inicial una vez este alcance su máximo valor FF. Si la opción de mantenimiento es activada, el contador se reseteará una (1) vez por segundo.

Tabla 16. Conteo de Error de CRC: Formato de datos para el canal 20 en CSTo.

BIT	NOMBRE	DESCRIPCIÓN
7	Si2	El bit Si recibido en la trama 15 es reportado en este bit. Si2 será actualizado después de cada pulso (pin 27).
6	Si1	El bit Si recibido en la trama 13 es reportado en este bit. Si1 será actualizado después de cada pulso (pin 27).
5, 4	N/A	No utilizados.
3	CRCTimer	Temporizador CRC: La transición de '1' a '0' indica el comienzo de un segundo intervalo en el cual los errores CRC son acumulados. Este bit permanece en ALTO por 8 ms.
2	CRCRef	Nueva Trama CRC: Un '1' indica que la sincronización de multitrama CRC de recepción podría no ser encontrada dentro del período de tiempo fijo de 8 ms después de detectar la sincronización de trama. Esta falta o ausencia de información ha forzado una nueva trama.
1	CRCsync	Sincronizador CRC: Un '0' indica que el multientramamiento CRC ha sido detectado.
0	FrmPhase	Conteo de Trama: Este es el noveno y más significativo bit (b8) de la Palabra de Estado de Fase (tabla 15). Si la palabra de estado de fase se encuentra incrementándose, este bit cambiará cuando la lectura de fase exceda el canal 31 del bus ST, bit 7. Si la palabra de fase se encuentra decrementándose, entonces este bit cambiará cuando la lectura vaya por debajo del canal 0 del bus ST, bit 0.

Tabla 17. Palabra de Estado Maestro 2 (MSW2): Formato de datos para el canal 21 en CSTo.



1.5 BUFFER ELASTICO

El MH89790 tiene 2 buffers (registros intermedios) elásticos de trama en el receptor, los cuales absorben el **jitter** (inestabilidad y parpadeos; variaciones abruptas o indeseadas de una o más características de una señal tales como el intervalo de tiempo entre pulsos sucesivos, la amplitud de ciclos sucesivos, o la frecuencia o fase de los ciclos sucesivos. Variación en la cantidad de latencia entre paquetes de datos recibidos. Interferencia en una línea analógica causada por la variación de una señal en sus períodos de temporización de referencia. Puede causar problemas en la recepción de los datos y en cualquier proceso subsecuente a esos datos) y el **wander** (variaciones aleatorias de los instantes significativos de una señal digital, esto es, sus flancos, discrepando de sus posiciones ideales) en la señal recibida. Los datos recibidos son escritos en el buffer elástico según la señal de reloj extractado (2048 KHz) de E2o y son leídos, seleccionados y sacados del buffer por el lado del bus ST gracias al reloj del sistema C2i de 2048 KHz (por ejemplo, el reloj del sistema PBX). Bajo condiciones normales de operación, en una red sincrónica, el reloj C2i del sistema se pone en fase con el reloj E2o extractado. En esta situación cada operación de escritura hacia el buffer elástico es seguida por una operación de lectura. Por consiguiente, un posible agotamiento (desbordamiento hacia el tope mínimo inferior) o desbordamiento de datos en el buffer elástico no sucederá.

Si el reloj del sistema está desfasado con respecto al reloj extractado (por ejemplo, modalidad más baja del enlace que no es seleccionada como fuente de reloj para la PBX) entonces la rata de datos por medio de la cual los datos están siendo escritos dentro del dispositivo hacia el lado de la línea podría diferir de la rata con la cual dichos datos están siendo leídos hacia el lado del bus ST.

Cuando los relojes están desfasados, se pueden presentar 2 situaciones:



Caso #1: Si los datos en el lado de la línea están siendo escritos con una rata MÁS LENTA o BAJA que con la que están siendo leídos en el lado del bus ST, la distancia entre el apuntador de escritura y el apuntador de lectura comenzará a decrementarse con el tiempo. Cuando la distancia sea menor que 2 canales, el buffer ejecutará un deslizamiento controlado el cual moverá los apuntadores de lectura a una nueva localidad 34 canales lejos del apuntador de escritura. Esto resultará en la REPETICIÓN de la trama recibida.

Caso #2: Si los datos en el lado de la línea están siendo escritos con una rata MÁS RÁPIDA o ALTA que con la que están siendo leídos en el lado del bus ST, la distancia entre el apuntador de escritura y el apuntador de lectura comenzará a incrementarse con el tiempo. Cuando la distancia exceda los 42 canales, el buffer ejecutará un deslizamiento controlado el cual moverá el apuntador de lectura a una nueva localidad 10 canales lejos del apuntador de escritura. Esto resultará en la PÉRDIDA de la última trama recibida.

Note que cuando el dispositivo realiza un deslizamiento controlado, el apuntador de direcciones del bus ST es reposicionado a fin de que haya cualquiera, un retardo de 10 canales o uno de 34 canales entre la trama CEPT de entrada y la trama de salida del bus ST. A partir del momento en que el buffer ejecuta el deslizamiento o slip controlado, sólo si el retardo excede los 42 canales o es menor que 2 canales, habrá una histéresis mínima de 8 canales establecida dentro del mecanismo de deslizamiento. El dispositivo puede, por consiguiente, absorber 8 canales o 32.5 μ s de jitter en la señal recibida.

No existe ninguna pérdida de sincronización de trama ni de sincronización de multitrama o cualquier tipo de errores en los bits de señalización cuando el dispositivo ejecuta un slip.

1.6 CONTADOR DE ERROR EN EL ALINEAMIENTO DE TRAMA

El MH89790 provee una indicación de la rata de error de bit BER encontrada en el enlace como se requiere según la Recomendación G. 703 de la ITU. El bit ERR (bit 5 de la MSW1) se usa para contar el número de errores encontrados en la señal de alineamiento de trama y dicho número a su vez puede ser utilizado para estimar la BER. El bit ERR cambia de estado cuando se han detectado 16 errores en la señal de alineamiento de trama. Este bit no puede cambiar más de una vez su estado dentro de cada 128 ms, colocando un límite superior sobre la rata de error detectable en aproximadamente 10^{-3} .

La siguiente fórmula se puede usar para calcular la BER:

$$\text{BER} = \frac{16 * \# \text{ de veces que el bit ERR se conmuta}}{7 * 4000 * \text{ tiempo transcurrido en segundos}}$$

donde, 7: # de bits en la señal de alineamiento de trama (0011011).

16: # de señales de alineamiento de trama erradas contadas entre los cambios de estado del bit ERR.

4000: # de señales de alineamiento de trama en un período de 1 segundo.

Esta expresión proporciona una buena aproximación de la BER dados los siguientes supuestos:

- ✎ Los errores de bit se distribuyen uniformemente en la línea. En otras palabras, cada bit en cada canal es igualmente propenso a adquirir o llevar un error.
- ✎ Los errores que ocurren en el canal 0 son errores de bit. Si la primera suposición se cumple y la BER es razonable y lógica (por debajo de 10^{-3}) entonces la probabilidad de 2 o más errores en los 7 bits es muy baja.

- ✎ La cota superior de BER del enlace exacta es de 0,00446 cuando en la fórmula reemplazamos por 1 en la conmutación del bit ERR (en el numerador) y 0,128 s en el tiempo transcurrido en segundos (en el denominador). Esta magnitud probabilística indica que el tope máximo de BER estándar permitido es de aproximadamente 4,5 bits errados por cada 1000 bits (de datos) recibidos.

1.7 ROM DE ATENUACION

Todos los datos de transmisión y recepción en el MH89790 pasan a través de una ROM de Atenuación Digital según los valores fijados en los bits 5-0 de los canales de datos en el flujo de control (CSTi0). Los datos pueden ser atenuados en una base por canal desde 1 hasta -6 dB para ambos, datos de transmisión y de recepción (tabla 3).

La atenuación digital se aplica, sobre una base por canal, a los datos que se encuentran un canal después de la información de control almacenada en el canal de control CSTi0, esto es, el canal 4 del flujo de control 0 contiene la configuración de atenuación para el canal 5 del flujo de datos (DSTo).

1.8 RAM DE LOS BITS DE SEÑALIZACION

La RAM de los bits A, B, C & D se usa para retener el estado de los bits de señalización por canal a fin de que estos se puedan multiplexar en el Flujo de Control de Salida (CSTo). Esta información de señalización es válida únicamente cuando el módulo se sincroniza con el flujo de datos recibidos. Si tal sincronización se pierde, el estado de los bits de señalización será retenido por 6 ms suministrados por la eliminación de rebotes de señalización cuando se encuentra activa.

Integrado dentro de la RAM de los bits de señalización se encuentra un circuito de eliminación de rebotes el cual retardará los cambios del bit de señalización vigente



durante 6 a 8 ms. Al eliminar los rebotes de los bits de señalización, un error de bit en el bit más reciente no afectará la llamada en progreso (ver tabla 4, bits 3-0 del canal 15 en la línea CSTi0).

1.9 FORMATO DEL MUX CEPT PCM 30

El multiplexor interno da formato al flujo de datos correspondiente a la estructura del CEPT PCM 30. El multiplexor utilizará los ITs 1 a 15 y 17 a 31 para los datos y los ITs 0 y 16 para la sincronización y la señalización por canal asociado.

Las señales de alineamiento de trama y sin alineamiento de trama que van por el IT 0 proceden del canal 16 y 17 de la entrada del flujo de control CSTi1 respectivamente. El bit más significativo del IT 0 contiene, de manera opcional, el chequeo de redundancia cíclica, la señal de multitrama CRC y los bits Si utilizados para el monitoreo CRC del terminal lejano o remoto.

1.10 ALGORITMOS DE ENTRAMAMIENTO

Hay 3 entramadores distintos dentro del MH89790. Entre ellos se incluyen, un entramador de la señal de alineamiento de trama, un entramador de multitrama y un entramador de CRC.

El circuito de sincronización de trama busca la primera señal de alineamiento de trama dentro del flujo de bits. Una vez detectada, los contadores de trama se fijan para encontrar la señal sin alineamiento de trama. Si el bit 2 de la señal sin alineamiento de trama no está en '1', se inicia una nueva búsqueda, sino el entramador monitoreará el alineamiento de trama en la siguiente trama. Si la señal de alineamiento de trama es encontrada, el dispositivo inmediatamente notifica la sincronización de trama.

El algoritmo de sincronización de multitrama depende del estado del entramador del alineamiento de trama. El entramador de multitrama no comenzará una búsqueda de la sincronización de multitrama hasta que se logre la sincronización



de trama. La sincronización de multitrama será notificada con la primera ocurrencia de 4 ceros consecutivos en el nibble o cuarteto alto del canal 16. Una vez que se logre la sincronización de multitrama, el entramador saldrá de sincronización sólo después de la detección de 2 errores en la señal de multitrama o con la pérdida de la sincronización o alineamiento de trama.

El algoritmo de sincronización CRC también depende del estado del entramador del alineamiento de trama, pero es independiente de la sincronización de multitrama. El entramador CRC no comenzará una búsqueda de la señal de entramamiento CRC hasta que se logre la sincronización de trama. Una vez que esta se logre, el entramador CRC tiene que encontrar 2 señales de entramamiento en el bit 1 de la señal sin alineamiento de trama. A partir de la detección de la segunda señal de entramamiento CRC el MH89790 entrará inmediatamente en sincronización CRC. Cuando la propiedad de mantenimiento es habilitada (bit de mantenimiento = 1) el entramador CRC forzará a una nueva trama completa por parte del dispositivo para el caso en que la sincronización de trama CRC no se encuentre dentro de un período de 8 ms o si más de 914 errores CRC por segundo han ocurrido.

1.11 RECEPTOR BIPOLAR DE LINEA

El receptor MH89790 se interfaza con la línea de transmisión a través de un transformador de pulsos. Este divide la señal de línea AMI recibida en 2 señales, y estas 2 señales se introducen al MT8979 y a la compuerta NAND externa. Combinadas en la compuerta NAND, las señales \bar{y} y \bar{y} forman una nueva señal, RxD, la cual representa los datos recibidos. Los datos recibidos se introducen (temporizan) en el chip con el flanco de bajada de E2o. El receptor bipolar se crea con el fin de detectar las violaciones bipolares en una señal recibida en conjunto con RxD.

La impedancia de entrada vista por la línea de transmisión es de aproximadamente 75Ω , (razón de transformador 1:1:1 con toma central aterrizada) como lo requiere

la Rec. G 703 para cable coaxial. La atenuación de la línea de transmisión no debería exceder los 6 dB (a 1024 KHz) y las características de atenuación deben estar cerca de "la raíz cuadrada de F".

$$AF [dB] = AF_{ref} [dB] * \sqrt{(f/f_{ref})}$$

Donde, AF: Atenuación en dB a la frecuencia f.

AF_{ref} : Atenuación en dB (en este caso 6 dB) a la frecuencia f_{ref} .

f_{ref} : Frecuencia de referencia (en este caso 1024 KHz).

f: Frecuencia en KHz.

La tolerancia de jitter de entrada del MH89790 excede la mínima tolerancia de jitter como se especifica en el I.431 y la G.823 del ITU.

1.12 TRANSMISOR BIPOLAR DE LINEA

El MH89790 s provee 2 drivers o controladores de colector abierto, OUTA y OUTB. Estas salidas son adecuadas para controlar un transformador de pulso de toma centrada Las 2 salidas se combinan para crear el código AMI de línea de polaridades opuestas. Cada salida manda al transformador a generar o producir un pulso de polaridad opuesta.

1.13 EXTRACTOR DE RELOJ

El MH89790 contiene un circuito de extracción de reloj que genera el reloj en E2o. El reloj extractado o extraído se utiliza para asegurar los datos recibidos presentes en la entrada RxD. El flanco de bajada de E2o está aproximadamente alineado con el centro del pulso de recepción. El alineamiento entre estas 2 señales se puede desorganizar por el jitter y el wander en la señal recibida.

Con el fin de sintonizar el extractor de reloj, se conecta un inductor externo sintonizable con un rango de sintonización de 32 μ H a 39 μ H entre LA y LB. Este completa el circuito tanque del oscilador de inyección de corriente usado en el circuito de extracción de reloj. El inductor debe ser sintonizado para suministrar

una frecuencia de $2048 \text{ KHz} \pm 200 \text{ Hz}$ en el pin E2o sin ninguna señal aplicada en la entrada RXD. La salida de los 8 KHz extraídos (E8Ko) se derivan del reloj E2o dividiéndolo por 256. Este puede usarse por un bucle de fase (lazo cerrado de fase) para generar el reloj del sistema y el pulso de trama que se sincroniza a la red.

1.14 APLICACIONES

1.14.1 INTERFAZ DE RATA PRIMARIA RDSI PARA USUARIO DE RED

Ejemplos típicos de interfaces de rata primaria son los enlaces de alta capacidad desde una PBX hasta un Intercambio de Centrales de Oficina (Central Office Exchange) o enlaces múltiples entre PBX dentro de una gran red privada. Con el advenimiento de la Red Digital de Servicios Integrados (RDSI), un conjunto limitado de interfaces de redes se especifica con el fin de permitir el equipamiento que va a operar en la red a partir de diferentes proveedores. El MH89790 se amolda al estándar de punto de referencia de la Rata Primaria RDSI S/T, la cual demanda 30 canales B (64 Kbps) y 1 canal D (64 Kbps).

Tres tipos de información se pasan a través de los buses seriales del MH89790:

DATOS DE USUARIO – Los flujos de datos del MH89790 aparecen conectados al Switch o Conmutador Digital Crosspoint MT8980. Esto permite que los canales de voz y de datos sean conmutados dinámicamente dentro del sistema.

SEÑALIZACIÓN – La información de señalización en la interfaz de rata primaria RDSI se lleva sobre el canal D usando procedimientos LAPD. El canal D RDSI se crea colocando el MH89790 en el modo de Señalización por Canal Común. El canal D es tomado desde el bus ST y conectado al Controlador de Protocolos MT8952. Este recibe y transmite paquetes de datos serialmente, de acuerdo con los requerimientos de protocolos LAPD.



CONTROL – El MT8920 (STPA) provee acceso directo del microprocesador al MH89790 a través de sus RAMs de los puertos duales de transmisión y recepción. La información de estado puede generar interrupciones para notificar al sistema en caso de deslizamientos (slips), pérdidas de sincronismo, alarmas, violaciones, etc.

1.14.2 INTERFAZAMIENTO PARA LA LINEA DE TRANSMISION DEL CABLE COAXIAL

La operación confiable del enlace CEPT está directamente relacionada con el tipo de medio de transmisión y el método de Interfazamiento. Los cables coaxiales proporcionan medios de transmisión excelentes si se utilizan apropiadamente. Una de las cosas más importantes para recordar es que el terminal receptor del cable no debe estar conectado a tierra. Si ambos terminales se conectan a tierra, una corriente incontrolable fluirá a través de la protección (blindaje o cubierta protectora aislante) del cable e interferirá con la señal transmitida.

1.14.3 INFORMACION MAGNETICA

La tabla 17 proporciona las directrices para tratar el devanado o embobinado de los transformadores de entrada y salida así como para la bobina o inductor de sintonización para el extractor de reloj. El desempeño de la magnética podría variar significativamente dependiendo del proceso de manufacturación y los materiales utilizados. Para apoyar o soportar la actividades de diseño iniciales, Mitel Semiconductor tiene disponible los kits magnéticos MB6016 (75Ω) el MB6017 (120Ω) del MH89790 CEPT, los cuales contienen la magnética mostrada en la tabla 17.



2 MITEL MT8980D SWITCHE O CONMUTADOR DIGITAL

2.1 CARACTERISTICAS

- ✎ Compatible con ST-BUS de Mitel
- ✎ 8 entradas de líneas X32
- ✎ 8 salidas de líneas X32
- ✎ Conmutador de 256 puertos sin bloqueo
- ✎ Voltaje de suministro de 5 V
- ✎ Bajo consumo de potencia: 30 mW Tip
- ✎ Interfaz de control de microprocesador
- ✎ Salidas seriales de tres estados

2.2 DESCRIPCION

Este dispositivo está diseñado para conmutar datos o voz PCM codificada, bajo control de un microprocesador, en un intercambio moderno digital, PBX o central. Este provee conexiones simultaneas de hasta 256 canales de 64 Kbits/s. Cada una de las entradas y salidas seriales consisten en 32 canales de 64 Kbit/s multiplexados a un flujo ST-BUS de 2048 Kbit/s. Además. El MT8980 provee acceso a lectura y escritura al microprocesador a los canales individuales del ST-BUS.

2.2.1 DESCRIPCION DE PINES

Pin # 1 [\overline{DTA}]: Reconocimiento de datos (Salida en malla abierta). Este es el reconocimiento de datos en la interfaz con el microprocesador. Este pin es llevado a bajo para informar que el chip ha procesado los datos. Una resistencia de 909Ω de $\frac{1}{4}$ W se recomienda como resistencia de malla abierta.

Pin # 2-9 [STi0-Sti7]: Entradas de ST-BUS 0 a 7. Estas son los pines para las entradas de 2048 Kbit/s del flujo ST-BUS.



Pin # 10 [V_{DD}]: Entrada de potencia, suministro positivo.

Pin # 11 [$\overline{\text{FOi}}$]: Entramado del tipo 0. Esta es la entrada para el pulso de sincronización de trama de los flujos ST-BUS de 2048 Kbit/s. Una entrada baja en esta causa que el contador interno se claree en la siguiente transición negativa de C4i.

Pin # 12 [$\overline{\text{C4i}}$]: Reloj de 4.096 MHz (entrada). Las celdas del ST-BUS limitan con los flancos de bajada de este reloj.

Pin # 13-18 [A0-A5]: Direcciones 0 a 5 (entradas). Estas son las entradas de direcciones conectadas a la interfaz con el microprocesador.

Pin # 19 [DS]: Sincronización asíncrona de datos (entrada). Esta es la entrada para que los datos activos se sincronicen con el microprocesador en su interfaz.

Pin # 20 [R/W]: Lectura o escritura (entrada). Esta es la entrada para la señal de lectura/escritura en la interfaz con el microprocesador – alto para lectura y bajo para escritura.

Pin # 21 [$\overline{\text{CS}}$]: Selección de Chip (entrada). Esta es la entrada para la selección de chip en la interfaz con el microprocesador.

Pin # 22-29 [D7-D0]: Datos del 7 al 0. Estos son los pines bidireccionales de datos de la interfaz con el microprocesador.

Pin # 30 [V_{SS}]: Entrada de potencia, suministro negativo (tierra).

Pin # 31-38 [STo7-STo0]: Salidas de ST-BUS 0 a 7. Estas son los pines para las salidas de 2048 Kbit/s del flujo ST-BUS.

Pin # 29 [ODE]: Drive de salida habilitado (entrada). Si esta entrada es mantenida alta, los STo0-STo7 funcionan normalmente. Si esta entrada es baja, los STo0-STo7 se colocan en alta impedancia. Nota: Aunque el ODE se encuentre alto, las salidas de los canales pueden colocarse en alta impedancia bajo control de software.

Pin # 40 [CSTo]: Control de las salidas ST-BUS (Salida complementaria). Cada trama de 256 bits en esta salida ST-BUS contiene el valor del bit 1 en las localizaciones 256 de la memoria alta conectada.

2.2.2 DESCRIPCION FUNCIONAL

En los últimos años, ha habido una tendencia en telefonía hacia la conmutación digital, particularmente en asociación con el control bajo software. Simultáneamente se ha dado una tendencia en la arquitectura de sistemas hacia el procesamiento distribuido o sistemas multiprocesadores.

Teniendo en cuenta esta tendencia, MITEL ha desarrollado el ST-BUS. Esta arquitectura de bus puede ser usado de dos formas: en voz digital controlada por software y conmutación de datos, y para comunicaciones de interprocesador. El uso en conmutación y comunicaciones de interprocesador son completamente integradas para permitir que una arquitectura de simple propósito se apropie de los sistemas del futuro.

Los flujos seriales del ST-BUS operan continuamente a 2048 Kbit/s y son organizados en tramas de 125 μ s que contienen 32 canales de 8 bits. MITEL ha creado una serie de dispositivos para trabajar con el ST-BUS; un dispositivo clave es el MT8980.

El MT8980 puede conmutar datos de canales de entrada ST-BUS con canales de salida ST-BUS, y simultáneamente permite su control con microprocesador para leer canales en las entradas ST-BUS o escribir canales en las salidas ST-BUS (Modo Mensaje). Para el microprocesador el MT8980 se comporta como un periférico de memoria. El microprocesador puede escribir al MT8980 para establecer conexiones conmutadas entre los canales de entrada y los de salida, o para transmitir mensajes en los canales de salida del ST-BUS. Leyendo del MT8980 el microprocesador puede recibir mensajes provenientes de los canales de entrada o verificar cuales conexiones de conmutación han sido establecidas.



Integrando ambos: conmutación y comunicaciones entre procesadores, el MT8980 permite que los sistemas utilicen procesamiento distribuido y cambiar entre voz y datos en una arquitectura ST-BUS.

2.2.3 DESCRIPCION HARDWARE

Datos seriales a 2048 Kbit/s se reciben en las ocho entradas ST-BUS (STi0 a STi7), y datos seriales son transmitidos en las ocho salidas ST-BUS (STo0 a STo7). Cada entrada serial acepta 32 canales de datos digitales, cada canal contiene una palabra de 8 bits la cual representa una voz análoga codificada en PCM proveniente de un CODEC (ej. MITEL MT8964).

Esta palabra (entrada serial) es convertida a datos paralelos y guardada en la memoria de datos de 256x8. Puntos en la memoria de datos se encuentran asociados con un canal particular de las entradas ST-BUS. Estos puntos pueden ser leídos por el microprocesador que controla el chip.

Puntos en la memoria de conexión, la cual se encuentra dividida en partes bajas y altas, están asociados con salidas ST-BUS particulares. Cuando un canal se va a transmitir en una salida ST-BUS, los datos del canal pueden provenir de una entrada ST-BUS o del microprocesador. Si los datos son conmutados de una entrada, el contenido de la memoria de conexión en el punto bajo asociada con el canal de salida es usada para direccionar la memoria de datos. Si los datos del canal de salida provienen del microprocesador (modo de mensaje), el contenido de la memoria de conexión en el punto bajo asociada con el canal de salida son salidas directamente, y este dato es transmitido repetidamente en el canal, en cada trama, hasta que el microprocesador intervenga.

Los datos de la memoria de conexión son recibidos por medio de la interfaz de control en D7 a D0. La interfaz de control además recibe la información de direcciones A5 a A0 y maneja las señales de control del microprocesador CS,DTA,

R/W y DS. Hay dos partes para cada dirección en la memoria de datos o la memoria de conexión. Los bits de alto orden vienen del registro de control, lo cual indica que deben ser escritos hacia o leídos de la interfaz de control. Los bits de bajo orden vienen de las líneas de direcciones directamente.

El registro de control además permite al chip que envíe mensajes en todas las salidas ST-BUS (ej. Colocar todos los canales en modo mensaje), o para dividir la memoria para que las lecturas se hagan de la memoria de datos y las escrituras sean hacia la memoria de conexión baja. La memoria de conexión alta determina cuales de los canales de salida individuales se encuentran en modo de mensaje, y permite a canales de salida individuales ir a estado de alta impedancia, lo cual habilita que se construyan las matrices del MT8980. Esto adicionalmente controla el pin CSTo.

2.3 CONTROL SOFTWARE

Las líneas de direcciones en la interfaz de control dan direcciones al registro de control directamente o, dependiendo del contenido del registro de control, a las secciones altas o bajas de la memoria de conexión o la memoria de datos.

A5	A4	A3	A2	A1	A0	DIRECCIÓN HEX	LOCALIZACIÓN
0	X	X	X	X	X	00-1F	Registro de Control
1	0	0	0	0	0	20	Canal 0
1	0	0	0	0	1	21	Canal 1
.
.
.
1	1	1	1	1	1	3F	Canal 31

Figura 4. Mapa de Direcciones de Memoria.



Si la línea de dirección A5 es baja, el registro de control es direccionado independientemente de las otras líneas de direcciones (ver la figura 4). Si A5 es alta, las líneas de direcciones A4-A0 seleccionan la localización de memoria correspondiente a los canales 0-31 de la memoria y el bus seleccionado en el registro de control.

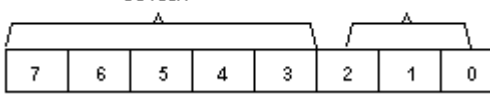
BIT	NOMBRE	DESCRIPCIÓN
7	Dividir Memoria	Cuando es 1, todas las lecturas son de la memoria de datos y las escrituras son a la memoria de conexión baja, excepto cuando el registro de control es accedido de nuevo. Cuando es 0, la memoria los bits de selección de memoria especifican la memoria para operaciones subsecuentes. En cualquier caso los bits de dirección de bus seleccionan la subsección de la memoria que se halla sido disponible.
6	Modo de Mensaje	Cuando es 1, el contenido de la memoria de conexión baja es llevada a los buses de salida seriales excepto cuando el pin ODE se encuentra bajo. Cuando es 0, los bits de memoria de conexión para cada canal determinan lo que es la salida.
5	(No usado)	
4-3	Bits de Selección de Memoria	0-0-No para ser usado 0-1-Memoria de datos (leer solo del puerto del microprocesador) 1-0-Memoria de conexión baja 1-1-Memoria de conexión alta
2-0	Bits de dirección de bus	El número expresado en notación binaria de estos bits se refiere a la entrada o salida del ST*BUS que corresponde a la subsección de memoria hecha accesible por las operaciones subsiguientes.

Figura 5. Bits de registro de control.

Los datos en el registro de control consisten en: bits de control de modo, bits de selección de memoria y bits de dirección de bus (ver figura 5). Los bits de selección de memoria permiten que se seleccione la memoria de conexión alta, baja o la memoria de datos, y los bits de selección de bus definen uno de las entradas o salidas ST-BUS.

El bit 7 del registro de control permite la operación de dividir la memoria – lecturas se hacen desde la memoria de datos y escrituras a la memoria de conexión baja.

El otro bit de control de modo, bit 6, coloca todas los canales de salida de todos los buses de salida dentro de modo de mensaje activo; ej. El contenido de la memoria de conexión baja son llevadas a los ST-BUS de salida en cada trama a menos que el pin ODE se coloque bajo. En este modo el chip se comporta como si los bits 2 y 0 de cada punto de la memoria de conexión alta fuera 1, independiente de los valores actuales.

<div style="text-align: center;"> <p>Memoria no correspondiente estos bits devuelven 0 si se leen</p> <p>Bits de Control por canal</p>  </div>		
BIT	NOMBRE	DESCRIPCIÓN
2	Canal de Mensaje	Cuando es uno, el contenido de la localización correspondiente en la memoria de conexión baja se lleva al respectivo canal y flujo (bus). Cuando es cero, el contenido de la memoria de conexión baja correspondiente actúa como una dirección para la memoria de datos y de termina la fuente de la conexión al respectivo canal y flujo.
1	Bit CSTo	Este bit es llevado al pin CSTo un canal antes. El bit CSTo para el flujo 0 es llevado antes.
0	Habilitar Salida	Si el pin ODE es alto y el bit 6 del registro de control es 0, este bit habilita el manejador de salida para el correspondiente canal y flujo.

		Esto permite que canales individuales en flujos individuales se coloquen en alta impedancia, permitiendo que matrices de conmutación se construyan. Un 1 habilita el manejador y un 0 lo deshabilita.
--	--	---

Figura 6. Bits de Memoria de conexión Alta.

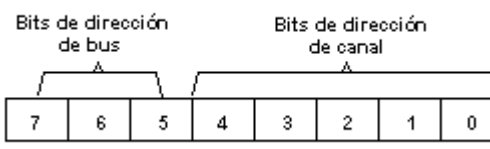
		
BIT	NOMBRE	DESCRIPCIÓN
7-5*	Bits de direcciones de flujo*	El número expresado en binario de estos 3 bits es el número del flujo ST-BUS para la fuente de conexión. El bit 7 es el bit más significativo. Por ejemplo si el bit 7 es 1, bit 6 es 0 y bit 5 es 0, la fuente de conexión es un canal del STI4.
4-0*	Bits de direcciones de canales*	El número expresado en notación binaria de estos 5 bits es el número del canal que es la fuente de la conexión. El bit 4 es el más significativo.
<p>* Si el bit 2 de la correspondiente localización alta es 1 o si el bit 6 del registro de control es 1, estos 8 bits son llevados al canal y flujo asociado con este punto. De lo contrario los bits se utilizan para indicar la fuente de la conexión la cual es llevada al canal y flujo asociado con esta localización.</p>		

Figura 7. Bits de Memoria de conexión Baja.

Si el bit 6 del registro de control es 0, los bits 2 y 0 de cada memoria de conexión funcionan normalmente. Si bit 2 es 1, el canal asociado al flujo ST-BUS se encuentra en modo de Mensaje. Ej. El byte en la memoria correspondiente de conexión baja es transmitida en el flujo en ese canal. De lo contrario, uno de los bytes recibidos en las entradas seriales es transmitido y el contenido de la memoria baja define el flujo de entrada ST-BUS y el canal donde el byte se encontrará.



Si el pin ODE es bajo, todas las salidas seriales se colocan en alta impedancia. Si es alto y el bit 6 del registro de control es 1, todas las salidas están activas. Si el pin ODE es alto y el bit 6 en el registro de control es 0 el bit 0 en la memoria de conexión alta habilita las salidas para las correspondientes salidas individuales de flujo ST-BUS y canal. Bit 0=1 habilita el manejador y bit 0=0 lo deshabilita.

El bit 1 de cada memoria de conexión alta es colocada en el pin CSTo una vez cada trama. Para permitir retardos en cualquier circuito de control externo el bit es colocado un canal antes del canal correspondiente en los flujos ST-BUS. Y el bit para el flujo 0 es colocado de primero en el canal.

3 MITEL MT8941 PLL AVANZADO PARA TRONCAL DIGITAL T1/CEPT

3.1 CARACTERISTICAS

- ✎ Proporciona un reloj fijo para T1 a 1,544 MHz a partir de un reloj de referencia de 8 KHz (pulso de trama).
- ✎ Proporciona un reloj fijo tanto para CEPT a 2,048 MHz, así como para el bus ST y demás señales de temporización a partir de un reloj interno o externo de referencia de 8 KHz.
- ✎ Jitter típico inherente de salida (no filtrado) = 0,07 UI pico a pico.
- ✎ Atenuación de Jitter típica a: 10Hz = 23dB, a 100Hz = 43dB, 5 a 40KHz \geq 64dB.
- ✎ Pines y modos compatibles con el dispositivo MT8940 PLL de Troncal Digital T1/CEPT para la mayoría de aplicaciones.
- ✎ Modo de "EJECUCIÓN LIBRE" ("FREE-RUN") libre de Jitter.
- ✎ Compuerta NAND neutral de 2 entradas.
- ✎ Tecnología CMOS de bajo consumo de potencia.

3.1.1 APLICACIONES

- ✎ Control de sincronismo y temporización para enlaces de transmisión de troncales digitales T1 y CEPT.
- ✎ Generación de pulso de trama y reloj para el bus ST.

3.2 DESCRIPCION

El MT8941 consiste en un doble Lazo Cerrado de Fase (PLL) digital que proporciona las señales de temporización y sincronismo para enlaces de transmisión tipo T1 o CEPT y para el bus ST. El primer PLL provee el reloj para T1 (1,544 MHz) sincronizado con el pulso de trama de entrada de 8 KHz. Las señales de temporización para el enlace de transmisión CEPT o para el bus ST son

suministradas por el segundo PLL a partir de una señal de pulso de trama interna o externa de 8 KHz. El MT8941 ofrece un mejor desempeño sobre Jitter que el MT8940.

3.2.1 DESCRIPCIÓN DE PINES (MT8941AE FORMATO DIP DE 24 PINES)

Pin # 1 [ENcv]: Habilitación de Reloj Variable (Entrada compatible con TTL). Esta entrada (llevada internamente a V_{DD}) controla directamente los 3 estados de \overline{CV} (pin 22) bajo todos los modos de operación. Cuando se encuentra en ALTO, habilita \overline{CV} y cuando está en BAJO, lleva \overline{CV} a su condición de Alta Impedancia. Además controla los 3 estados de la señal en CVb (pin 21) si MS1 está en BAJO. Cuando ENcv está en ALTO, el pin CVb se comporta como una salida y cuando ENcv está en BAJO, CVb va a su estado de Alta Impedancia. Sin embargo, si MS1 están en ALTO, CVb siempre será una entrada.

Pin # 2 [MS0]: Selección del Modo 0 (Entrada compatible con TTL). Esta entrada (llevada internamente a V_{SS}) en conjunto con MS1 (pin 4) selecciona el modo de operación mayor o principal para ambos DPLLs (tablas 18 y 19).

Pin # 3 [C12i]: Entrada de Reloj de 12,352 MHz (Compatible con TTL). Entrada del reloj maestro para el DPLL #1.

Pin # 4 [MS1]: Selección del Modo 1 (Entrada compatible con TTL). Esta entrada (llevada internamente a V_{SS}) en conjunto con MS0 (pin 2) selecciona el modo de operación mayor o superior para ambos DPLLs (tablas 18 y 19).

Pin # 5 [\overline{FOi}]: Entrada del Pulso de Trama (Compatible con TTL). Esta es la entrada del pulso de trama de 8 KHz (llevada internamente a V_{DD}). El DPLL #1 se cierra con el flanco de bajada de esta entrada para generar el reloj T1 de 1,544 MHz.

Pin # 6 [\overline{FOb}]: Pulso de Trama Bidireccional (Entrada compatible con TTL y salida Tótem-pole). Dependiendo del modo menor o inferior seleccionado para el DPLL #2, este pin provee la salida del pulso de trama de 8 KHz o actúa como una entrada (llevada internamente a V_{DD}) para un pulso de trama externo.



Pin # 7 [MS2]: Selección del Modo 2 (Entrada compatible con TTL). Esta entrada (llevada internamente a V_{DD}) en conjunto con MS3 (pin 17) selecciona el modo de operación menor o inferior para el DPLL #2 (tabla 20).

Pin # 8 [C16i]: Entrada de Reloj de 16,384 MHz (Compatible con TTL). Entrada del reloj maestro para el DPLL #2.

Pin # 9 [EN_{C4o}]: Habilitación del reloj de 4,096 MHz (Entrada compatible con TTL). Esta entrada activa por ALTOS (llevada internamente a V_{DD}) habilita la salida C4o (pin 11). Cuando está en BAJO, la salida C4o cae en su condición de Alta Impedancia.

Pin # 10 [C8Kb]: Reloj de 8 KHz Bidireccional (Entrada compatible con TTL y salida de drenaje abierto con resistencia interna de 100 K Ω hacia V_{DD}). Esta es la señal de entrada de 8 KHz con cuyo flanco de bajada se cierra el DPLL #2 durante su modo NORMAL. Cuando el DPLL #2 está en el modo de RELOJ UNICO ("SINGLE CLOCK"), este pin saca la señal interna de 8 KHz proporcionada por el DPLL #1 al DPLL #2.

Pin # 11 [C4o]: Reloj de 4,096 MHz (Salida de 3 estados). Este es el inverso o complemento de la señal que aparece en el pin 13 ($\overline{C4b}$) a 4,096 MHz, y tiene un flanco de subida con la ventana de pulso de trama ($\overline{F0b}$). El estado de Alta Impedancia de esta salida es controlado por EN_{C4o} (pin 9).

Pin # 12 [V_{ss}]: Tierra (0 Voltios).

Pin # 13 [$\overline{C4b}$]: Reloj de 4,096 MHz Bidireccional (Entrada compatible con TTL y salida Tótem-pole). Cuando el bit de selección de modo MS3 (pin 17) está en ALTO, $\overline{C4b}$ suministra la salida de reloj de 4,096 MHz con el flanco de bajada de la ventana de pulso de trama ($\overline{F0b}$). Cuando el pin 17 está en BAJO, $\overline{C4b}$ se convierte en una entrada (llevada internamente a V_{DD}) para un reloj externo de 4,096 MHz.

Pin # 14 [$\overline{C2o}$]: Reloj de 2,048 MHz (Salida de 3 estados). Esta es la salida de la división por 2 de $\overline{C4b}$ (pin 13) y tiene un flanco de bajada con la ventana de pulso de trama ($\overline{F0b}$). El estado de Alta Impedancia de esta salida es controlado por EN_{C2o} (pin 16).



Pin # 15 [C2o]: Reloj de 2,048 MHz (Salida de 3 estados). Esta es la salida de la división por 2 de $\overline{C4b}$ (pin 13) y tiene un flanco de subida con la ventana de pulso de trama (\overline{FOb}). El estado de Alta Impedancia de esta salida es controlado por EN_{C2o} (pin 16).

Pin # 16 [EN_{C2o}]: Habilitación del reloj de 2,048 MHz (Entrada compatible con TTL). Esta entrada activa por ALTOS (llevada internamente a V_{DD}) habilita ambas salidas $\overline{C2o}$ y C2o (pines 14 y 15). Cuando está en BAJO, estas salidas caen en su condición de Alta Impedancia.

Pin # 17 [MS3]: Selección del Modo 3 (Entrada compatible con TTL). Esta entrada (llevada internamente a V_{DD}) en conjunto con MS2 (pin 7) selecciona el modo de operación menor o inferior para el DPLL #2 (tabla 20).

Pin # 18 [Ai] y Pin # 19 [Bi]: Entradas A y B (Compatibles con TTL). Estas son las 2 entradas (llevadas internamente a V_{SS}) que llegan a la compuerta NAND neutral.

Pin # 20 [Yo]: Salida Y (Salida Tótem pole). Salida de la compuerta NAND neutral.

Pin # 21 [CVb]: Reloj Variable Bidireccional (Entrada compatible con TTL y salida Tótem-pole). Cuando actúa como una salida (MS1 en BAJO) durante el modo NORMAL del DPLL #1, este pin suministra el reloj de 1,544 MHz fijado a la entrada del pulso de trama \overline{FOi} (pin 5). Cuando el MS1 está en ALTO, este se comporta como una entrada (llevada internamente a V_{DD}) para un reloj externo de 1,544 MHz o 2,048 MHz y proporcionar la señal interna de 8 KHz hacia el DPLL #2.

Pin # 22 [\overline{CV}]: Reloj Variable (Salida de 3 estados). Esta es la salida inversa de la señal que aparece en el pin 21, y cuyo estado de Alta Impedancia es controlado por EN_{CV} (pin 1).

Pin # 23 [\overline{RST}]: Reset (Entrada Schmitt Trigger). Esta entrada (activa por BAJOS) suscita la condición de Reset para el dispositivo.

Pin # 24 [V_{DD}]: Fuente de alimentación V_{DD} (+5 Voltios).

3.2.2 DESCRIPCION FUNCIONAL

El MT8941 consiste en un doble Lazo Cerrado de Fase digital que proporciona las señales de temporización y sincronismo para los circuitos de interfaces de los enlaces primarios con múltiplex digital de transmisión tipo T1 o CEPT (30+2). El MT8941 tiene 2 ciclos cerrados de fase digital (DPLLs), controles de salida asociados y los circuitos lógicos para la selección de los modos. Los 2 DPLLs, aunque similares en el principio funcional, operan independientemente para proporcionar los relojes de transmisión para T1 (1,544 MHz) o CEPT (2,048 MHz) y las señales de temporización del bus ST.

El principio operacional detrás de los 2 DPLLs consiste en un reloj maestro que se divide para obtener 8 KHz y luego este valor se compara con la entrada de 8 KHz, dependiendo del resultado de la comparación en fase, se corrige la frecuencia del reloj maestro.

El MT8941 realiza la corrección de frecuencia en ambas direcciones mediante el uso de 3 métodos; incremento de velocidad (speed-up), decremento de velocidad (slow-down) y sin corrección (no-correction).

El flanco de bajada de la señal de entrada de 8 KHz se usa para hacer un muestreo del reloj el reloj de 8 KHz generado internamente y la señal de corrección (CS) una vez cada trama (125 μ s). Si la muestra de CS es "1", entonces el DPLL ejecuta una corrección tipo speed-up o slow-down dependiendo del valor muestreado de la señal interna de 8 KHz. Un "1" o un "0" muestreados causa que el circuito de corrección de frecuencia expanda o contraiga respectivamente el reloj maestro por la mitad de un período en un instante de la trama. Si la muestra de CS es "0", entonces el DPLL no ejecuta ninguna corrección en la entrada correspondiente al reloj maestro.

Una vez se realice esto (que se encuentre fijado), el flanco de bajada de la señal de referencia será alineado ya sea con el flanco de bajada o con el flanco de subida de CS. Este se alinea con el flanco de subida de CS cuando la señal de

referencia es más lenta que la señal interna de 8 KHz. Por el otro lado, el flanco de bajada de la señal de referencia será alineado con el flanco de bajada de CS si la señal de referencia es más rápida que la señal interna de 8 KHz.

El tamaño de la ventana del método sin corrección (no-correction) es de 324 ns para el DPLL #1 y de 32 μ s para el DPLL #2. El propósito de la ventana sin corrección es filtrar el Jitter de baja frecuencia además del Wander.

El tamaño de la ventana sin corrección del DPLL #2 es igual al tamaño del buffer para Jitter de entrada de los dispositivos de Mitel para T1/CEPT. Esta equivalencia se necesita para que no ocurra ningún slip o deslizamiento en la trama recibida del dispositivo T1 o CEPT.

El circuito mantendrá la condición fijada tanto tiempo como la frecuencia de entrada se encuentre dentro del rango de cierre (Lock-in) por los DPLLs (referirse a la sección "Desempeño frente al Jitter y Rango Lock-in" para ver más detalles). El rango Lock-in es lo suficientemente ancho como para acoplarse a las especificaciones ITU de rata de línea (1,544 MHz \pm 130 ppm y 2,048 MHz \pm 50 ppm) para el Servicio Digital de Alta Capacidad Terrestre (HCTDS).

El muestreo de fase se hace una vez en una trama (8 KHz) para cada DPLL. Las divisiones se fijan por 8 y 193 para el DPLL #1, el cual se acopla con el flanco de bajada de la entrada de 8 KHz para generar el reloj de T1 (1,544 MHz). Para el DPLL #2, las divisiones se fijan por 8 y 256 para proporcionar el reloj de CEPT/bus ST (2,048 MHz) en sincronización con el flanco de bajada de la señal de entrada (8 KHz). La fuente del reloj maestro se especifica que sea de 12,352 MHz para el DPLL #1 y de 16,384 MHz para el DPLL #2 sobre todo de operación de la temperatura.

Los 2 DPLLs operan independientemente según los bits de selección de modo MS0 y MS3. Los circuitos lógicos de selección de modo son comunes para ambos PLLs y para el control de su operación. Todas las salidas se controlan individualmente con

respecto a su condición de Alta Impedancia por sus correspondientes controles de habilitación. La compuerta neutra NAND se encuentra disponible para utilizarse en aplicaciones que involucren los dispositivos de Mitel MT8976/MT89760 (interfaces T1) y MT8979/MT89790 (interfaces CEPT).

3.3 MODOS DE OPERACION

La operación del MT8941 se clasifica en 2 tipos; los modos mayores o superiores y los modos menores o inferiores. Los modos superiores se definen para ambos DPLLs a través de los pines MS0 y MS1 de selección de modo. Los modos inferiores se escogen por medio de los otros 2 pines MS2 y MS3 de selección de modo y son aplicables sólo para el DPLL #2. No hay modos inferiores para el DPLL #1.

3.3.1 MODOS SUPERIORES DEL DPLL #1

El DPLL #1 se puede operar bajo 3 modos superiores seleccionados por MS0 y MS1 (tabla 18). Cuando MS1 está en BAJO, el DPLL se encuentra en modo NORMAL suministrando la señal de reloj de T1 (1,544 MHz) fijada o introducida con el flanco de bajada del pulso de trama de entrada \overline{FOi} (8 KHz), la entrada de reloj maestro necesariamente debe ser a 12,352 MHz (C12i). En el segundo y tercer modo superior (MS1 está en ALTO), el DPLL #1 se fija para DIVIDIR una señal externa de 1,544 MHz o 2,048 MHz aplicada a CVb (pin 21). La división se puede fijar a través de MS0 para que sea por 193 (en BAJO) o por 256 (en ALTO). En estos modos, la salida de 8 KHz dividida se conecta internamente al DPLL #2 el cual opera en el modo de RELOJ UNICO y además está disponible en C8Kb (pin 10) para cualquier uso externo.

MS0	MS1	Modo de Operación	Función
X	0	NORMAL	Proporciona el reloj para T1 (1,544 MHz) sincronizada con el flanco de bajada del pulso de trama de entrada (FOi).



0	1	DIVISION 1	El DPLL #1 divide la entrada CVb, la división se hace por 193. La salida dividida se conecta al DPLL #2.
1	1	DIVISION 2	El DPLL #1 divide la entrada CVb, la división se hace por 256. La salida dividida se conecta al DPLL #2.

Tabla 18. Modos Superiores del DPLL #1.

3.3.2 MODOS SUPERIORES DEL DPLL #2

Hay 4 modos superiores para el DPLL #2 seleccionables por medio de MS0 y MS1, como se muestra en la tabla 19. En todos estos modos el DPLL #2 suministra las señales de temporización para el Múltiplex Primario CEPT y el bus ST y las señales de entramamiento.

En el modo NORMAL, El DPLL #2 proporciona las señales de temporización compatibles con CEPT/bus ST fijadas con el flanco de bajada de la señal de entrada de 8 KHz (C8Kb). Los relojes de 4,096 MHz (C4o y $\overline{C4b}$), 2,048 MHz (C2o y $\overline{C2o}$) así como el pulso de trama de 8 KHz (\overline{FOb}) derivados a partir del reloj maestro de 16,384 MHz se suministran como salidas. Este modo puede ser similar al modo de EJECUCION LIBRE si el pin C8Kb se lleva a V_{DD} o V_{SS}. En el modo de EJECUCION LIBRE, el DPLL #2 genera las señales autónomas de temporización y entramamiento CEPT/bus ST como en el modo NORMAL sin ninguna entrada externa además del reloj maestro fijo en 16,384 MHz. El DPLL no hace ninguna corrección en este modo y provee las señales de temporización sin ningún Jitter.

La operación del DPLL #2 en los modos de RELOJ UNICO 1 y 2 es funcionalmente idéntica, proveer las señales de temporización compatibles con CEPT/bus ST sincronizadas con la señal interna de 8 KHz que se obtiene del DPLL #1 bajo el modo de DIVISION. Cuando se selecciona el modo de RELOJ UNICO 1 para el DPLL #2, este selecciona automáticamente el modo de DIVISION 1 para el DPLL #1 y así una señal de reloj externa de 1,544 MHz aplicada a CVb (pin 21) es dividida por el DPLL #1 para generar la señal interna de 8 KHz con la cual el DPLL #2 se fija. Análogamente cuando se selecciona el modo de RELOJ UNICO 2, el DPLL #1 se fija en el modo de DIVISION 2, con una señal externa de 2,048 MHz



proporcionando la señal interna de 8 KHz al DPLL #2. En ambos modos, la señal interna se deja disponible en C8Kb (pin 10) para cualquier uso externo y el DPLL #2 se fija con el flanco de bajada de dicha señal interna para proveer las señales de temporización compatibles CEPT/bus ST. Esto último punto se encuentra en contraposición con el modo NORMAL en donde estas señales de temporización se sincronizan con el flanco de subida de la señal de 8 KHz en C8Kb.

MS0	MS1	Modo de Operación	Función
0	0	NORMAL	Proporciona las señales de temporización compatibles con CEPT/bus ST fijadas con el flanco de subida de la señal de entrada de 8 KHz en C8Kb.
1	0	EJECUCION LIBRE	Proporciona las señales de temporización y entramamiento compatibles con CEPT/bus ST sin ninguna entrada externa a excepción del reloj maestro.
0	1	RELOJ UNICO 1	Proporciona las señales de temporización compatibles con CEPT/bus ST fijadas con el flanco de bajada de la señal interna de 8 KHz provista por el DPLL #1.
1	1	RELOJ UNICO 2	Proporciona las señales de temporización compatibles con CEPT/bus ST fijadas con el flanco de bajada de la señal interna de 8 KHz provista por el DPLL #1.

Tabla 19. Modos Superiores del DPLL #2.

3.3.3 MODOS INFERIORES DEL DPLL #2

Los modos menores o inferiores para el DPLL #2 dependen del estado de los bits de selección de modo MS2 y MS3 (pines 7 y 17).

Cuando MS3 se encuentra en ALTO, el DPLL #2 opera bajo cualquiera de los modos superiores que sean seleccionados por MS0 y MS1. Cuando MS3 está en BAJO, este sustituye o anula el modo superior seleccionado y acepta un reloj externo de 4,096 MHz en $\overline{C4b}$ (pin 13) para proporcionar los relojes de 2,048 MHz



($\overline{C2o}$ y $\overline{C2o}$) y el pulso de trama de 8 KHz (\overline{FOb}) compatible con el formato del bus ST.

El bit de selección de modo MS2, controla la dirección de la señal en \overline{FOb} (pin 6). Cuando MS2 se encuentra en BAJO, el pin \overline{FOb} actúa como una entrada para un pulso de trama externo de 8 KHz. Pero esta entrada sólo se hace efectiva si MS3 está también en BAJO y el pin $\overline{C4b}$ se encuentra aceptando un reloj externo de 4,096 MHz el cual mantiene una relación de fase apropiada con respecto a la entrada externa en \overline{FOb} . De lo contrario, la entrada sobre el pin \overline{FOb} no tendrá ningún efecto sobre el funcionamiento del DPLL #2, a menos que este se encuentre bajo el modo de EJECUCION LIBRE seleccionado por MS0 y MS1. Mientras opere bajo dicho modo, la entrada en \overline{FOb} es tratada de la misma manera que la entrada C8Kb en el modo NORMAL, pero la frecuencia de la entrada en \overline{FOb} debe ser de 16 KHz para el DPLL #2 para asegurar que se proporcionen los relojes de 4,096 MHz y 2,048 MHz compatibles con el bus ST.

Cuando MS2 está en ALTO, el pin \overline{FOb} provee el pulso de trama de salida compatible con el formato del bus ST fijado con una señal de entrada interna o externa de la forma como lo deciden los otros pines de selección de modo MS0, MS1 y MS3.

MS2	MS3	Descripción Funcional
1	1	Proporciona los relojes de 4,096 MHz y 2,048 MHz y el pulso de trama de 8 KHz compatibles con CEPT/bus ST dependiendo del modo superior seleccionado.
0	1	Proporciona los relojes de 4,096 MHz y 2,048 MHz compatibles con CEPT/bus ST dependiendo del modo superior seleccionado mientras \overline{FOb} actúa como una entrada. Sin embargo, la entrada en \overline{FOb} no tiene ningún efecto sobre la operación del DPLL #2 a menos que este se encuentre bajo el modo de EJECUCION LIBRE.
0	0	Anula el modo superior seleccionado y acepta apropiadamente la fase referida al reloj externo de 4,096 MHz y al pulso de trama de 8 KHz para proporcionar el reloj compatible con el bus ST de 2,048 MHz.



1	0	Anula el modo superior seleccionado y acepta un reloj externo de 4,096 MHz para proporcionar el reloj para el bus ST y el pulso de trama de 2,048 MHz y 8 KHz respectivamente.
---	---	--

Tabla 20. Modos Inferiores del DPLL #2.

La tabla 21 sintetiza todos los modos posibles para los 2 DPLLs dependiendo de la combinación de los 4 bits de selección de modo. Cabe anotar sin embargo, que cada uno de los modos superiores seleccionados por el DPLL #2 puede tener cualquiera de los modos inferiores, aunque algunas de las combinaciones sean funcionalmente similares como se muestra en la tabla. Debido a que el modo de operación del DPLL #1 puede ser diferente que el del DPLL #2 para una misma selección de los bits de selección de modo, estos bits se deben fijar teniendo en cuenta el modo de operación requerido para los 2 DPLLs de manera independiente.

Modo #	MS0	MS1	MS2	MS3	Modos de Operación	
					DPLL #1	DPLL #2
0	0	0	0	0	MODO NORMAL: Provee el reloj para T1 (1,544 MHz) sincronizado con el flanco de bajada del pulso de trama de entrada (\overline{FOi}).	La fase referida correctamente al reloj externo de 4,096 MHz y al pulso de trama de 8 KHz provee el reloj para el bus ST de 2,048 MHz.
1	0	0	0	1	MODO NORMAL	MODO NORMAL: (Aunque \overline{FOb} es una entrada, esta no tiene ningún efecto sobre el funcionamiento).
2	0	0	1	0	MODO NORMAL	La señal externa de 4,096 MHz provee el reloj del bus ST y el pulso de trama de 2,048 MHz y 8 KHz respectivamente.
3	0	0	1	1	MODO NORMAL	MODO NORMAL: Provee las señales de temporización compatibles con CEPT/bus ST fijadas con la señal de entrada de 8 KHz (C8Kb).
4	0	1	0	0	MODO DIVISION 1	Igual que modo 0.



5	0	1	0	1	MODO DIVISION 1	MODO RELOJ UNICO 1: (Aunque \overline{FOb} es una entrada, esta no tiene ningún efecto sobre el funcionamiento).
6	0	1	1	0	MODO DIVISION 1	Igual que modo 2.
7	0	1	1	1	MODO DIVISION 1: Divide la entrada CVb, la división se hace por 193. La salida dividida se conecta al DPLL #2.	MODO RELOJ UNICO 1: Provee las señales de temporización compatibles con CEPT/bus ST fijadas con la señal interna de 8 KHz proporcionada por el DPLL #1.
8	1	0	0	0	MODO NORMAL	Igual que modo 0.
9	1	0	0	1	MODO NORMAL	\overline{FOb} es una entrada y el DPLL #2 se lleva a esta sólo si es de 16 KHz para proveer las señales de control del bus ST.
10	1	0	1	0	MODO NORMAL	Igual que modo 2.
11	1	0	1	1	MODO NORMAL	MODO DE EJECUCION LIBRE: Provee las señales de temporización para el bus ST sin ninguna entrada externa exceptuando el reloj maestro.
12	1	1	0	0	MODO DIVISION 2	Igual que modo 0.
13	1	1	0	1	MODO DIVISION 2	MODO DE RELOJ UNICO 2: (Aunque \overline{FOb} es una entrada, esta no tiene ningún efecto sobre el funcionamiento).
14	1	1	1	0	MODO DIVISION 2	Igual que modo 2.
15	1	1	1	1	MODO DIVISION 2: Divide la entrada CVb, la división se hace por 256. La salida dividida se conecta al DPLL #2.	MODO RELOJ UNICO 2: Provee las señales de temporización compatibles con CEPT/bus ST fijadas con la señal interna de 8 KHz proporcionada por el DPLL #1.

Tabla 21. Resumen de los Modos de Operación del DPLL #1 y DPLL #2.



La dirección y frecuencia de cada una de las señales bidireccionales se listan en la tabla 22 para cada uno de los modos dados en la tabla 21.

Modo #	$\overline{F0b}$ (KHz)	$\overline{C4b}$ (MHz)	C8Kb (KHz)	CVb (MHz)
0	i:8	i:4,096	I:X	o:1,544
1	i:X	o:4,096	I:8	o:1,544
2	o:8	i:4,096	I:X	o:1,544
3	o:8	o:4,096	I:8	o:1,544
4	i:8	i:4,096	I:X	i:1,544
5	i:X	o:4,096	I:8	i:1,544
6	o:8	i:4,096	I:X	i:1,544
7	o:8	o:4,096	O:8	i:1,544
8	i:8	i:4,096	i:X	o:1,544
9	i:16	o:4,096	i:X	o:1,544
10	o:8	i:4,096	i:X	o:1,544
11	o:8	o:4,096	i:X	o:1,544
12	i:8	i:4,096	i:X	i:2,048
13	i:X	o:4,096	o:8	i:2,048
14	o:8	i:4,096	i:X	i:2,048
15	o:8	o:4,096	o:8	i:2,048

Tabla 22. Funciones de las Señales Bidireccionales en cada uno de los Modos.

Nota: i : Entrada
 o : Salida
 X : Entrada que "No importa". Conectada a V_{DD} o V_{SS} .

3.4 DESEMPEÑO FRENTE A JITTER Y RANGO DE CIERRE "LOCK-IN"

El Jitter de salida de un DPLL se compone del Jitter intrínseco de salida, medido cuando no se presenta ningún Jitter en la entrada y el Jitter de salida resultante a partir del Jitter de la señal de entrada. El valor típico pico a pico para este Jitter es



0,07 UI. La función de transferencia se mide cuando la amplitud pico a pico del Jitter sinusoidal de entrada se asemeja a lo siguiente:

10 Hz - 100 Hz : 13,6 μ s

100 Hz - 10 KHz : 20 dB / décadas roll-off

> 10 KHz : 97,2 ns

La habilidad de un DPLL para dejar en fase a la señal de entrada con la señal de referencia y mantenerse fija depende de su rango de cierre o de "lock-in". El rango de cierre del DPLL se especifica en términos de la variación máxima de la frecuencia de 8 KHz de la señal de referencia. Esta es directamente afectada por la tolerancia de la frecuencia del oscilador.



4 MITEL MT8952B CONTROLADOR DE PROTOCOLO HDLC

4.1 CARACTERISTICAS

- ✎ Formatos de datos como X.25 (CCITT), estándar Nivel 2.
- ✎ Secuencia "Go-Ahead" de generación y detección.
- ✎ Reconocimiento de direcciones por medio de un único byte.
- ✎ Un puerto para microprocesador y registros directamente accesibles para operaciones flexibles y de control.
- ✎ Una FIFO de 19 bytes de dos caminos (enviar y recibir).
- ✎ Señales de establecimiento de condiciones iniciales (handshake) para enlaces de datos multiplexados.
- ✎ Salidas seriales de alta velocidad (2.5 Mbps).
- ✎ Compatibilidad con ST-BUS con selección programable de canal para datos e IT (timeslot) para información de control.
- ✎ Timer independiente de verificación (Watchdog).
- ✎ Facilidad para deshabilitar funciones de protocolo.
- ✎ Bajo consumo de potencia (tecnología ISO-CMOS).

4.1.1 APLICACIONES

- ✎ Controladores de enlaces de datos y generadores de protocolo.
- ✎ Equipos digitales, PBX, redes privadas pequeñas.
- ✎ Controladores de Canal D para acceso básico RDSI.
- ✎ Controladores de Canal C para circuitos de interfaz de redes digitales (MT8972 típico).
- ✎ Comunicación de interprocesador.

4.2 DESCRIPCION

El controlador de protocolo HDLC MT8952B entrama y da formato a paquetes de datos acorde a las recomendaciones de la CCITT para X.25 (Nivel 2).

4.2.1 DESCRIPCION DE PINES

Pin # 1 [$\overline{\text{TxCEN}}$]: Habilitar Reloj de Transmisión. Esta señal activa en bajo habilita la sección de transmisión en el modo de tiempo externo (External Timing Mode). Cuando es baja, CDSTo se habilita y cuando es alta, CDSTo se coloca en alta impedancia. Si el controlador de protocolo se encuentra en modo de tiempo interno (Internal Timing Mode), esta entrada es ignorada.

Pin # 2 [$\overline{\text{RxCEN}}$]: Habilitar Reloj de Recepción. Esta señal activa en bajo habilita la sección de recepción en el modo de tiempo externo. Cuando es baja, CDSTi se habilita y cuando es alta, el reloj para recibir la sección es deshabilitado. Si el controlador de protocolo se encuentra en modo de tiempo interno, esta entrada es ignorada.

Pin # 3 [CDSTo]: Salida de canal C y D en formato ST-BUS. Esta es la salida de datos, en formato serial, del transmisor en la forma NRZ. Este se encuentra en formato ST-BUS si el controlador de protocolo se encuentra en modo de tiempo interno con los datos en los ITs seleccionados (0,2,3 y 4) y la información del canal C en el IT 1. Si el controlador de protocolo se encuentra en modo de tiempo externo, el dato formateado es enviado en el flanco de subida del reloj (Cki) cuando $\overline{\text{TxCEN}}$ es bajo. Si $\overline{\text{TxCEN}}$ es alto, CDSTo se encuentra en alta impedancia.

Pin # 4 [CDSTi]: Entrada de canal C y D en formato ST-BUS. Esta es la entrada de datos, en formato serial, al receptor en la forma NRZ. Este debe estar en formato ST-BUS si el controlador de protocolo se encuentra en modo de tiempo interno con los datos de entrada en los ITs seleccionados (0,2,3 y 4) y la información del canal C en el IT 1. Si el controlador de protocolo se encuentra en modo de tiempo externo, el dato el dato serial de entrada es tomado en el flanco de bajada del reloj (Cki) cuando $\overline{\text{RxCEN}}$ es bajo. Si $\overline{\text{RxCEN}}$ es alto, el reloj para recibir la sección es deshabilitado.



Pin # 5 [WD]: Salida de temporización de verificación (Watch-Dog).

Normalmente una salida alta. Cambia a bajo cuando el timer de verificación termina su tiempo de espera o si el Reset externo (\overline{RST}) es llevado a bajo. El WD se mantiene en cero mientras el \overline{RST} continúe bajo.

Pin # 6 [\overline{IRQ}]: Salida de Petición de Interrupción (Malla Abierta).

Esta salida activa en bajo notifica al microprocesador una solicitud de interrupción. Este se coloca en bajo únicamente cuando los bits en el registro de habilitación de interrupción están programados para admitir la fuente de la interrupción como se define en el registro de bandera de interrupción.

Pin # 7-10 [A0-A3]: Bus de Entrada de Direcciones.

Estos bits direccionan los diferentes registros en el controlador de protocolo. Ellos seleccionan los registros internos en conjunto con \overline{CS} , R/\overline{W} y E Clock.

Pin # 11 [\overline{CS}]: Entrada de selección de Chip.

Esta entrada activa baja habilita para leer o escribir los diferentes registros en el controlador de protocolo.

Pin # 12 [E]: Entrada para habilitar Reloj.

Esta entrada activa el bus de direcciones y la entrada R/\overline{W} , y habilita la transferencia de datos en el bus de datos.

Pin # 13 [R/\overline{W}]: Control de Lectura/Escritura.

Esta entrada controla el sentido de los datos en el bus de datos. Cuando es alto el buffer de E/S actúa como un controlador de salida, si es bajo como de entrada.

Pin # 14 [Vss]: Tierra (0 Volt)

Pin # 15-22 [D0-D7]: Bus Bidireccional de Datos.

Estos puertos datos permiten la transferencia de datos entre el controlador de protocolo HDLC y el microprocesador.

Pin # 23 [REOP]: Recibir final de paquete.

Este es un pulso alto que ocurre en un bit de duración cuando una bandera de cerrado es detectada en los paquetes de llegada, o el paquete de llegada es abortado, o cuando un paquete individual de 24 o más bits es recibido.

Pin # 24 [TEOP]: Transmitir final del paquete.

Este es un pulso alto que ocurre en un bit de duración cuando el paquete es transmitido o abortado.

Pin # 25 [CKi]: Entrada de Reloj (Reloj de Velocidad de transmisión o Reloj 2 x Velocidad de transmisión en formato ST-BUS). Esta es la entrada de reloj utilizada para compartir paquetes formateados de E/S. Este puede estar en la velocidad de transferencia (C2i) o en el doble de esta (C4i) en formato ST-BUS mientras el controlador de protocolo se encuentre en modo de tiempo interno. Si el reloj está en C2i (típico 2.048 Mhz) o en C4i (típico 4.096 Mhz) es decidido por el bit BRCK en el Registro de Control de Tiempo. Si el controlador de protocolo se encuentra en modo de tiempo externo, el reloj es la velocidad de transferencia.

Pin # 26 [FOi]: Entrada de Pulso de Trama. Este es el pulso de entrada de trama en el formato ST-BUS que establece el comienzo de la trama en el modo de tiempo interno. Además es la señal de reloj del temporizador de verificación (Watchdog).

Pin # 27 [RST]: Entrada de Reseteo. Resetea todos los registros, incluyendo los FIFOs de Transmisión y Recepción y el temporizador de verificación.

Pin # 28 [Vdd]: fuente 5 Volt.

Bits de Direcciones				Registros	
A1	A2	A3	A4	Leer	Escribir
0	0	0	0	Estado FIFO	-
0	0	0	1	Recibir Dato	Transmitir
0	0	1	0	Control	Control
0	0	1	1	Recibir Dirección	Recibir Dirección
0	1	0	0	Control de canal C (transmisión)	Control de canal C (transmisión)
0	1	0	1	Control de Tiempo	Control de Tiempo
0	1	1	0	Bandera de Interrupción	Temp. de Verificación
0	1	1	1	Habilitar Interrupción	Habilitar Interrupción
1	0	0	0	Estado General	-
1	0	0	1	Estado de canal C (Recibir)	-

Tabla 23. Direcciones de Registros.

4.3 DIRECCIONES DE REGISTROS

El controlador de protocolo HDLC MT8952B maneja la estructura del protocolo orientado a bit y da formato a los datos en paquetes definidos en el protocolo en las recomendaciones de la CCITT X.25 (nivel 2). Este transmite y recibe los datos empaquetados (información o control) en forma serial, dando la transparencia necesaria a los datos con cero inserción y supresión. Este genera y detecta banderas, diferentes estados de enlace de canal, y secuencia de aborto. Por otro lado este provee un chequeo de redundancia cíclica en los paquetes de datos utilizando el polinomio definido por la CCITT. También, este puede generar y detectar una secuencia "Go Ahead" y reconocer un byte de dirección en la trama recibida. También hay una forma de desactivar las funciones de protocolo y proveer acceso transparente al bus serial por medio del puerto paralelo.

4.4 FORMATO DE TRAMA

Todas las tramas inician con una bandera de apertura y terminan con otra bandera de cerrado. Entre estas dos banderas a trama contiene los datos y la secuencia de chequeo de trama (FCS).

Bandera	Campo de Datos	FCS	Bandera
1 Byte	n Bytes ($n \geq 2$)	2 Bytes	1 Byte

BANDERAS:

La bandera es un patrón único de 8 bits (01111110) definiendo los límites de la frontera. La sección transmisora genera las banderas y las anexa automáticamente a la trama para ser transmitida. El receptor busca en los paquetes que llegan las banderas bit por bit y establece la sincronización de la trama. Las banderas son utilizadas solo para identificar y sincronizar la trama recibida y no son transferidas a la FIFO.



DATOS:

El campo de datos se refiere a las direcciones, control y campos de información definidos en las recomendaciones de la CCITT. Una trama válida debe tener por lo menos 16 bits. El primer byte en el dato debe ser la dirección de la trama. Si el bit RxAD en el registro de control es alto, el paquete que llega es reconocido solo si el byte de dirección corresponde con el byte que se encuentra en el registro de direcciones recibidas o el byte de direcciones es el "All-Call-Address" (todos unos). El LSB del registro de direcciones recibidas se coloca en bajo permanentemente y la comparación se hace únicamente con los siete bits altos del registro. La detección de dirección puede limitarse a los 6 bits superiores colocando en alto los dos bits RA6/7 y RxAD en el control de registro.

FCS:

Los 16 bits que continúan después del campo de datos corresponden a la secuencia de chequeo de trama. El generador polinómico es:

$$G(x)=X^{16}+x^{12}+X^5+1$$

El transmisor calcula el FCS en todos los bits del campo de datos y los transmite después de este, pero antes de la bandera de finalización de trama. El receptor realiza un cálculo similar con todos los bits recibidos en el campo de datos y el FCS y el resultado es comparado con F0B8_{HEX}. Si estos concuerdan los datos recibidos se toman como correctos. Los estados de error de los paquetes recibidos se indican en los bits D7 y D6 del registro de estado FIFO.

INSERCIÓN Y BORRADO DE CERO:

Cuando el controlador de protocolo envía datos provenientes de la FIFO o los 16 bits FCS, este chequea la transmisión bit por bit e inserta un cero después de cada cinco unos continuos (incluyendo los últimos 5 bits del FCS) para asegurar que la secuencia de bandera no sea simulada. Del mismo modo el receptor examina la trama recibida y elimina cualquier cero que se encuentre después de cinco unos consecutivos.



ABORTAR:

El transmisor aborta una trama enviando ocho unos consecutivos. El bit FA en el registro de control junto con una operación de escritura al registro de transmisión de datos habilita la transmisión de la secuencia de aborto en remplazo del byte escrito en el registro. En el receptor el bit ABRT en el registro de estado general es colocado cada vez que una secuencia de aborto (7 o más 1's continuos) es recibida. La secuencia de aborto hace que el receptor abandone lo que está haciendo e inicie a buscar una bandera de inicio. El bit FA en el registro de estado de interrupción es colocado cuando una secuencia de aborto es recibida detrás de una bandera de inicio y al menos cuatro bytes de datos (mínimo requerido para una trama válida).

RELLENO DEL TIEMPO ENTRE TRAMAS:

Cuando el controlador de protocolo HDLC no se encuentra enviando paquetes, el transmisor puede estar en cualquiera de los tres estados a continuación dependiendo del estado de los bits IFTF0 y IFTF1 en el registro de control. Estos bits también se utilizan para deshabilitar las funciones del protocolo para proveer acceso transparente desde el puerto paralelo al bus serial del puerto del microprocesador.

ESTADO DESOCUPADO:

El estado desocupado se define por medio de 15 o más unos continuos. Cuando el controlador de protocolo HDLC observa esta condición en el canal receptor el bit de desocupado (Idle) en el registro de estado general, se coloca alto. En el lado del transmisor el controlador de protocolo termina este estado cuando algún dato es colocado en el registro FIFO de transmisión.

ESTADO DE LLEENADO DE TIEMPO ENTRE TRAMAS:

El controlador de protocolo transmite banderas continuas (7E_{HEX}) en este estado y termina cuando algún dato es colocado en el registro FIFO de transmisión.

ESTADO PROSEGUIR "GO AHEAD":

Este estado se define por una secuencia de 9 bits 011111110 (7F seguido de un cero) y por consiguientes continuos 7F's aparecen como "Go-ahead". Una vez el transmisor se encuentre en este estado, continuará aunque se coloque un dato en la FIFO. Este estado solo se puede cambiar colocando los bits IFTF en cualquier otro diferente a "Go Ahead". Cuando se recibe esta secuencia se indica en el bit GA del registro general de estado y el controlador de protocolo puede generar una interrupción si está habilitado para hacerlo (con el bit GA en el registro de habilitación de interrupción).

ESTADO DE TRANSFERENCIA DE DATOS EN FORMA TRANSPARENTE:

El controlador de protocolo, en este estado, deshabilita las funciones de protocolos descritas anteriormente y provee acceso bidireccional al flujo de bits seriales por medio del puerto paralelo. Al igual que los otros estados, la transferencia de datos en forma transparente puede ser seleccionada en las dos formas de tiempo.

TRAMAS INVALIDAS:

Cualquier trama más pequeña de 32 bits entre la bandera de inicio y la de cerrado (correspondiente a 16 bits de datos y 16 de FCS) se considera inválida. El controlador de protocolo ignora la trama solo si esta tiene una longitud de 24 bits entre banderas. Para tramas entre 24 y 32 bits se transfiere el campo de datos al FIFO y etiqueta esta como "tiene un FCS errado" en el registro de estado FIFO.

4.5 DESCRIPCION FUNCIONAL

El controlador de protocolo HDLC tiene dos puertos. El puerto serial transmite y recibe paquetes de datos formateados y el puerto paralelo provee una interfaz a microprocesador para acceso a diferentes registros en el controlador de protocolo. El puerto serial puede ser configurado para funcionar en dos modos dependiendo del bit IC en el registro de control de tiempo. Este puede transmitir/recibir



paquetes en los ITs seleccionados en formato ST-BUS o puede, utilizando las señales de habilitado (TxCEN y RxCEN), transmitir/recibir paquetes a una transferencia de datos igual al reloj de entrada Cki.

El puerto para microprocesador permite transferencia paralela de datos entre el controlador de protocolo y un sistema de bus 6800/6809. Esta interface consiste en un bus de datos (D0-D7), un bus de direcciones (A0-A3), E Clock, Selección de chip (CS) y control de E/S. El microprocesador puede leer y escribir en varios registros del controlador de protocolos. La dirección de estos registros fueron dadas en la tabla 23. La señal de salida IRQ es activa baja y de malla abierta, e indica una solicitud de interrupción a la CPU. El control y monitoreo de las diferentes interrupciones que son originadas por el controlador de protocolo se implementa por medio del registro de banderas de interrupciones (IFR) y el registro de habilitación de interrupciones (IER). Eventos específicos que colocan las banderas altas en el registro de banderas se han descrito. Para imponer una interrupción el bit en IER que coincide con el registro de banderas de interrupción debe colocarse en alto. El bit IRQ en el registro de estado general es el complemento del pin IRQ. Si una interrupción ocurre el bit se colocará en alto, de otra forma se mantiene en bajo.

4.5.1 SALIDAS TEOP Y REOP

El controlador de protocolo provee dos señales separadas TEOP y REOP que indican el final del paquete transmitido y recibido, respectivamente. TEOP es un pulso alto de un bit de duración que ocurre durante el último bit de la bandera de finalización de trama o la secuencia de aborto en el paquete transmitido. REOP es además un pulso alto de un bit de duración que ocurre durante el último bit de la bandera de finalización o la secuencia de aborto o un paquete inválido en el paquete recibido. Sin embargo REOP no es generado por un paquete inválido de menos de 24 bits. Estas señales de final de paquete son de gran uso en diferentes enlaces de datos multiplexados.



4.5.2 MODOS DE TIEMPO

El controlador de protocolos puede correr en dos modos de tiempo. Estos modos de tiempo solo se refieren a la configuración del puerto serial y no se relacionan con el puerto de microprocesador.

4.5.3 MODO DE TIEMPO INTERNO

Este modo es hecho para generar una interfaz sencilla con diferentes productos utilizando la arquitectura ST-BUS, particularmente el MT8972). Los datos/paquetes son llevados a entrada/salida serial en formato ST-BUS usando las señales de tiempo F0i y C2i/C4i. Además de esto el controlador de protocolo reserva un canal (canal 1) en el ST-BUS para llevar información de control (canal C) y este IT no puede ser utilizado para empaquetar datos. Mientras el controlador de protocolo se encuentre en modo de tiempo interno, la entrada de reloj Cki puede ser o la velocidad de transferencia o dos veces esta dependiendo del bit BRCK del registro de control de tiempo.

BIT BRCK	ENTRADA CKi	VELOCIDAD DE SALIDA
0	4.096MHz /C4i	2.048 Mbps
1	2.048MHZ/C2i	2.048Mbps

El controlador de protocolo utiliza las señales de tiempo F0i y C2i/C4i en ST-BUS y habilita la transmisión y recepción en los apropiados ITs por medio de los bits TC0-TC3 en el registro de control de tiempo.

Las entradas TxCEN y RxCEN son ignoradas en este modo.

4.5.4 INTERFAZ DE CANAL C

Este es un canal de control separado (canal C) relevante solo en modo de tiempo interno. Los datos que se encuentran en el registro de control de canal C son enviados en el IT 1 del ST-BUS enviado (CDSTo) y el bit C1EN en el registro de control de tiempo habilita la transmisión. La transmisión del canal C es independiente del paquete/dato transmitido. Los datos recibidos en el canal 1 del



ST-BUS recibido (CDSTi) se coloca en el registro de estado de canal C independiente y se actualiza continuamente.

Los dos registros de canal C son accesibles por medio del puerto paralelo.

4.5.5 MODO DE TIEMPO EXTERNO

En el modo de tiempo externo la transmisión y recepción son habilitadas independientemente por las entradas de control TxCEN y RxCEN y los paquetes formateados son enviados serialmente a una rata igual a la frecuencia del reloj Cki. Las muestras son transmitidas en el flanco de subida y las muestras recibidas en el flanco de bajada del reloj. Los controles TxCEN y RxCEN son independientes y asíncronos y tienen efecto solo después que el bit actual en el paquete es transmitido/recibido. Aunque el controlador de protocolo provee los datos empaquetados en un número limitado de canales en el ST-BUS, este puede empaquetar dato en cualquiera o en todos los canales del ST-BUS.

4.5.6 TRANSFERENCIA DE DATOS EN FORMA TRANSPARENTE

Colocando los bits IFTF en el registro de control apropiadamente, las funciones de protocolo pueden ser deshabilitadas. Esto provee un acceso bidireccional al puerto serial por medio de la interface de microprocesador, con una FIFO de 19 bytes en cada dirección. La transferencia de datos en forma transparente facilita funciones en formato de bytes y se encuentra disponible en ambos modos de tiempo excepto cuando los bits de control de tiempo están configurados para un bit/trama en modo de tiempo interno.

La transmisión de los datos es realizada serialmente en el CDSTo y la operación comienza por bytes, solo los bits menos significativos de cada byte cargado son transmitidos, si los bits del control de tiempo están configurados para seleccionar 2, 6, o 7 bits/trama. Cuando la FIFO de transmisión se encuentra vacía el último byte o la porción de últimos bytes escritos a la FIFO se transmiten repetidamente. De forma similar, los datos seriales en el CDSTi son enviados y convertidos al formato byte. En caso que el IT seleccionado sea 2, 6 o 7 bits/trama la recepción envuelve solo los bits mas significativos de cada byte.



Debe tenerse claro que ninguno de los estados de protocolo relacionados o los bits de interrupción se aplican en el modo de transferencia de datos transparente. Sin embargo, el estado de FIFO y los bits de interrupciones tienen el mismo propósito y significado que cuando desempeñan funciones de protocolo.

4.5.7 TEMPORIZADOR DE VERIFICACION (WATCHDOG TIMER)

Este es un contador constante de 9 estados con F0i como la entrada y WD como la salida del último estado. Este contador puede ser reseteado colocando una entrada externa en RST o escribiendo XXX01010 en el registro de verificación de tiempo. La salida WD es normalmente alta y si el registro de verificación de tiempo no ha sido escrito entre 2^{10} ciclos de F0i después de ser reseteado, la salida WD se colocará en bajo por un periodo de 2^{10} ciclos de F0i. Aunque la entrada F0i no se necesita para dar formato a los datos en modo de tiempo externo, se necesita para la operación de verificación de tiempo.

4.5.8 ORDEN DE BITS DE TRANSMISION/RECEPCION

El bit menos significativo (LSB) correspondiente a D0 en el bus de datos se transmite de primero en la salida serial (CDSTo). Del lado del receptor, el primer bit recibido (en la entrada serial CDSTi) se considera el LSB, por lo que se coloca en D0 del bus de datos.

4.6 REGISTROS

Hay diferentes registros en el controlador de protocolos HDLC, a los cuales se puede tener acceso por medio del bus de datos. La dirección de estos registros se dio anteriormente y sus detalles funcionales a continuación.

4.6.1 REGISTRO DE ESTADO FIFO (LECTURA): FIFO STATUS REGISTER

Este registro indica el estado de las FIFOs de transmisión y recepción y el byte recibido como se muestra a continuación:



D7	D6	D5	D4	D3	D2	D1	D0
Estado de byte Rx		Estado de FIFO Rx		Estado de FIFO Tx		BAJO	BAJO

Estado de Byte Rx: Estos dos bits (D7 y D6) indican el estado del byte recibido que se encuentra listo para ser leído por la FIFO Rx. El estado es codificado de la siguiente manera:

Estado de Byte Rx		ESTADO
D7	D6	
0	0	Byte de paquete
0	1	Primer Byte
1	0	Último byte (FCS Correcto)
1	1	Último byte (FCS Errado)

Estado de FIFO Rx: Estos bits indican el estado de la FIFO de recepción como se indica a continuación. Los bits de estado de FIFO no son actualizados inmediatamente después de un acceso a la FIFO Rx (una lectura del puerto de microprocesador o escritura del puerto serial), para eliminar la existencia de condiciones de error irrecuperables.

Estado de FIFO Rx		ESTADO
D5	D4	
0	0	FIFO de recepción vacía
0	1	Menor o igual a 14 bytes
1	0	FIFO de recepción llena
1	1	Mayor o igual a 15 bytes

Cuando se encuentra en modo de tiempo externo, el MT8952B debe recibir dos pulsos de bajada en la señal de reloj de Cki antes que los bits de estado de FIFO

Rx se actualicen. Con modo de tiempo interno (2.048 MHz) el MT8952B debe recibir dos pulsos de bajada del C2i antes que los bits de estado FIFO Rx se actualicen. Con modo de tiempo interno (4.096 MHz) el MT8952B debe recibir cuatro pulsos de bajada del C4i antes que los bits de estado FIFO Rx se actualicen (vea la sección de Operación de recibir paquetes normales).

Estado de FIFO Tx: Estos bits indican el estado de la FIFO de transmisión como se indica a continuación.

Estado de FIFO Tx		ESTADO
D3	D2	
0	0	FIFO de transmisión llena
0	1	Mayor o igual a 5 bytes
1	0	FIFO de transmisión vacía
1	1	Menor o igual a 4 bytes

La actualización de este registro se realiza de la misma manera que la FIFO Rx, excepto que en el modo de tiempo externo y en interno de 2.048 Mbps los bits de estado de FIFO Tx son actualizados después de dos pulsos de bajada de Cki o C2i.

4.6.2 REGISTRO DE DATO RECIBIDO (LECTURA): RECEIVE DATA REGISTER

Este registro corresponde al primer byte de la FIFO recibida en el bus de datos. El primer bit del dato recibido en la entrada serial (CDSTi) se considera como el LSB y se encuentra disponible en D0 del bus de datos.

D7	D6	D5	D4	D3	D2	D1	D0
RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0



4.6.3 REGISTRO DE DATO A TRANSMITIR (ESCRITURA): TRANSMIT DATA REGISTER

Escribiendo a este registro se coloca el dato presente en el bus de datos en la FIFO de transmisión. El LSB (D0) se transmite primero.

D7	D6	D5	D4	D3	D2	D1	D0
TD7	TD6	TD5	TD4	TD3	TD2	TD1	TD0

4.6.4 REGISTRO DE CONTROL (LECTURA/ESCRITURA): CONTROL REGISTER

El registro de control es utilizado para ejercer control de propósito general al controlador de protocolo HDLC. Los bits de este registro y sus funciones se describen a continuación.

D7	D6	D5	D4	D3	D2	D1	D0
TxEN	RxEN	RxAD	RA6/7	IFTF1	IFTF0	FA	EOP

TxEN – Transmit Enable: Cuando se coloca en alto este bit habilita el transmisor y cuando es bajo lo deshabilita colocando la salida serial (CDSTo) en alta impedancia. Si el transmisor se deshabilita mientras se está transmitiendo un paquete, el controlador de protocolos espera a que se termine el paquete y la bandera de cerrado, o de aborto, se transmita, antes de colocar la salida (CDSTo) en alta impedancia. De esta manera el bit TxEN controla la transmisión paquete por paquete, mientras que la entrada TxEN (pin 1) la controla bit por bit. Sin embargo si el controlador de protocolo se encuentra en modo de transferencia de datos en forma transparente la transmisión será interrumpida en dos periodos de bit (máximo) y la salida colocada en alta impedancia.

RxEN – Receive Enable: Cuando se coloca en alto este bit habilita el receptor y cuando es bajo lo deshabilita. Si el transmisor se deshabilita mientras se está recibiendo un paquete, el controlador de protocolos espera a que se termine de recibir el paquete y la bandera de cerrado, o de aborto. De esta manera el bit

RxEN controla la transmisión paquete por paquete, mientras que la entrada RxCEN (pin 2) la controla bit por bit. Sin embargo si el controlador de protocolo se encuentra en modo de transferencia de datos en forma transparente el receptor será deshabilitado inmediatamente.

RxAD – Receive Address Detect: Este bit, cuando se coloca en alto, habilita la detección de direcciones de los paquetes recibidos. Esto hace que el receptor reconozca solo los paquetes que tengan una dirección igual a la programada en el registro de direcciones recibidas o si el byte de dirección es el Todas las llamadas (All-Call), todo en unos. La comparación de direcciones se realiza solo en siete bits (compatible con el primer byte de direcciones definido en LAPD-CCITT) y una "All-Call" se define como todos unos en los siete bits superiores del campo recibido de direcciones. Si RxAD es bajo, la detección de direcciones se deshabilita y todo paquete válido se reconoce.

RA6/7 – Receive Address Six/Seven bits: Este bit, cuando está en alto, limita la detección de direcciones solo a los seis bits más altos del byte de direcciones recibido y cuando es bajo, permite que la comparación se haga con siete bits. RA6/7 es ignorado si la detección de direcciones es deshabilitada (RxAD=0).

IFTF0 e IFTF1 – Relleno de tiempo entre tramas: Estableciendo estos bits se hace que el transmisor se encuentre en uno de los estados activo o de descanso. También permite que el controlador se encuentre en estado de transferencia de datos transparente.

Bits IFTF		Resultado
IFTF1	IFTF0	
0	0	Estado de descanso
0	1	Estado de relleno entre tramas (Banderas Continuas)



1	0	Trasferencia de datos transparente
1	1	Estado "Go-Ahead" (Continua) Continuos 7F _{HEX}

FA – Frame Abort: Cuando se coloca en alto este bit etiqueta el siguiente byte escrito a la FIFO de transmisión y causa una secuencia de aborto (ocho unos). La secuencia de aborto se transmite en remplazo de del byte que fue etiquetado. El bit FA se coloca en cero cuando se escribe el dato a la FIFO de transmisión. Como resultado una lectura de este bit no reflejará el último dato escrito a este.

EOP – End Of Packett: Colocando un uno en este bit, hace que el siguiente byte que ese escriba a la FIFO de transmisión sea el último byte de datos del paquete. Este bit es colocado en cero mientras se escribe el dato en la FIFO de transmisión. Como resultado, leer este bit no indicará el último dato escrito a este.

4.6.5 REGISTRO DE DIRECCION RECIBIDA (LECTURA/ESCRITURA): RECEIVE ADDRESS REGISTER

D7	D6	D5	D4	D3	D2	D1	D0
RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0

El dato en este registro describe la dirección única para el controlador de protocolo HDLC. Si reconocimiento de dirección se encuentra habilitado utilizando RxAD y los bits RA6/7 en el registro de control, un paquete que llega solo será reconocido si su byte de dirección (siete o seis bits más significativos) es igual a los bits en este registro o si la dirección es "all-call". El LSB del registro de dirección recibida se coloca en bajo permanentemente y la comparación de dirección se hace sólo con los otros bits del registro.

4.6.6 REGISTRO DE CONTROL DE CANAL C (LECTURA/ESCRITURA): C-CHANNEL CONTROL REGISTER

D7	D6	D5	D4	D3	D2	D1	D0
CT7	CT6	CT5	CT4	CT3	CT2	CT1	CT0

Los datos que se escriben en este registro se transmiten en el canal 1 del ST-BUS saliente (CDSTo), cuando se habilita por medio del bit C1EN en el registro de control de tiempo. Esto solo se puede utilizar cuando el controlador de protocolo HDLC se encuentra en modo de tiempo interno.

4.6.7 REGISTRO DE CONTROL DE TIEMPO (LECTURA/ESCRITURA): TIMING CONTROL REGISTER

Este controla el modo de tiempo y otras operaciones relacionadas y provee un programa de reseteo para el controlador de protocolo. Los diferentes bits se describen a continuación:

D7	D6	D5	D4	D3	D2	D1	D0
RST	IC	C1EN	BRCK	TC3	TC2	TC1	TC0

RST – Reset: Cuando este bit se coloca en alto, todos los registros en el controlador de protocolo HDLC se resetean y los datos en la FIFO se pierden. Esto es equivalente al reset externo, con la diferencia que el bit RST no se afecta a si mismo o al Registro de verificación de tiempo (Watchdog) y la salida WD. El bit RST debe ser clareado (escribiendo un 0 lógico) dos veces antes que el MT8952B deje de estar en el estado de reset.

IC – Internal Control: Cuando este bit se clarea con cero, el controlador de protocolo se encuentra en modo de tiempo externo. La transmisión y recepción se habilitan con las entradas TxCEN y RxCEN respectivamente, y F0i se utiliza solo

para la verificación de tiempo. Cuando este bit es un uno el controlador de protocolo se encuentra en modo de tiempo interno. La transmisión y recepción se habilitan por medio de los dispositivos internos de tiempo provenientes de las entradas CKi y F0i. La entrada F0i define el comienzo de la trama y la transmisión y recepción se habilitan en los ITs como se determina en los bits TC0-TC3. Las entradas TxCEN y RxCEN se ignoran en este modo.

C1EN – Channel Enable: Cuando es alto, este habilita la transmisión de la información del canal C en el canal 1 (IT 1) del ST-BUS de salida (CDSTo) y cuando es bajo, coloca CDSTo en alta impedancia durante ese periodo. Sin embargo la información del canal C es recibida independientemente y el registro de estado de canal C se actualiza continuamente. Cabe anotar que C1EN tiene relevancia solo durante el modo de tiempo interno.

BRCK – Bit Rate Clock: Este bit se utiliza en el modo de tiempo interno con el fin de seleccionar la velocidad del reloj de lo contrario es ignorado. Este debe ser alto si la entrada del reloj (Cki) es C2I y debe ser bajo para velocidades 2X (C4i). En ambos casos el reloj debe estar relacionado en fase correctamente con F0i.

TC0-TC3 – Timing Control Bits: En modo de tiempo interno la transmisión y la recepción se habilitan durante los tiempos deinidos por los bits de control de tiempo TC0-TC3. Esto solo se aplica a los canales del ST-BUS 0, 2, 3, 4 que llevan los paquetes o los datos transparentes (el canal 1 pertenece a la información de canal C). La salida CDSTo se coloca en alta impedancia durante los intervalos de tiempo restantes que no se encuentran habilitados por estos bits.

Bits de control de tiempo				# Canal ST-BUS	Bits/Trama
TC3	TC2	TC1	TC0		
X	0	0	0	0	1
X	0	0	1	0	2



0	0	1	0	0	6
1	0	1	0	0	7
X	0	1	1	2	8
X	1	0	0	3	8
X	1	0	1	4	8
X	1	1	0	2 y 3	16
X	1	1	1	2, 3 y 4	24

4.6.8 REGISTRO DE BANDERAS DE INTERRUPCIONES (LECTURA): INTERRUPT FLAG REGISTER

Leyendo este registro se coloca el estado de las interrupciones en el bus de datos. Este registro es clareado cuando se lee, y un bit particular no será colocado mientras su condición particular ocurra de nuevo. Los detalles de la funcionalidad de cada uno de los bits se indican a continuación:

D7	D6	D5	D4	D3	D2	D1	D0
GA	EOPD	TxDONE	FA	Tx 4/19 FULL	Tx URUN	Rx 15/19 FULL	Rx OFLW

GA – Go Ahead: Este bit cuando es alto, indica la detección de una secuencia “go ahead” en el flujo de datos entrante.

EOPD – End of Packet Detect: Un alto en este bit confirma la recepción de una bandera “final de paquete”, una secuencia de aborto o un paquete inválido de 24 o más bits en el flujo de datos entrante (CDSTi).

Tx DONE – Transmitter Done: Este bit, cuando es alto, indica que la transmisión del paquete se ha completado y la FIFO de transmisión está vacía. El flanco de

bajada de la salida TEOP hace que este bit de estado de interrupción se coloque alto si la FIFO está vacía.

FA – Frame Abort: Este bit se coloca en alto para indicar que un aborto de trama ha sido detectado en el flujo de datos entrante.

Tx 4/19 FULL – Transmit FIFO 4/19 full: Este bit, si es alto, indica que la FIFO de transmisión tiene solo 4 bytes restantes en ella y que otros 15 bytes deben ser cargados. Este bit tiene importancia solo cuando la FIFO de transmisión esta comenzando a agotarse y no cuando esta se está cargando.

Tx URUN – Transmit FIFO underrun: Este bit, cuando es alto, identifica que la FIFO de transmisión se encuentra vacía sin que el controlador de protocolo comience a dar la indicación de final de paquete. Esto indica que la FIFO de transmisión se ha caído y el controlador de protocolo transmitirá una secuencia de aborto automáticamente. Tx DONE se colocará alto 8 bits después de que Tx URUN se coloque en alto.

Rx15/19 FULL – Receive FIFO 15/19: Este bit cuando es alto, confirma que la FIFO de recepción tiene 15 bytes en ella y que esta puede recibir 4 más.

Rx OFLW – Recive FIFO overflow: Este bit cuando se coloca alto, indica que la FIFO de recepción se encuentra llena y una “escritura” ha ocurrido indicando un desbordamiento. El byte que causa esto y todos los subsecuentes se pierden. El receptor comienza a busca una nueva bandera de inicio.

4.6.9 REGISTRO DE VERIFICACION DE TEMPORIZACION (ESCRITURA): WATCHDOG TIMER REGISTER

Este opera en conjunción con el temporizador de verificación y la salida WD. Escribiendo el código de XXX0 1010 en el registro clarea el temporizador WD. Si el registro no es re-escrito entre 2^{10} ciclos de F0i después de clarear el temporizador



la salida WD se coloca baja. Este registro tiene el único propósito de clarear el temporizador y por lo tanto solo tiene relevancia si se escribe con el dato anteriormente indicado.

4.6.10 REGISTRO DE HABILITACION DE INTERRUPCION (LECTURA/ESCRITURA): INTERRUPT ENABLE REGISTER

Este registro habilita/deshabilita las interrupciones como se especificó en el registro de banderas de interrupciones (IFR). Colocando en alto los bits apropiados en este registro (IER) habilita la interrupción asociada. Sin embargo, los bits enmascarados en el IFR continúan siendo válidos pero ellos no hacen que la salida IRQ se coloque baja. La descripción de estos bits es idéntica a la del IFR.

4.6.11 REGISTRO DE ESTADO GENERAL (LECTURA): GENERAL STATUS REGISTER

Este registro contiene la información general del estado del controlador de protocolo.

D7	D6	D5	D4	D3	D2	D1	D0
Rx OFLW	Tx URUN	GA	ABRT	IRQ	IDLE	LOW	HIGH

Rx OFLW – Recive FIFO overflow: Este bit cuando es alto, indica que la FIFO de recepción se ha desbordado. El byte que causa esto y todos los subsecuentes se pierden. Cabe anotar que este bit es el mismo que el Rx OFLW en el IFR y solo puede ser clareado leyendo el IFR.

Tx URUN – Transmit FIFO Underrun: Este bit cuando es alto, indica que la FIFO de transmisión se ha caído. Bajo esta condición el paquete que se comenzó a transmitir se aborta. Este bit es el mismo que el Tx URUN en el IFR y solo puede ser clareado cuando se lee el IFR.

GA – Go Ahead: Este bit cuando es alto, indica la detección de una secuencia “go ahead” en el flujo de datos entrante y se clarea cuando el IFR se lee. Este bit es el mismo que el A en el IFR.

ABRT – Abort: La recepción de siete unos continuos en los datos que llegan, coloca este bit en alto y leyendo el registro de estado general se clarea.

IRQ – Interrupt Request: Este bit hace referencia al estado de la salida de petición de interrupción del controlador de protocolo. Si es alto, este indica que la salida $\overline{\text{IRQ}}$ (pin 6) es baja y viceversa.

IDLE – Idle Channel: Este bit, si es alto, identifica que el receptor está detectando un canal ocioso en su entrada (mínimo 15 unos).

4.6.12 REGISTRO DE ESTADO DE CANAL C (LECTURA): C-CHANNEL STATUS REGISTER

D7	D6	D5	D4	D3	D2	D1	D0
CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0

El registro de canal C continuamente almacena el dato recibido durante el IT 1 del dato recibido del ST-BUS (CDSTi) durante el modo de tiempo interno del controlador de protocolo.

4.7 RESET

Cuando el MT8952B se clarea por un flanco de bajada en el pin RST o colocando el bit RST de l Registro de control de tiempo, el dispositivo se coloca en el siguiente estado:



- ✎ Todos los bits en el registro de control de tiempo se clarean (0 lógico) por medio de un reseteo externo. Un reseteo interno clarea todos los bits excepto el bit RST.
- ✎ Todos los bits en el registro de habilitar interrupciones se clarean.
- ✎ Todos los bits en el registro de control se clarean.
- ✎ Todos los bits en el registro de interrupciones se clarean.
- ✎ Todos los bits en el registro de estado general se clarean excepto por los dos menos significativos.
- ✎ Los registro de recepción y transmisión se clarean y el registro de estado FIFO como consecuencia refleja su estado.
- ✎ La salida WD se coloca baja por un reseteo externo pero no se afecta por un reseteo interno.
- ✎ El transmisor y el receptor se deshabilitan.

4.8 OPERACION DE TRANSMISION

Después de un reseteo, en el cual el circuito externo debe proveer el regreso a estado normal, la transmisión se deshabilita. Antes de habilitarla, el temporizador debe ser establecido. En reset el puerto serial se coloca en modo de tiempo externo. En caso de que esto no se desee el registro de control de tiempo debe ser escrito con los datos apropiados. Cuando ya se encuentre en el modo de tiempo correcto, el bit habilitar transmisión (TxEN) en el registro de control puede ser establecido. Ahora que el transmisor se encuentra habilitado este se encontrará en estado de canal ocioso. Si cualquier otro estado o la transferencia de datos transparente es deseada los bits IFTF en el registro de control deben ser configurados adecuadamente.

Paquetes Normales: Para iniciar un paquete, el dato se escribe en la FIFO de transmisión iniciando con el campo de dirección. Todos los datos deben ser escritos a la FIFO en forma de bytes. Cuando se detectan datos en la FIFO de



transmisión, el controlador de protocolo procederá en una de las siguientes formas:

- ✦ Si el transmisor se encuentra en estado ocioso, el presente byte de ocho unos que ha comenzado a ser transmitido se completa y luego continua con la bandera de inicio y subsecuentemente los datos que se encuentren en la FIFO de transmisión se transmiten.
- ✦ Si el transmisor se encuentra en el estado de llenado entre tramas, la bandera que se va a transmitir se termina y luego otra bandera de inicio es transmitida antes de transmitir los datos de la FIFO de transmisión.
- ✦ Si el transmisor se encuentra en estado de "go ahead", este continua en ese estado incluso después que datos hallan sido colocados en la FIFO. Solo cuando los bits IFTF se configuren otro estado se comenzarán a transmitir los datos.
- ✦ Si el transmisor se encuentra en estado transferencia transparente, las funciones de protocolo se deshabilitan y los datos en la FIFO se transmiten en CDSTo.

Para indicar que el byte particular es el último del paquete, el bit EOP en el registro de control debe ser fijado antes que el último byte se escriba en la FIFO de transmisión. El EOP se clarea automáticamente cuando se escribe un dato en la FIFO. Después que la transmisión del último byte del paquete, la secuencia de chequeo de trama (16 bits) se envía seguida de la bandera de cerrado. Si hay más datos en la FIFO de transmisión otra bandera es transmitida seguida de los datos nuevos. En caso que no halla ningún dato en la FIFO el transmisor asume el estado de canal de enlace seleccionado. Durante la transmisión de los datos o de la secuencia de chequeo de trama, el controlador de protocolo chequea la información transmitida bit por bit e inserta un cero después de cada secuencia de 5 unos consecutivos.

FIFO de transmisión llena: Cuando la FIFO de transmisión se encuentra llena, este estado es indicado por los bits de estado de FIFO en el registro de estado de



FIFO. Estos bits no cambian de estado en dos periodos de bit después de un acceso a la FIFO, ya sea por parte del puerto serial o el puerto del microprocesador. El periodo de bit es determinado por la frecuencia de la señal Cki. Si el periodo de bus del microprocesador es mucho más pequeño que el periodo de bit, los bits de estado de FIFO puede que no se actualicen a tiempo para la próxima lectura del microprocesador.

Para asegurarse que el microprocesador no sobrepase la FIFO de transmisión, si se ha escrito más 4 bytes a la TxFIFO, el microprocesador debe esperar que la interrupción 4/19 FULL suceda, antes de escribir a esta de nuevo. Cuando se recibe la interrupción 4/19 FULL un máximo de 15 bytes deben ser escritos, luego la transferencia de información debe parar y se debe esperar por otra 4/19 FULL. La FIFO debe ser dejada vacía si no se va a enviar más información en ese momento. Este procedimiento debe mantener independencia del software con respecto a la frecuencia del Cki.

Transmitir caída: Esta sucede cuando el último byte recibido en la FIFO de transmisión no fue indicado como el último (con el EOP) y no hay más bytes en la FIFO. En esta situación el controlador de protocolo transmite la secuencia de aborto (8 unos) y se cambia al estado de canal de enlace seleccionado.

Abortar transmisión: Si se ha decidido abortar el paquete actual, el siguiente byte escrito a la FIFO debe ser marcado para hacer que esto pase. El bit FA del registro de control debe ser colocado alto, antes de escribir el siguiente byte en la FIFO. Este bit se clarea automáticamente una vez que se escribe un byte en la FIFO. Cuando el byte marcado llega al comienzo de la FIFO se envía una secuencia de aborto de trama en lugar del byte y el transmisor retorna a normal.

Transmisión "Go ahead": Configurando los bits IFTF (Registro de control) de forma apropiada el transmisor puede enviar secuencias de "Go ahead" (Adelante) cuando el controlador de protocolo no está enviando paquetes. Desde que



aparece una secuencia de "go ahead" (01111110), continúan apareciendo. Mientras los bits IFTF estén seleccionando "go ahead" el transmisor enviará estos, aunque se escriban datos a la FIFO. Solo cuando los bits IFTF seleccionen otro estado los datos serán transmitidos.

Transmisión de canal C: Colocando el bit C1EN, en el registro de control de tiempo, en alto, la información recibida en el registro de control de canal C puede ser transmitida en el canal 1 del ST-BUS de salida (CDSTo) Esto solo es disponible en el modo de operación de tiempo interno.

Transferencia transparente de datos: Los bits IFTF en el registro de control puede ser configurados para proveer transferencia de datos transparente, deshabilitando las funciones de protocolo. El transmisor no generará la bandera, GA, aborto, secuencias de estado ocioso ni tampoco insertará ceros ni calculará FCS. Este opera en dos modos de tiempo: transferencia por byte y transferencia de datos serial en el CDSTo. Si el controlador de protocolo se encuentra en modo de tiempo interno y los bits de control de tiempo se configuran para seleccionar 2, 6, o 7 bits/trama, los correspondientes bits menos significativos de cada byte recibido en la FIFO de transmisión solo son transmitidos. El modo de transferencia de datos transparente no se encuentra disponible para 1 bit/trama. En el caso que la FIFO se encuentre vacía el último byte o los últimos bytes que han sido enviados se transmiten repetidamente. Note que la transferencia de datos transparente puede ser deshabilitado inmediatamente en software (distinto durante transmisión de paquetes) usando el bit TxEN en el registro de control.

La operación del transmisor es similar en modo de tiempo externo.

4.9 OPERACION DE RECEPCION

Después de un reseteo, o encendido, la recepción se deshabilita. La configuración de tiempo es similar que la sección de transmisión. La detección de dirección es deshabilitada, si se requiere, se carga el registro de direcciones de recepción con la dirección deseada y el bit RxAD en el registro de control se coloca alto. La sección de recepción puede ser habilitada con el bit RxEN en el registro de control.

Paquetes Normales: Después de la inicialización, los datos seriales inician a ser registrados y el receptor busca canales ociosos y banderas. Si se detecta un canal ocioso el bit "ocioso" en el registro de estado general se coloca alto. Una vez una bandera es detectada el receptor se sincroniza con el flujo de datos que llega. El receptor se mantiene resincronizando con las banderas hasta que un paquete aparezca. El paquete que llega es examinado bit por bit, los ceros insertados se eliminan, se calcula el FCS y los bytes de datos se escriben en la FIFO de recepción. Sin embargo, el FCS y otros caracteres de control como la bandera, aborto, etc., nunca aparecen en la FIFO. Si la detección de dirección se habilita, el primer byte después de la bandera se compara con el byte en el registro de dirección recibida y con la dirección "All Call". Si no corresponde, el paquete es ignorado y nada se escribe a la FIFO. Si corresponde, el paquete es recibido. Todos los bytes escritos a la FIFO de recepción son marcados con dos bits de estado. Los bits de estado se encuentran en el registro de estado de FIFO e indican si el byte a ser leído es el primer, medio o el último byte del paquete con buen o mal FCS. Esta indicación de estado es válida para el byte a ser leído en la FIFO de recepción.

Los datos que llegan siempre se escriben a la FIFO en forma de bytes. Sin embargo, en el caso de enviar datos que no sean de múltiples ocho bits, el software asociado con el receptor debe ser capaz de detectar los bits de los datos y la posición del bit MSB de el último byte recibido. El controlador de protocolo no provee ninguna indicación de cuantos bits deben haber.



FIFO de recepción Vacía: Cuando la FIFO de recepción se encuentra vacía, este estado es indicado por los bits de estado de FIFO en el registro de estado de FIFO. Como con la FIFO de Tx estos bits no cambian de estado en dos periodos de bit después de un acceso a la FIFO. Si el periodo de bus del microprocesador es mucho más pequeño que el periodo de bit, los bits de estado de FIFO puede que no se actualicen a tiempo para la próxima lectura del microprocesador. El resultado de esto es una condición de desbordamiento que sólo es evidente por bytes redundantes en el mensaje recibido.

Para eliminar el desbordamiento de la FIFO de Rx, la lectura de la información debe hacerse en dos formas. La primera forma es verificar cuándo el MT8952B indica (vía interrupción) que la FIFO de Rx se encuentra 15/19 llena. El microprocesador debe inmediatamente leer 14 bytes. Esto eliminará que la FIFO quede vacía. La segunda forma es ver cuándo una interrupción de final de paquete es indicada por el MT8952B. El microprocesador debe vaciar la FIFO hasta que los bits de estado de Rx en el registro de estado de FIFO indiquen que el byte a ser leído es el último.

Paquetes inválidos: Si hay menos de 24 bits de datos entre las banderas de inicio y cerrado, el paquete es considerado inválido y los datos nunca entran a la FIFO de Rx. Esto sucede con datos y secuencias de aborto, que tengan menos de 24 bits. Los paquetes de datos que tengan al menos 24 bits pero menos de 32 son inválidos pero no ignorados. Estos se llevan a la FIFO de Rx pero marcados con mal FCS.

Abortar trama: Cuando un aborto de trama es detectado los bits apropiados en la bandera de interrupción y los registros de estados son fijados. El último byte del paquete que fue abortado se escribe a la FIFO con un estado de "byte empaquetado" marcado a él. La CPU determina cual paquete en la FIFO fue abortado, si hay más de un paquete en la FIFO, por la ausencia del último byte en alguno de los bytes.

Canal ocioso: Recibiendo el canal ocioso, el bit de ocioso en el registro de estado general permanece fijo.

Go ahead: Cuando ocurre esta secuencia se puede utilizar para generar una interrupción, como se describió anteriormente. El circuito de recepción no reconocerá una trama de aborto seguida por una bandera de "go ahead".

Recepción de Canal C: La información contenida en el canal 1 de el bus recibido ST-BUS (CDSTi) es llevado al registro de estado de canal C durante el modo de tiempo interno.

Transferencia transparente de datos: Los bits IFTF en el registro de control puede ser configurados para proveer transferencia de datos transparente, deshabilitando las funciones de protocolo. El receptor no detectará la bandera, GA, aborto, secuencias de estado ocioso, ni eliminará ceros, ni calculará CRC y comparación de direcciones. Los datos recibidos son llevados del CDSTi a la FIFO de recepción en formato de bytes. Si el controlador de protocolo se encuentra en modo de tiempo interno y los bits de control de tiempo se fijan en 2, 6, o 7 bits/trama, el respectivo MSBs de cada byte son solo para ser leídos por el bus de datos. La transferencia de datos transparente no se encuentra disponible cuando los bits de control de tiempo se fijan para un bit/trama. El receptor se puede deshabilitar por software inmediatamente utilizando el bit RxEN en el registro de control.

La operación del receptor es similar en modo de tiempo externo.

Recepción de desbordamiento: esta sucede cuando el receptor intenta cargar un byte en una FIFO ya llena. Este estado se puede utilizar para generar una interrupción como se describió antes.



4.10 CONEXION TIPICA

Una conexión típica con el controlador de protocolo HDLC se muestra en la figura 8. El puerto paralelo se conecta con un procesador del tipo 6800/6809. Los bits A0-A3 son los bits de direcciones de los diferentes registros en el controlador de protocolo. El microprocesador puede leer y escribir a estos registros manejándolos como puntos de memoria.

El puerto serial transmite/recibe los datos empaquetados. Este puede ser conectado a un medio de transmisión digital o a un circuito de interfaz de red. El TEOP y REOP son señales de final de paquete en el sentido de transmisión y recepción respectivamente. F0i y Cki son las señales de reloj con Cki recibiendo ya sea la señal de reloj o 2 veces la señal de reloj en el modo de tiempo interno. TxCEN y RxCEN son las entradas para habilitar en el modo de tiempo externo.

WD es la salida del temporizador de verificación "Watchdog Timer". Esta se coloca baja cuando el temporizador termina (timeout) o si la entrada RST se lleva a bajo. Esta salida puede ser utilizada para resetear el microprocesador asociado. El RST es una entrada activa baja la cual resetea todo el circuito.

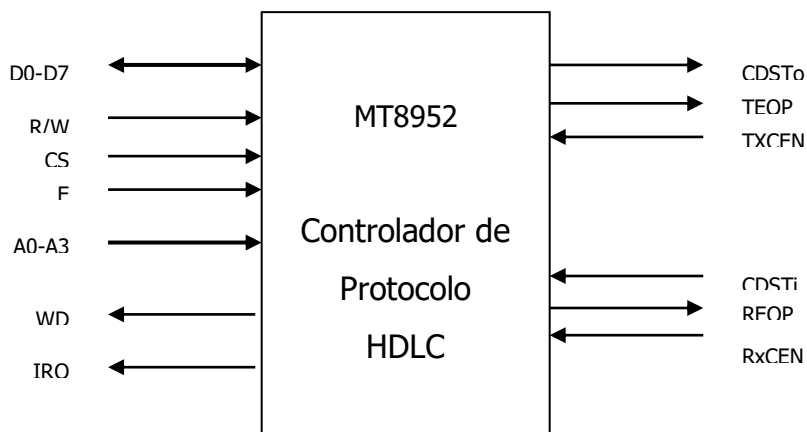


Figura 8. Conexión típica del HDLC



4.11 APLICACIONES

El MT8952 tiene numerosas aplicaciones en transferencia de datos o información de control a través de un canal digital proveyendo capacidades de detección de error. En combinación con el MT8972 (Circuito de interfaz de red) este puede ser usado para transmitir datos digitales a través de un par de cobre.

5 DOCUMENTOS DE SOPORTE

5.1 PUERTO PARALELO ECP

Como soporte del montaje de los circuitos de pruebas a lo largo del proyecto (como por ejemplo la programación del conmutador digital MT8980) fue necesaria la implementación de un sistema de intercambio de datos entre el PC y el dispositivo a probar, de manera tal que su manejo fuera sencillo, rápido, versátil y confiable. Se optó entonces por usar el puerto paralelo del PC el cual cumple satisfactoriamente las condiciones antes mencionadas. Además este puerto cuenta con varias opciones de configuración mediante las cuales se puede disponer de hasta un byte completo de datos bidireccionales, 5 bits de estado y 4 bits de control.

A continuación se describe la distribución del puerto y la configuración asumida para los propósitos de prueba.

Distribución del puerto en su modo normal, SPP (Standard Parallel Port) unidireccional

# Pin (Tipo D-25)	Señal SPP	Dirección E/S	Registro	# de Bit	Negado por Hardware
1	Strobe	E/S	Control	0 (LSB)	Sí
2	Data 0	SALIDA	Datos	0 (LSB)	
3	Data 1	SALIDA	Datos	1	
4	Data 2	SALIDA	Datos	2	
5	Data 3	SALIDA	Datos	3	
6	Data 4	SALIDA	Datos	4	
7	Data 5	SALIDA	Datos	5	
8	Data 6	SALIDA	Datos	6	

9	Data 7	SALIDA	Datos	7 (MSB)	
10	Ack	ENTRADA	Estado	6	
11	Busy	ENTRADA	Estado	7 (MSB)	Sí
12	Paper-Out / Paper-End	ENTRADA	Estado	5	
13	Select	ENTRADA	Estado	4	
14	Auto-Linefeed	E/S	Control	1	Sí
15	Error / Fault	ENTRADA	Estado	3	
16	Initialize	E/S	Control	2	
17	Select-Printer / Select-In	E/S	Control	3	Sí
18 - 25	Ground	Gnd			

Tabla 24. Asignación de pines del conector del puerto paralelo tipo D-25.

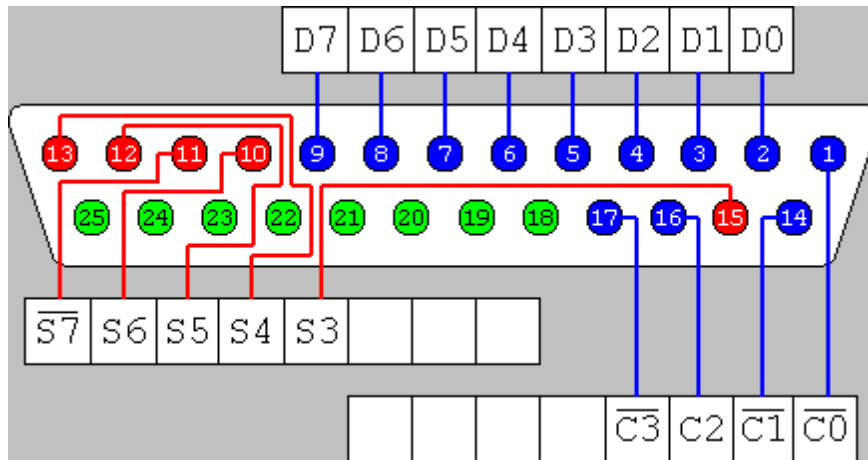


Figura 9. Diagrama de pines del conector del puerto paralelo tipo D-25

Como se puede ver en la figura 9, se tienen 8 bits de datos (D7-D0) ubicados en los pines 9-2 del conector; 5 bits de estados (S7-S3) ubicados en los pines 13-10 y 15; y 4 bits de control (C3-C0) ubicados en los pines 17,16,14 y 1 respectivamente operando con colector abierto. Nótese que los bits S7, C3, C1 y C0 están complementados y esta inversión estandarizada se encuentra predefinida por hardware.



Cuando un pin trabaja con colector abierto, malla o lazo abierto se entiende que se conmuta entre 2 estados: Bajo (0v) y Alta impedancia (Circuito abierto). Ya que los bits de control son salidas por defecto que operan con colector abierto se hace necesario colocar una resistencia entre dicha salida y la fuente para así obtener los dos estados lógicos (0 y Vcc). Esta resistencia es llamada de **Pull-up** y en la práctica para fuentes de **5v** se escoge con un valor de **4.7K**. Sin embargo, la característica de colector abierto se puede aprovechar para lograr que estos pines funcionen como entradas mediante un artificio que consiste en enviar 0100 (4h) al nibble bajo del registro de control (Base+2), que corresponde a los 4 bits de control en cuestión, con el fin de fijarlos en 1 para así lograr el estado de alta impedancia. Inmediatamente se efectúa el proceso de lectura en la misma dirección E/S para encontrar que el dato leído es aquel que está actualmente en el puerto.

Cabe mencionar que el hecho de no utilizar el artificio descrito podría implicar una lectura errónea. Además, es recomendable que el dispositivo a probar también tenga sus salidas con propiedades de colector abierto, lo cual incluye usar hardware adicional para este efecto como inversores 74LS05, a fin de evitar cortos que podrían dañar el puerto.

Es importante tener en cuenta que aunque el bit Ack, el cual corresponde al bit 6 del registro de estado, se comporta como tal; también se desempeña como la entrada de interrupción de hardware externa del puerto paralelo (normalmente IRQ 7). Por lo regular, esta última opción se encuentra deshabilitada pero es configurable como se podrá apreciar en la siguiente sección.

Por otra parte, el acceso a los diferentes registros del puerto paralelo se efectúa mediante direcciones E/S, las cuales se obtienen a partir de una dirección E/S BASE distinta para cada puerto paralelo o LPT. Generalmente para el LPT1 la dirección E/S base es la palabra (16 bits o 2 bytes) **378h**. Una vez que se tiene la constante BASE se pueden acceder los diferentes registros del puerto como se muestra en la tabla 25.



Dirección E/S	Lectura/Escritura	Registro
BASE+0	Lectura/Escritura *	Datos
BASE+1	Lectura	Estado
BASE+2	Escritura	Control

Tabla 25. Direcciones E/S para el LPT.

** Lectura sólo cuando el puerto está configurado de forma bidireccional.*

Debido a que la base no siempre es la misma en cada PC se ha designado una dirección de **memoria** cuyo contenido, que está referenciado a una palabra, es la dirección E/S de 2 bytes correspondiente a la BASE. Así entonces, se tendrá una dirección o localidad de memoria distinta para cada LPT de un PC, estandarizada con los valores fijos mostrados en la tabla 26, para los cuales su respectivo contenido es modificable únicamente desde la BIOS.

Dirección Inicial	Función
0000:0408	Dirección base LPT1
0000:040 ^a	Dirección base LPT2
0000:040C	Dirección base LPT3
0000:040E	Dirección base LPT4 **

Tabla 26. Direcciones LPT en el área de datos de la BIOS.

*** La dirección 0000:040E en el área de datos de la BIOS también puede usarse como área de datos extendida del PS/2.*

Registros Software del Puerto Paralelo

En un puerto paralelo convencional se manejan 3 registros descritos así:



Offset	Nombre	Lectura/ Escritura	# Bit	Propiedades
Base + 0	Puerto de Datos	Lectura/ Escritura	Bit 7	Data 7
			Bit 6	Data 6
			Bit 5	Data 5
			Bit 4	Data 4
			Bit 3	Data 3
			Bit 2	Data 2
			Bit 1	Data 1
			Bit 0	Data 0

Tabla 27. Registro de Datos.

El registro de estado, mostrado en la tabla 28, se caracteriza por ser de solo lectura. Cualquier dato escrito a la dirección BASE+1 será ignorado. Este registro consta de 5 líneas de entrada, un registro de estado IRQ y 2 bits reservados. El bit 2 indica la ocurrencia de una interrupción; debido a que este bit es negado, sin tener una representación física de ello en el puerto, si este bit muestra 1 entonces una interrupción **no** ha ocurrido.

Offset	Nombre	Lectura/Escritura	# Bit	Propiedades
Base + 1	Puerto de Estado	Lectura	Bit 7	Busy
			Bit 6	Ack
			Bit 5	Paper Out
			Bit 4	Select In
			Bit 3	Error
			Bit 2	IRQ (Not)
			Bit 1	Reservado
			Bit 0	Reservado

Tabla 28. Registro de Estado.

El registro de control, mostrado en la tabla 29, se caracteriza por ser de lectura y escritura. El nibble bajo de este registro contiene los 4 bits de control referidos a los 4 pines del puerto de control. El proceso de lectura de este nibble se realiza bajo el artificio mencionado anteriormente. Del nibble alto los bits 4 y 5 se utilizan para control interno; el bit 4 es el que habilita la IRQ y el bit 5 habilita al puerto como bidireccional, es decir, se pueden leer 8 bits utilizando el puerto de datos (D7-D0). Para ambos bits, el estado alto habilita y el bajo cancela esta opción. Los bits 6 y 7 están reservados, cualquier escritura sobre ellos será ignorada.

Offset	Nombre	Lectura/Escritura	# Bit	Propiedades
Base + 2	Puerto de Control	Escritura	Bit 7	No usado
			Bit 6	No usado
			Bit 5	Habilita puerto Bidireccional
			Bit 4	Habilita IRQ Vía Ack
			Bit 3	Select Printer
			Bit 2	Initialize Printer (Reset)
			Bit 1	Auto Linefeed
			Bit 0	Strobe

Tabla 29. Registro de Control.

Configuración ECP

Los dispositivos de telecomunicaciones sujetos a prueba a través de procesos de lectura y escritura demandan el uso de un puerto de datos bidireccional. Ante esta exigencia se necesita que el puerto paralelo del PC, seleccionado para esta función, opere bajo dichas características. Algunos fabricantes dejaron abierta esta alternativa para que el usuario manipulara el sentido del flujo de la información (a transferir por los bits de datos) mediante el puerto de control. Sin embargo para la época no existía un estándar normativo que diera las pautas de cómo efectuar esta



operación, por lo que cada fabricante optó por su propia solución. La elaboración de un software específico para el uso del puerto paralelo con características bidireccionales demandaría la determinación inicial de la información referente al fabricante del puerto y por ende al procedimiento propietario de configuración, lo cual sería tedioso y prácticamente inmanejable. Con el advenimiento del ECP (Extended Capabilities Port) se logró la estandarización del uso del puerto paralelo del PC para propósitos particulares que van más allá del manejo de impresoras; convirtiéndose esta en la principal razón que justifica su uso dentro del proyecto.

Para seleccionar la configuración ECP se accede al Setup del BIOS del PC y en este se cambia el modo de funcionamiento del puerto paralelo a ECP. Por ejemplo para el caso del AMIBIOS se accedería al menú *Peripheral Setup* y dentro de él ubicar *Parallel Port Mode* (por defecto se encuentra en modo Normal) para modificarlo a modo ECP. La activación de este modo implica que permanezca el dato de interrupción (normalmente 7) y se habilite el DMA (normalmente pasa de N/A a 3).

Una vez se escoge la configuración ECP se añaden a la lista de registros del puerto paralelo 3 nuevos registros localizados en las direcciones E/S mostradas en la tabla 30. Así, la distribución completa de registros del ECP es la siguiente:

Dirección	Nombre del Registro	Lectura/Escritura
Base + 0	Registro de Datos	Lectura/Escritura
Base + 1	Registro de Estado	Lectura
Base + 2	Registro de Control	Lectura/Escritura
Base + 400h	Registro de Configuración A	Lectura/Escritura
Base + 401h	Registro de Configuración B	Lectura/Escritura
Base + 402h	Registro de Control Extendido	Lectura/Escritura

Tabla 30. Registros ECP.

El registro más importante del ECP es el Registro de Control Extendido (ECR) además de ser el único de los nuevos registros que se utiliza en el proyecto. Este registro configura el modo en el que el ECP va a funcionar y también entrega el estado de la FIFO del ECP entre otras cosas. La descripción funcional de los bits del ECR se muestra en la tabla 31.

Bit	Función	
7:5	Selecciona modo actual de operación	
	000	Modo Estándar
	001	Modo Byte
	010	Modo FIFO del puerto paralelo
	011	Modo FIFO ECP
	100	Modo EPP
	101	Reservado
	110	Modo FIFO de prueba
	111	Modo Configuración
4	Bit de interrupción ECP	
3	Bit de habilitación para DMA	
2	Bit de servicio ECP	
1	FIFO llena	
0	FIFO vacía	

Tabla 31. ECR – Registro de Control Extendido.

Los tres bits más significativos (7-5) del ECR seleccionan el modo de operación del ECP y son estos los que tienen relevancia dentro del proyecto. Existen 7 posibles modos de operación aunque no todos los puertos los soportan en su totalidad.

El modo estándar causa que el puerto ECP se comporte como un puerto paralelo estándar (SPP) **sin** la propiedad bidireccional. El modo byte ocasiona que el puerto ECP se comporte como un puerto paralelo estándar (SPP) pero con la diferencia que en este modo la característica bidireccional está activa.

El diagrama esquemático de la figura 10 muestra el principio de funcionamiento bidireccional del puerto de datos del ECP, implementado inicialmente con lógica 74LS, configurado bajo el modo byte. Actualmente este hardware ha evolucionado aunque la teoría de operación es la misma.

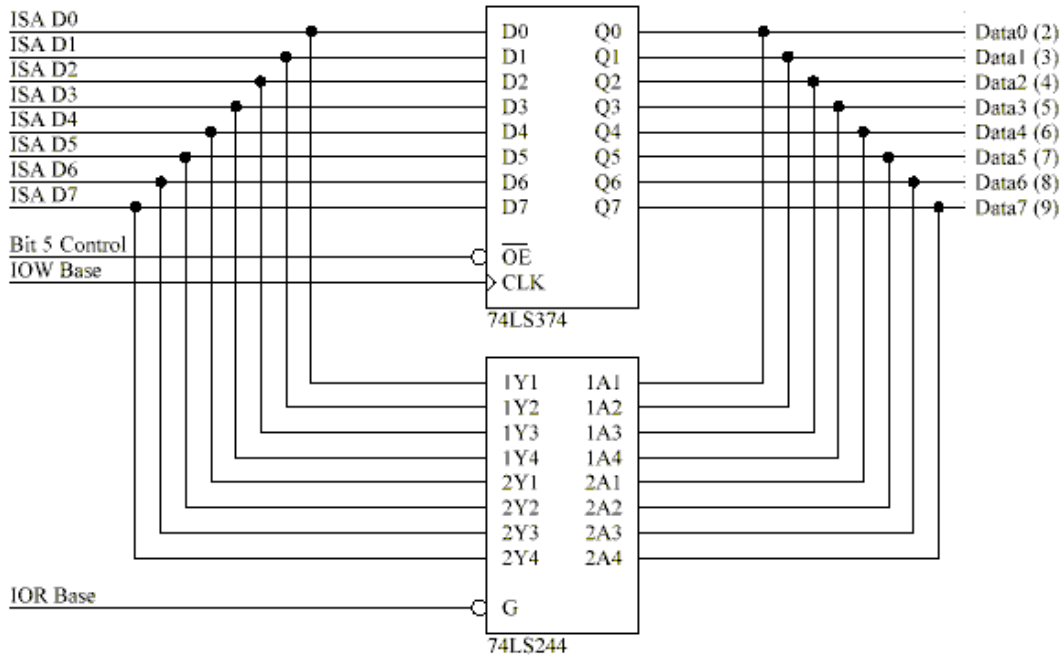


Figura 10. Puerto de Datos ECP Bidireccional.

El 74LS374 es un integrado que consiste en un latch de 8 bits que engancha las entradas (D) en las salidas (Q) cuando se presenta un flanco de subida en CLK. Además consta de un Enable (\overline{OE}) que cuando está en alto coloca las salidas en estado de alta impedancia.

El 74LS244 es un amplificador de bus que permite expandir la carga admisible del mismo cuyas salidas (Y) son tres estados controladas por \overline{G} .

El bit 5 del registro de control (BASE+2) está directamente referenciado al Enable del latch y dependiendo de su estado se activa o desactiva la operación de lectura del puerto ECP. Entonces, cuando el bit 5 del registro de control se lleva a 0 sólo se puede escribir en el puerto de datos, mientras que si se lleva a 1 un proceso de lectura puede ser efectuado (a través del 74LS244), ignorando cualquier escritura en dicho puerto debido al estado de alta impedancia.

5.2 BUS ISA (INDUSTRY STANDARD ARCHITECTURE) TITD

El bus ISA para sistemas XT, el cual consta de un conector de 62 pines, maneja un bus de direcciones de 20 bits y un bus de datos de 8 bits. Permite trabajar con la mayoría de las señales de interrupción del PC, e incluso utilizar los circuitos de DMA (direct memory access).

La nueva presentación de este bus para sistemas AT incluye además otro conector de 36 pines adicionando 4 nuevas líneas de direcciones, 8 bits de datos y más señales de interrupción del PC.

SIGNAL NAME	PIN NUMBER	SIGNAL NAME
GND	B1	A1
+RESET DRV		-I/O CH CK
+5V		+D7
+IRQ2		+D6
-5V		+D5
+DRQ2		+D4
-12V		+D3
RESERVED		+D2
+12V		+D1
GND	B10	A10
-MEMW		-I/O CH RDY
-MEMR		+AEN
-IOW		+A19
-IOR		+A18
-DACK3		+A17
+DRQ3		+A16
-DACK1		+A15
+DRQ1		+A14
-DACK0		+A13
CLOCK	B20	A20
+IRQ7		+A12
+IRQ6		+A11
+IRQ5		+A10
+IRQ4		+A9
+IRQ3		+A8
-DACK2		+A7
+T/C		+A6
+ALE		+A5
+5V		+A4
+OSC		+A3
GND	B31	A31
		+A2
		+A1
		+A0

Figura 11. Diagrama de líneas del bus ISA.



SIGNAL NAME	PIN NUMBER	SIGNAL NAME
-MEM CS16	D1 C1	-SBHE
-I/O CS16		+LA23
+IRQ10		+LA22
+IRQ11		+LA21
+IRQ12		+LA20
+IRQ15		+LA19
+IRQ14		+LA18
-DACK0		+LA17
+DRQ0		-MEMR
-DACK5	D10 C10	-MEMW
+DRQ5		+D8
-DACK6		+D9
+DRQ6		+D10
-DACK7		+D11
+DRQ7		+D12
+5V		+D13
-MASTER		+D14
GND	D18 C18	+D15

Figura 12. Diagrama de líneas del bus ISA (extensión).

Descripción del BUS

En la figura 11 se puede ver el diagrama de líneas del bus ISA XT y en la figura 12 la extensión correspondiente para conformar en conjunto el bus ISA AT de 16 bits. El bus está dividido en dos caras. En la primera, los pines se denominan desde A1 hasta A31 y desde C1 hasta C18 para la extensión, y es la cara de componentes. Contiene el bus de direcciones y de datos. Los pines de la segunda cara se denominan desde B1 hasta B31 y desde D1 hasta D18 para la extensión, y es la cara de soldadura. Esta cara contiene los pines de alimentación así como las señales relacionadas con las interrupciones y las transferencias de datos vía DMA.

NOTA: Los pines coloreados en tono de gris corresponden a aquellos que actualmente son utilizados en la tarjeta interfaz de troncal digital TITD.

A continuación se listan los pines más usados, así como su descripción.

Para la cara "A":

A0-A19 (pines A31 hasta A12): El bus de direcciones consiste en estas veinte líneas. Pueden direccionar hasta 1MB (2^{20} bytes).



D0-D7 (pines A9 hasta A2): Estas ocho líneas forman el bus de datos.

AEN (pin B11): Es usada por el controlador de DMA para tomar el control de los buses de datos y de direcciones.

Para la cara "B":

GND (pines B1, B10, B31): Conectadas a la masa del ordenador.

+5V (pines B3, B29): Salida de 5V de continua de la fuente de alimentación.

-5V (pin B5): Salida de -5V de c.c.

-12V (pin B7): Salida -12V de c.c.

+12V (pin B9): Salida +12V de c.c.

MEMW (pin B11): El microprocesador activa esta señal para **escribir en la memoria**.

MEMR (pin B12): El microprocesador activa esta señal para **leer de la memoria**.

IOW (pin B13): El microprocesador activa esta señal para **escribir en un puerto**.

IOR (pin B14): El microprocesador activa esta señal para **leer de un puerto**.

DACK0-DACK3 (pines B15, B17, B19 y B26): El controlador de DMA activa estas señales para hacer saber a un dispositivo que el controlador de DMA tiene el control de los buses.

DRQ1-DRQ3 (pines B6, B16 y B18): Permite a un periférico reclamar el uso de los buses.

+T/C (pin B27): El controlador de DMA activa esta señal para hacer saber a un periférico que el número programado de bytes ha sido enviado.

IRQ2-IRQ7 (pines B4, B21, B22, B23, B24 y B25): Señales de interrupción. Los dispositivos periféricos activan estas señales para reclamar la atención del uP.

ALE (pin 28): Esta señal es usada por el uP para bloquear los 16 bits de menos peso del bus de datos en un latch durante un ciclo de lectura/escritura en la memoria o en un puerto.

CLOCK (pin 20): Es el reloj del sistema.

OSC (pin 30): Es un reloj de alta frecuencia que puede ser usado por las tarjetas de entrada/salida.

El funcionamiento del bus ISA con un ciclo de lectura desde un puerto de entrada/salida se describe como sigue.

Lo primero que hace el procesador es poner la señal ALE hasta un nivel alto, entonces envía la dirección del puerto a través de las señales A0-A19. Después, la señal ALE vuelve a nivel bajo. En adelante la dirección del puerto a ser leído queda retenida en un latch. Entonces el bus pone -IOR a nivel bajo. El dispositivo direccionado envía un byte de datos a través de las líneas D0-D7 del bus de datos. El procesador lee el bus de datos y pone la señal -IOR a nivel alto de nuevo.

Un ciclo de escritura a un puerto funciona de la siguiente manera.

El procesador pone la señal ALE a "1", entonces envía la dirección del puerto a través de A0-A19. ALE es puesta a nivel bajo. El procesador envía el byte de datos que será escrito. Luego pone un "0" en -IOW. Después que el dispositivo ha tenido tiempo de leer el byte, el procesador pone la señal -IOW a nivel alto de nuevo.

La diferencia entre un ciclo de lectura/escritura a un puerto o E/S y un ciclo de lectura/escritura a memoria consiste en que en un ciclo de E/S se utilizan las señales -IOR e -IOW con AEN en bajo, mientras que en un ciclo de memoria se utilizan las señales -MEMR y -MEMW, de la misma manera que las señales -IOR e -IOW, con AEN en alto.

5.3 CHEQUEO DE REDUNDANCIA CICLICA (CRC)

Qué es CRC?

El chequeo de redundancia cíclica es un test para la detección de errores utilizado tanto en el almacenamiento como en la transmisión de datos.

Su funcionamiento consiste en detectar pequeños cambios en los bloques de datos. Así, la detección de errores CRC establece un protocolo de corrección de errores.

El algoritmo CRC opera sobre un bloque de datos como una unidad, es decir, viendo el bloque de datos como un valor numérico único de tamaño considerable. Debido a que los datos se dividen en bloques, el CRC no necesita que aquel bloque que va a ser chequeado tenga un tamaño específico.

El algoritmo CRC divide el valor correspondiente al bloque de datos entre un número predeterminado llamado polinomio CRC quedando el residuo de dicha operación como el resultado del CRC.

El resultado CRC se puede enviar o almacenar junto con el dato original y cuando este se recibe, se procede a aplicar un nuevo CRC para que el resultado más reciente se compare con el original. Si algún error de transmisión o liberación (recuperación de los datos) ha ocurrido, los dos (2) resultados CRC serán distintos.

La gran mayoría de los usos o aplicaciones del CRC no intentan ni clasificar ni localizar los errores si no mas bien, ordenar que se repita la operación con los datos hasta que ningún error sea detectado.

Aplicaciones y Usos del CRC

En dispositivos controladores de discos floppy.

El controlador computa o calcula un CRC (mientras se escribe un sector de disco) y este agrega el resultado CRC a los datos. Cuando los datos se recuperan, se calcula un nuevo CRC a partir de los datos obtenidos y se comparan con el CRC original. Si los valores CRC difieren, un error ha ocurrido y se repite la operación.

Protocolo de transmisión de archivos XMODEM.

Usa polinomios CRC para detectar errores de transmisión de datos causados por el ruido de la línea.

Control de Errores y Eficiencia

El generador CRC construye polinomios según las propiedades de la detección del error. La principal diferencia entre estos polinomios es su longitud.

Los polinomios más largos proporcionan mayor confianza y seguridad en la exactitud de los datos y se pueden usar sobre grandes cantidades de datos. Sin embargo, así mismo las operaciones entre ellos arrojan grandes residuos los cuales agregan un encabezado de chequeo de error adicional a los datos.

Al considerar por ejemplo, un polinomio de 16 bits, se tiene un residuo de 16 bits y el mayor exponente del polinomio es 16, y por tanto se tiene también un CRC-16.

Ejemplo: $X^{16} + X^{12} + X^5 + 1$ (CRC-CCITT).

Estos polinomios se clasifican según el dígito más alto distinto a cero (0) que corresponde al grado del polinomio. Un polinomio de grado 16 tiene 17 bits todos significativos. Pero el residuo de una operación CRC tiene un (1) bit menos que el polinomio.

En un polinomio construido correctamente el MSB y el LSB deben ser 1. El registro para las operaciones CRC debe estar constituido por un número de bits igual al grado del polinomio.

El polinomio CRC bien construido detectará un tren de errores contiguos de menor longitud que el mismo polinomio, además cualquier número extraño (impar) de errores a lo largo del bloque, cualquier error de 2 o 3 bits en cualquier parte del bloque y errores en los datos. Los errores no serán detectados sólo en el caso cuando el patrón de resultados de errores produce, al ser dividido, exactamente el mismo residuo que el de la anterior operación similar para dicho bloque. Para un CRC bien hecho se deben detectar los errores en un 99,998%, el 0,002% corresponde al caso anterior.

No hay ninguna técnica que se pueda usar para garantizar absolutamente la detección de cualquier error, pero la no detección es minimizable. Otras técnicas además de CRC son: Checksum y Voting, pero no son mejores que el CRC.

CRC agrega en la mayoría de los casos 2 bytes a los datos los cuales corresponden al encabezado de chequeo de error.

Polinomios Aritméticos

CRC trabaja con polinomios aritméticos de la forma:

$$A_n X^n + A_{n+1} X^{n+1} + \dots + A_1 X^1 + A_0$$

Pero de módulo 2 o en base 2, esto es, que cada dígito del polinomio puede tener sólo dos valores, 0 y 1. Esto permite que la división sea rápida, eficiente, fácil de implementar y suficiente para los propósitos de la detección de errores.

La gran ventaja de utilizar polinomios aritméticos modulares (en base 2) es la simplicidad de las operaciones; para este tipo de polinomios, las operaciones lógicas se realizan bit a bit (adición y sustracción por medio de OR exclusivas lógicas) y de esta forma se evita el tener que ejecutar operaciones de acarreo (carry) entre los términos de los polinomios, así, se reduce el Hardware (circuitería lógica) y se minimizan las limitaciones en cuanto a velocidad de computo.

En Software no es tan significativo; aunque permite variadas aproximaciones a esta lógica, que no se encuentran disponibles para la aritmética convencional, ya que las operaciones de tipo módulo disponible en los lenguajes de programación (operador MOD en Pascal por ejemplo), operan sobre números enteros más que sobre bits o locaciones individuales.

Una división polinómica mod 2 (módulo en base 2) es muy similar a una división binaria excepto por el desarrollo de una operación lógica XOR en lugar de una resta binaria. Así mismo, debido a que "Mayor que" (>) y "Menor que" (<) no tienen sentido o importancia en la aritmética modular, estos operadores se pueden reemplazar con operadores XOR llevando la parte alta del dividendo a ceros cuando el bit alto esté fijo en 1.