

**EVALUACIÓN EXPERIMENTAL DEL CONTENIDO ARMÓNICO
EN LOS ALGORITMOS DE MODULACIÓN PWM DE INVERSORES
TRIFÁSICOS**



**DIANA JIMENA LÓPEZ MESA
GUILLERMO ALBERTO CAMACHO MUÑOZ**

**UNIVERSIDAD DEL CAUCA
FACULTAD DE INGENIERÍA ELECTRÓNICA Y TELECOMUNICACIONES
DEPARTAMENTO DE ELECTRÓNICA, INSTRUMENTACIÓN Y CONTROL
POPAYÁN
2008**

EVALUACIÓN EXPERIMENTAL DEL CONTENIDO ARMÓNICO EN LOS ALGORITMOS DE MODULACIÓN PWM DE INVERSORES TRIFÁSICOS

Monografía presentada como requisito parcial para optar por el título de
Ingenieros en Automática Industrial

DIANA JIMENA LÓPEZ MESA
GUILLERMO ALBERTO CAMACHO MUÑOZ

Director:
ING. VLADIMIR TRUJILLO ARIAS

**UNIVERSIDAD DEL CAUCA
FACULTAD DE INGENIERÍA ELECTRÓNICA Y TELECOMUNICACIONES
DEPARTAMENTO DE ELECTRÓNICA, INSTRUMENTACIÓN Y CONTROL
POPAYÁN
2008**

Tabla de Contenido

Resumen.....	1
Introducción.....	2
Capítulo 1. Inversores	5
1.1. Aspectos Generales.....	6
1.2. Clasificación de los inversores	7
1.2.1. Clasificación de los inversores según su señal de entrada.....	7
1.2.2. Clasificación de los inversores según la etapa de potencia	9
1.2.2.1. Inversores de dos niveles	9
1.2.2.1.1. Inversor en medio puente.....	9
1.2.2.1.2. Inversor Push-Pull.....	12
1.2.2.1.3. Inversor en puente completo.....	13
1.2.2.2. Inversores Multinivel	15
1.2.3. Clasificación de los inversores según el tipo de control.....	15
1.2.3.1. Inversores no modulados.....	15
1.2.3.2. Inversores modulados.....	16
1.2.4. Clasificación de los inversores según el dispositivo de potencia.	16
1.3. Proceso de selección.....	18
1.4. Conclusiones.....	19
Capítulo 2. Modulación PWM	20
2.1. Fundamentos de la modulación PWM.....	21
2.1.1. Modulación PWM basada en portadora (CB-PWM)	21
2.1.1.1. La señal portadora	22
2.1.1.2. La señal moduladora	23
2.1.1.3. El índice de frecuencias (N).....	24
2.1.1.4. Comparación entre la señal portadora y la moduladora.....	24
2.1.1.5. El principio de balance Voltio-Segundo	26
2.1.1.6. El índice de modulación de amplitud (M).....	27
2.1.1.7. La modulación PWM sinusoidal (SPWM)	29

2.1.1.8.	La modulación PWM con inyección de señales de secuencia cero.	31
2.1.1.8.1.	Los Algoritmos PWM continuos	33
2.1.1.8.2.	Los Algoritmos PWM discontinuos	36
2.1.2.	Modulación PWM basada en Vectores Espaciales (SV-PWM).....	43
2.1.2.1.	El vector espacial de referencia.....	43
2.1.2.2.	Representación vectorial de los estados del inversor	44
2.1.2.3.	Principio de funcionamiento del SV-PWM.	46
2.1.2.4.	Rango de operación lineal	50
2.1.2.5.	Secuencias de conmutación.....	50
2.1.2.6.	Obtención de los ciclos útiles de los canales PWM	52
2.1.2.7.	Implementación de los métodos de inyección de secuencia cero SV-PWM	53
2.1.2.8.	Consideraciones sobre la modulación basada en vectores espaciales.....	55
2.2.	Conclusiones.....	55
Capítulo 3.	Desempeño Armónico	57
3.1.	Índices de distorsión armónica	58
3.1.1.	Caracterización mediante el índice de distorsión armónica de corriente V_{WTHD}	58
3.1.1.1.	Análisis del espectro generado por un modulador PWM.....	60
3.1.1.1.1.	Etapas 2: Aplicación del método de series dobles de Fourier	60
3.1.1.2.	Consideraciones sobre el índice de distorsión armónica de corriente V_{WTHD}	71
3.1.2.	Caracterización mediante el factor de distorsión armónica Total (F_{DIST})	73
3.1.2.1.	El valor medio del vector de flujo armónico del estator (F_{ABCD}^2)	73
3.1.2.2.	El Factor de distorsión armónica total (F_{DIST})	77
3.1.2.2.1.	Consideraciones sobre el factor de distorsión armónica total F_{DIST} ..	78
3.2.	Conclusiones.....	79
Capítulo 4.	Validación experimental.....	80
4.1.	Obtención de resultados experimentales	81
4.1.1.	Diseño del algoritmo de implementación.....	81
4.1.1.1.	Tarea 1. Modulación SV-PWM regular asimétrica.....	81
4.1.1.2.	Tarea 2. Operación de entrada y salida de datos del sistema	83
4.1.1.3.	Requerimientos del dispositivo en el que se programe el modulador.....	83
4.1.2.	Dispositivo seleccionado	84

4.1.3.	Metodología experimental.....	86
4.2.	Resultados experimentales.	88
4.3.	Obtención de resultados simulados	91
4.4.	Resultados Simulados.....	92
4.5.	Comparación experimental entre el desempeño armónico del SY-SVPWM y los algoritmos de modulación discontinuos.	94
4.6.	Conclusiones.....	97
Capítulo 5.	El esquema de modulación PWM Híbrido Discontinuo.	98
5.1.	Características susceptibles de mejoramiento identificadas.....	99
5.2.	Solución de una de las características identificadas.	100
5.3.	Diseño del esquema de modulación híbrido.....	100
5.3.1.	Diseño del algoritmo de modulación híbrido.	100
5.3.1.1.	Metodología	100
5.3.2.	Validación del algoritmo diseñado.	102
5.3.2.1.	Validación teórica	103
5.3.2.2.	Validación Experimental.....	103
5.4.	Conclusiones.....	104
Capítulo 6.	Conclusiones.....	106
6.1.	Conclusiones Generales.....	106
6.2.	Aportes.	107
6.3.	Recomendaciones para Trabajos Futuros.	108
Bibliografía.....		109

Lista de Figuras

Figura 1. Esquema del accionamiento eléctrico.....	2
Figura 2. Sub-bloques de la PPU convencional en un accionamiento eléctrico.....	3
Figura 1-1. Inversor dentro del diagrama de bloques de un accionamiento eléctrico.....	6
Figura 1-2. Esquemas del inversor trifásico según su señal de entrada.....	8
Figura 1-3. Alimentación del VSI.....	8
Figura 1-4. Rectificador Trifásico común.....	8
Figura 1-5. Fuente dual para inversores VSI.....	9
Figura 1-6. Inversor monofásico medio puente.....	10
Figura 1-7. Formas de onda con tiempo muerto en un Inversor monofásico.....	11
Figura 1-8. Evolución de la corriente en cargas inductivas.....	12
Figura 1-9. Circuitos equivalentes durante los intervalos de conducción.....	12
Figura 1-10. Inversor Push-Pull.....	13
Figura 1-11. Inversor monofásico puente completo.....	13
Figura 1-12. Inversor Trifásico puente completo.....	14
Figura 1-13. Inversor trifásico Multinivel.....	15
Figura 1-14. Símbolos de los conmutadores de potencia.....	17
Figura 1-15. Esquema de conexión de Driver de comunicación.....	17
Figura 2-1. Inversor trifásico VSI de dos niveles en puente completo.....	20
Figura 2-2. Fase a de un inversor trifásico VSI de dos niveles en puente completo.....	21
Figura 2-3. Esquema de modulación trifásico PWM basado en portadora.....	21
Figura 2-4. Formas de la señal portadora.....	22
Figura 2-5. Dependencia del control de flancos en la señal modulada v_{aN}	23
Figura 2-6. Formas de onda del conjunto de señales moduladoras v_i^*	23
Figura 2-7. PWM de muestreo natural.....	25
Figura 2-8. PWM de muestreo regular.....	25
Figura 2-9. Proceso de generación del tren de pulsos v_{aN} en PWM regular asimétrico.....	26
Figura 2-10. Principio Voltio-Segundo.....	27
Figura 2-11. Formas de onda en la Modulación <i>six-step</i>	28
Figura 2-12. Sobremodulación de la fase a	29
Figura 2-13. Proceso de modulación SPWM trifásico.....	30
Figura 2-14. Curva característica del SPWM.....	30
Figura 2-15. Proceso de modulación con inyección de secuencia cero.....	31
Figura 2-16. Curva característica de los algoritmos PWM con inyección de señal de secuencia cero.....	32
Figura 2-17. Modulación THIPWM1/6.....	33
Figura 2-18. Modulación THIPWM1/4.....	34
Figura 2-19. Modulación CB-SVPWM.....	35
Figura 2-20. Modulación DPWM1.....	37
Figura 2-21. Modulación DPWMMAX.....	38
Figura 2-22. Modulación DPWM2.....	39
Figura 2-23. Modulación DPWM0.....	39
Figura 2-24. Modulación DPWM3.....	40

Figura 2-25. Modulación DPWMMIN.....	41
Figura 2-26. Dependencia del ángulo φ_{fp} respecto a la función SLF	42
Figura 2-27. Obtención del vector espacial de referencia	43
Figura 2-28. Estados del inversor	45
Figura 2-29. Hexágono de voltajes de fase del Inversor	46
Figura 2-30. Síntesis del vector de referencia en el sector I	47
Figura 2-31. Partición del ciclo T_s	48
Figura 2-32. Partición del ciclo T_s con aplicación de vectores cero.....	48
Figura 2-33. Descomposición del vector referencia.....	49
Figura 2-34. Amplitud máxima del vector referencia.	50
Figura 2-35. Transiciones de estado permitidas.	50
Figura 2-36. Patrón de conmutación de SY-SVPWM en el sector I	51
Figura 2-37. Patrón de conmutación en el sector I	52
Figura 2-38. Diagrama de bloques del esquema SV-PWM convencional	53
Figura 2-39. Utilización de estados cero en los métodos de modulación PWM	54
Figura 3-1. Espectro de los voltajes de fase en la salida del inversor.	63
Figura 3-2 Cancelación de armónicos de bandas laterales de portadora en los esquemas regulares asimétricos.	64
Figura 3-3. Espectro armónico de las señales de fase a lo largo de M	64
Figura 3-4. Evolución de los armónicos dominantes en voltajes de fase.	65
Figura 3-5. Espectro armónico del voltaje línea a línea en el modulador SPWM	66
Figura 3-6. Cancelación de bandas laterales triples en los voltajes línea a línea	67
Figura 3-7. Espectro armónico del voltaje línea a línea a lo largo de M	67
Figura 3-8. Evolución de V_{WTHD} vs M para SPWM. $f_m = 36Hz$ y $f_s = 864Hz$	68
Figura 3-9. Evolución del índice V_{WTHD} en los algoritmos de modulación PWM.....	70
Figura 3-10. Efecto del índice de frecuencias N sobre V_{WTHD} para el SY-SVPWM.....	71
Figura 3-11. Cálculo del área bajo secciones parabólicas	74
Figura 3-12. Desempeño armónico de los moduladores	75
Figura 3-13. Evolución del vector de flujo RMS F_{ABCD}^2 para los algoritmos de modulación continuos.....	75
Figura 3-14. Evolución del vector de flujo RMS F_{ABCD}^2 para los algoritmos de modulación discontinuos.....	77
Figura 3-15. Evolución de F_{DIST} para los algoritmos PWM.	78
Figura 4-1. Subdivisiones de la Tarea 1.	81
Figura 4-2. Diagrama de bloques del modulador.	82
Figura 4-3. Operación de entrada y salida de datos del sistema.....	83
Figura 4-4. Diagrama correspondiente a la función principal del diseño.....	85
Figura 4-5. Esquema básico de medición del índice V_{WTHD}	88
Figura 4-6. Señales de fase filtradas a la salida del modulador.....	89
Figura 4-7. Evolución del espectro armónico experimental de la señal v_{ab} modulada mediante el algoritmo SY-SVPWM.	90
Figura 4-8. Evolución experimental del índice V_{WTHD} para el algoritmo SY-SVPWM.....	91
Figura 4-9. Evolución del espectro armónico simulado de la señal v_{ab} modulada mediante el algoritmo SY-SVPWM.....	93
Figura 4-10. Evolución del índice V_{WTHD} simulada para el algoritmo SY-SVPWM.....	94

Figura 4-11. Comparación del desempeño armónico experimental de los algoritmos PWM discontinuos frente a SY-SVPWM. Para $N = 360$.	95
Figura 4-12. Comparación del desempeño armónico experimental de los algoritmos PWM discontinuos frente a SY-SVPWM. Para $N = 24$.	96
Figura 4-13. Comparación del valor medio del V_{WTHD} experimental de los algoritmos de modulación PWM	97
Figura 5-1. Evolución del índice F_{ABCD}^2 de amplitud mínima.	101
Figura 5-2. Partición de puntos de operación en el sector I .	101
Figura 5-3 Partición para la estrategia de modulación híbrida.	102
Figura 5-4. Comparación teórica del índice F_{DIST} entre los algoritmos PWM y el algoritmo de modulación híbrido PWM.	103
Figura 5-5. Comparación experimental del índice V_{WTHD} entre los algoritmos: Híbrido y SY-SVPWM.	104

Lista de Tablas

Tabla 1-1. Clasificación de los Inversores.	7
Tabla 1-2. Estados de un inversor monofásico medio puente.	9
Tabla 1-3. Estados de un inversor monofásico puente completo.	13
Tabla 1-4. Estados de un inversor trifásico puente completo.	14
Tabla 1-5. Calificación de las configuraciones inversoras.	18
Tabla 1-6. Configuración inversora escogida.	19
Tabla 2-1. Índice máximo de modulación en la zona lineal de los algoritmos continuos.	36
Tabla 2-2. Vectores de voltaje instantáneos del inversor	45
Tabla 2-3. Variaciones de control de flanco.	51
Tabla 2-4. Relación entre ciclos útiles y tiempos de aplicación de vectores.	52
Tabla 2-5. Definición del distribuidor de estados cero $K_0(w_m t)$.	54
Tabla 2-6. Secuencias de conmutación <i>double edge</i> para los moduladores PWM	55
Tabla 2-7. Alternativas de componentes del Esquema PWM.	56
Tabla 3-1. Clasificación de los coeficientes de Fourier.	61
Tabla 3-2. Expresiones para calcular el vector de flujo RMS	74
Tabla 3-3. Esquema de modulación PWM de mejor desempeño armónico.	79
Tabla 4-1. Distribución empleada para la atención de datos de entrada.	84

Resumen

La operación de motores de inducción dentro del esquema de accionamientos eléctricos involucra entre otros elementos el uso de *inversores* modulados capaces de suministrar al motor señales con la frecuencia y amplitud establecida por el controlador. A su vez, la operación de los *inversores* precisa de la conmutación continua de interruptores de potencia bajo condiciones de altos voltajes y corrientes; esta conmutación provoca una serie de impactos negativos sobre el accionamiento eléctrico, su carga y el equipo situado a su alrededor, entre estos, uno de los que despierta mayor interés es la generación de armónicos en las corrientes de carga, asociado al algoritmo de modulación que controla el *inversor*.

Este trabajo de grado estudia y analiza el proceso de *inversión* en los accionamientos eléctricos, enfocándose en la reducción del contenido armónico de las corrientes de salida mediante la selección del esquema de modulación PWM.

El análisis inicia con la selección del esquema de modulación PWM de desempeño armónico superior, posteriormente se valida dicha superioridad mediante experimentación y finalmente se identifican características susceptibles de mejora sobre el esquema seleccionado, logrando con esto proponer un algoritmo de modulación híbrido cuyo desempeño armónico teórico y experimental supera el de los algoritmos de modulación PWM continuos y discontinuos en alta modulación.

Introducción

El sector industrial es uno de los principales consumidores de energía eléctrica y se estima que más del 60% de esta energía se utiliza en motores eléctricos [1]. En la industria, es frecuente encontrar procesos que incluyen motores trabajando en condiciones variables de carga; en estos casos, los accionamientos eléctricos basados en motores de inducción han sustituido a los sistemas tradicionales de control, responsables de importantes pérdidas de energía en el pasado [2],[3].

Los accionamientos eléctricos han experimentado una creciente popularidad debido a la gran cantidad de beneficios que aportan a la industria; entre estos se destacan: el aseguramiento de un uso racional de los motores que prolonga su vida útil y maximiza su rendimiento en cualquier régimen de trabajo, la oferta de una amplia gama de velocidades que permite suplir todas las demandas del proceso sin recurrir a otros medios mecánicos, la reducción de potencia demandada por los motores eléctricos que incrementa la disponible para otros usos y reduce los costos de operación, las mejoras en el control operativo que garantizan rentabilidad y productividad de los procesos productivos y la considerable mejora en el rendimiento energético que implica un ahorro de energía solidario con la conservación del medio ambiente [1]. Este conjunto de beneficios ha impulsado una fuerte demanda de los accionamientos eléctricos acompañada de una evolución en los requerimientos operacionales de estos esquemas de control. En la actualidad, temas como: la minimización en las pérdidas del motor, la aplicación de técnicas de modulación, la disminución de los armónicos en las corrientes que atraviesan el devanado de la máquina, y la eliminación de algunos sensores, han llamado la atención de muchos investigadores alrededor del mundo, por esta razón varias disciplinas de la ingeniería se han involucrado con el ánimo de aclarar aspectos relacionados con esta área [4]. Colombia no es la excepción; algunos grupos de investigación pertenecientes a instituciones de educación superior han desarrollado proyectos encaminados al estudio de los accionamientos eléctricos y el efecto de los armónicos en los motores y demás cargas trifásicas [5],[6].

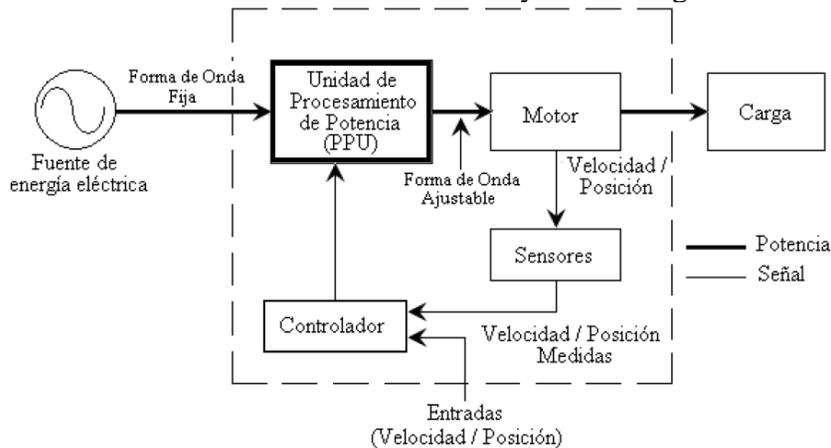


Figura 1. Esquema del accionamiento eléctrico. Fuente: [3].

El accionamiento eléctrico es un sistema que controla la velocidad y/o posición de una carga mecánica. Básicamente se compone por cuatro bloques que interactúan como se ilustra en la Figura 1.

El bloque controlador se encarga de generar las señales de control a la unidad de procesamiento de potencia (PPU) con base en la información proveniente de los sensores y las referencias de velocidad y/o posición.

El motor es el encargado de convertir la potencia eléctrica en mecánica, a fin de accionar la carga. La alternativa más común en la industria es el uso de motores de inducción trifásicos. Sus características tradicionales de: robustez, bajo costo y poco mantenimiento, sumadas a sus altas prestaciones dinámicas, soporte de sobrecargas y capacidad de desempeño en ambientes explosivos, justifican su amplia aceptación en este medio.

La PPU básicamente es una unidad convertora de potencia cuya función principal es modificar la amplitud y frecuencia del sistema de alimentación del accionamiento, en respuesta a la señal de control; para ello, en los esquemas convencionales¹, se apoya de tres procesos consecutivos: la rectificación, el filtrado y la inversión, como se ilustra en la Figura 2.

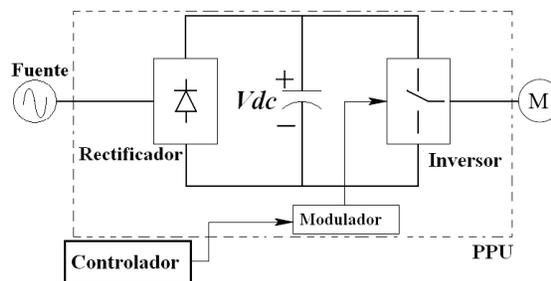


Figura 2. Sub-bloques de la PPU convencional en un accionamiento eléctrico.

En este esquema un rectificador convierte el voltaje AC en voltaje DC, posteriormente el voltaje rectificado pasa a través de un filtro pasivo y un inversor sirve de interface entre la fuente DC y el motor AC [4]. La operación de los inversores en los accionamientos eléctricos provoca una serie de inconvenientes que afectan al accionamiento, a su carga y al equipo situado a su alrededor, entre ellas:

- La interferencia electromagnética (EMI) provocada por el uso de conmutadores rápidos bajo condiciones de altas corrientes y voltajes [7].
- El ruido acústico cuando se modula en baja frecuencia, en ambientes donde se demandan bajos niveles de ruido acústico [8].
- Las pérdidas por conmutación asociadas a la frecuencia de conmutación de los interruptores en el inversor [4].
- La generación de armónicos en las corrientes de carga, asociada a la técnica de modulación que controla el inversor [9].

La generación de armónicos ha suscitado gran interés en el ambiente investigativo debido a la cantidad de impactos negativos que provoca sobre el motor, entre ellos se destacan [10], [11],[12],[13]:

- Distorsiones en la onda sinusoidal.
- Reducción del factor de potencia.
- Incremento de pérdidas en la máquina.
- Sobrecalentamientos.

¹ Existen esquemas adicionales como el convertidor AC/AC [14].

- Vibraciones.
- Incremento en el consumo de energía
- Reducción de la eficiencia y la vida útil del motor.
- Generación de pares parásitos que provocan oscilaciones electromecánicas y que reducen el par útil de la máquina.

Debido a la cantidad de inconvenientes originados por la presencia de los armónicos, este Trabajo de Grado enfrenta el problema de la generación de armónicos en la salida del inversor trifásico, definiendo los siguientes supuestos básicos:

- Despreciar la influencia de los tiempos muertos sobre el desempeño armónico.
- Considerar una representación ideal de los interruptores del inversor que no incluya efectos del tiempo finito de encendido y apagado de los interruptores ni de los voltajes de estado encendido.
- Considerar una fuente DC ideal.
- Limitar el análisis el desempeño armónico del inversor a su zona de operación lineal.

Con base en estos supuestos, es posible asegurar que el contenido armónico en las corrientes de carga del inversor puede ser inferido a partir de las señales de salida del modulador. Por esta razón, el problema definido será abordado desde la perspectiva del algoritmo de modulación empleado en el proceso de inversión. Para ello, esta tesis ha sido dividida en cinco capítulos que se presentan de la siguiente manera: En el primer capítulo se exponen y analizan los principios básicos de operación de las principales configuraciones de inversores, con el propósito de fundamentar la selección de la configuración inversora adecuada para el control de un motor de inducción trifásico en aplicaciones de baja potencia. El segundo capítulo expone los principios básicos que rigen el funcionamiento de los algoritmos de modulación PWM aplicados a inversores trifásicos dentro del esquema de accionamientos eléctricos para motores AC. En el tercer capítulo se analiza el desempeño armónico de los esquemas de modulación PWM por medio de dos índices comunes en la literatura y posteriormente se selecciona un esquema de modulación que garantiza mínimo contenido armónico en las señales de salida del inversor. En el cuarto capítulo se valida experimentalmente la superioridad del esquema de modulación seleccionado. Finalmente, en el quinto capítulo se analizan las características susceptibles de mejoramiento sobre el esquema de modulación planteado, logrando proponer un algoritmo de modulación híbrido cuyo desempeño armónico teórico y experimental supera al de los esquemas estudiados.

Capítulo 1. Inversores

De acuerdo a la teoría unificada de convertidores de Wood [15], cualquier *convertidor* electrónico de potencia puede ser visto como una *matriz de conmutadores* que conecta sus nodos de entrada a sus nodos de salida. Estos nodos pueden ser DC o AC, igualmente pueden ser inductivos o capacitivos y la potencia en ellos puede fluir en ambas direcciones. El término *convertidor* se usa cuando no existe dirección de flujo de potencia predominante y su funcionamiento está condicionado por dos restricciones fundamentadas en algunas leyes básicas de la electricidad:

- Si un grupo de nodos (entrada o salida) es inductivo, el otro grupo debe ser capacitivo, con el fin de no crear un conjunto de fuentes de voltaje o corriente al cerrar los conmutadores.
- La combinación de conmutadores abiertos y cerrados nunca deberá abrir un inductor o cortocircuitar un capacitor.

El conjunto unificado de convertidores normalmente se divide en dos subgrupos; es así como el término *rectificador* se emplea cuando predomina el flujo de potencia desde el puerto AC hacia el puerto DC y el término *inversor* se usa cuando predomina el flujo de potencia desde el puerto DC hacia el puerto AC.

Los inversores presentan un amplio rango de aplicaciones, por lo que en la actualidad se encuentran diversas topologías, dispositivos electrónicos, constituyentes y técnicas de control en su arquitectura. En este capítulo se exponen y analizan los principios básicos de operación de las principales configuraciones de inversores, con el propósito de fundamentar la selección de la configuración apropiada para la consecución de los objetivos de esta tesis. De acuerdo al carácter investigativo de este proyecto se han definido los siguientes criterios para la selección planteada:

- Manejo de cargas trifásicas AC en baja potencia.
- Flexibilidad en el control de amplitud y frecuencia de la señal de salida.
- Facilidad de modulación digital.
- Calidad de los voltajes generados.
- Utilización de un número reducido de componentes.

1.1. Aspectos Generales

Los inversores se ubican en la electrónica de potencia en el campo de la conversión de energía eléctrica y tienen como función principal la generación de una señal sinusoidal con amplitud y/o frecuencia variable a partir de fuentes DC [16]. Esta transformación de energía se realiza mediante conmutaciones continuas de un conjunto de interruptores de potencia dispuestos en grupos de dos en una o varias ramas. La secuencia de funcionamiento que siguen los interruptores viene impuesta por la técnica de modulación empleada y será la que determine la forma de la señal de salida.

Los dispositivos inversores han logrado un rápido proceso de evolución y popularización debido al progreso que han experimentado los semiconductores en aspectos como: velocidad de conmutación, pérdidas por conducción y facilidad de manejo. Por otro lado, el auge experimentado en el campo de la electrónica digital con el empleo de microcontroladores de alto rendimiento como DSPs² y ASICs³ ha permitido que los inversores modernos ofrezcan un alto nivel de tecnología e inteligencia dentro del proceso de modulación[4],[16].

Actualmente, existe un gran número de aplicaciones que involucran el uso de inversores, entre las más usuales se pueden citar: sistemas de alimentación ininterrumpida (UPS), sistemas de recuperación de energía rotórica de motores, sistemas de alimentación fotovoltaica, generadores eólicos, repetidores, domótica, sistemas móviles, plantas de control y vehículos en general, entre otras [17],[18]. Sin embargo, el desarrollo de los inversores se ha visto fuertemente impulsado gracias a su aplicación más común: el control de velocidad, par y posición de los motores de inducción [9]. Con el paso del tiempo, los inversores han llegado a sustituir a los tradicionales reductores mecánicos dentro del área de los motores, con indudables ventajas con respecto a éstos: mejor rendimiento, ausencia de elementos mecánicos de desgaste, disminución de vibraciones, mayor versatilidad en el control, etc [16].

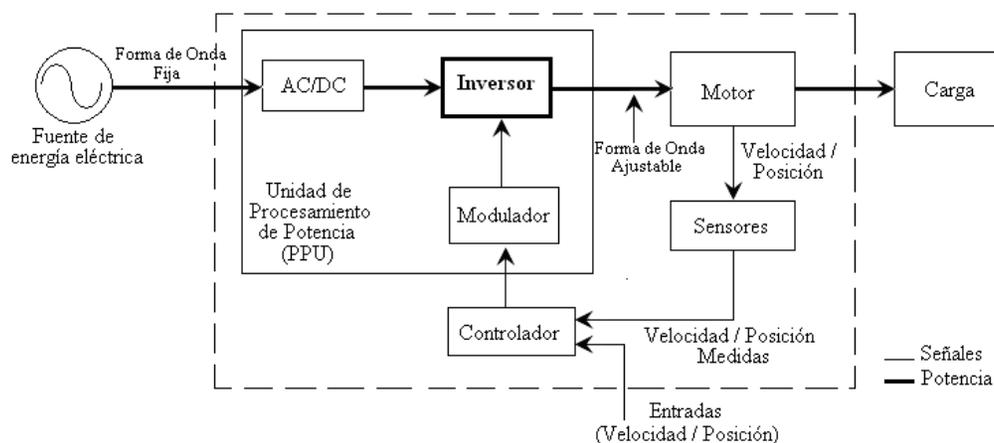


Figura 1-1. Inversor dentro del diagrama de bloques de un accionamiento eléctrico.

² Digital Signal Processor

³ Application Specific Integrated Circuits

La Figura 1-1, muestra la ubicación del inversor dentro del esquema de un accionamiento eléctrico. En este esquema de control, el inversor funciona como un actuador que se encarga de suministrar al estator del motor los voltajes con la amplitud y frecuencia establecidas por el bloque controlador.

1.2. Clasificación de los inversores

Los principales aspectos a definir en el estudio de un sistema inversor son:

- La fuente de alimentación.
- La topología adoptada.
- La técnica de control empleada.
- Los dispositivos semiconductores de potencia utilizados como interruptores, junto con los correspondientes circuitos de disparo o *drivers* [17].

Una clasificación de los inversores, con base en estos aspectos, se muestra en la Tabla 1-1.

Criterio	Clasificación	
Señal de Entrada	Alimentados con Fuente de Voltaje (VSI - <i>Voltage Source Inverter</i>)	
	Alimentados con Fuente de Corriente (CSI - <i>Current Source Inverter</i>)	
Etapas de Potencia (Topología)	Dos Niveles	Medio Puente
		Push Pull
		Puente Completo
	Multinivel	Diode Clamped (DCI)
		Condensadores Flotantes
		Convertidores Monofásicos en cascada
Técnica de modulación	No modulados o de onda cuadrada	
	Modulados	
Dispositivo interruptor	IGBT	
	MOSFET	

Tabla 1-1. Clasificación de los Inversores.

La exposición de las configuraciones del inversor se abordará a partir de la clasificación presentada.

1.2.1. Clasificación de los inversores según su señal de entrada

En función de las características de la señal de entrada, los inversores se pueden clasificar en: inversores alimentados con fuente de corriente (**CSI**) e inversores alimentados con fuente de voltaje (**VSI**).

En un inversor VSI la fuente de entrada tiene un comportamiento equivalente al de una fuente de voltaje ideal; generalmente, se utiliza un capacitor como elemento de almacenamiento de energía, el cual en estado estable se puede considerar como una fuente de tensión DC (ver Figura 1-2b)) [19]. Para el caso de un inversor CSI la señal de entrada se puede aproximar a una fuente de corriente (ver Figura 1-2a)).

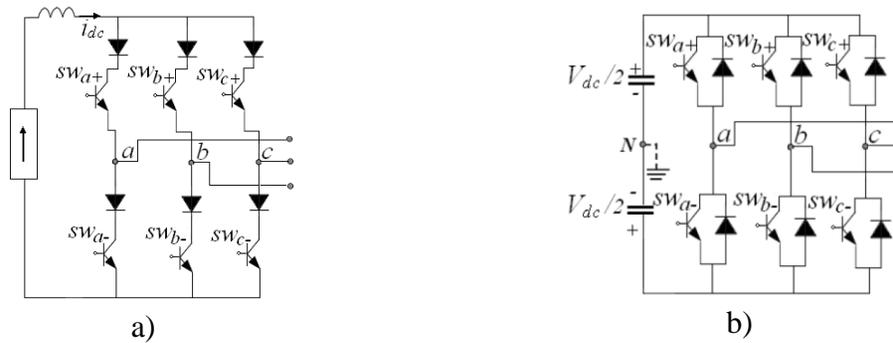


Figura 1-2. Esquemas del inversor trifásico según su señal de entrada. a) CSI b) VSI. Fuente: [13].

El inversor CSI resulta ser más robusto [20], aunque también es más costoso de implementar y su aplicación principal son los sistemas de *alta potencia* [21]. Tienen una gran ventaja, ya que pueden devolver energía a la red si la fuente de corriente se construye con una bobina y un rectificador controlado [18]. Por su parte, el inversor VSI presenta menores pérdidas, es óptimo para aplicaciones de *mediana y baja potencia* [22] y es más económico, razón por la que la mayoría de equipos disponibles comercialmente utilizan este tipo de inversor [23].

Aunque existen algunas aplicaciones donde la alimentación la proporciona una batería, u otro tipo de fuente continua, un inversor VSI generalmente está alimentado por un rectificador; cuando se trata de aplicaciones regenerativas con énfasis en eficiencia de energía y con manejo de altos niveles de potencia el rectificador es controlado (ver Figura 1-3).

En accionamientos eléctricos con motores de inducción, es muy frecuente encontrar VSI's alimentados con un rectificador común, el cual convierte los voltajes de línea trifásicos AC en voltaje DC; posteriormente una etapa de filtrado pasivo se encarga de eliminar el rizado generado en la etapa de rectificación (ver Figura 1-4) [4]. En algunos casos se pueden encontrar esquemas en donde un inductor (reactor DC) se inserta en serie con el rectificador, con el fin de reducir el contenido armónico tanto en la línea AC como en el capacitor de enlace DC.

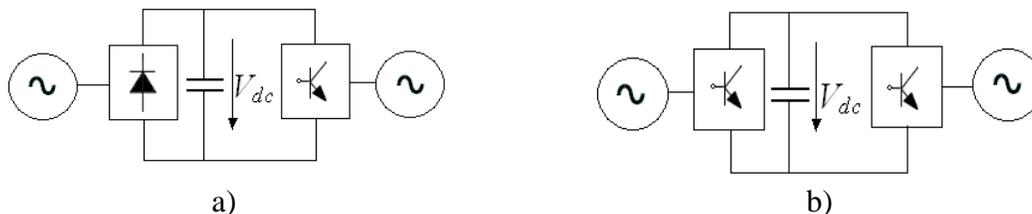


Figura 1-3. Alimentación del VSI a) Esquema de rectificador común b) Esquema de rectificador controlado. Fuente: [18].

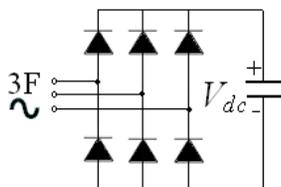


Figura 1-4. Rectificador Trifásico común.

Para lograr a la salida del inversor VSI una señal bipolar es necesario utilizar una fuente DC dual. La alternativa más común es colocar en paralelo con la entrada de tensión dos condensadores del mismo valor conectados en serie. Como resultado, se obtienen dos fuentes de tensión a la mitad del voltaje de entrada, como se muestra en la Figura 1-5.

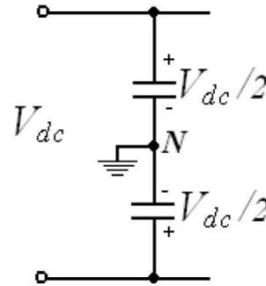


Figura 1-5. Fuente dual para inversores VSI.

1.2.2. Clasificación de los inversores según la etapa de potencia

Según la etapa de potencia se pueden diferenciar dos tipos de inversores: los de dos niveles y los multinivel.

1.2.2.1. Inversores de dos niveles

Existen tres configuraciones básicas para los inversores de *dos niveles* a partir de las cuales se deducen todas las demás:

- Inversor en medio puente.
- Inversor Push- Pull.
- Inversor en puente completo.

El inversor en *medio puente* se considera la estructura básica de cualquier topología inversora [24] por lo tanto esta configuración se describirá con más detalle con el fin de establecer los principios de funcionamiento de las tres configuraciones en dos niveles.

1.2.2.1.1. Inversor en medio puente

Un inversor en medio puente se compone de una fuente de voltaje dual y dos interruptores controlados ubicados en una rama junto con sus diodos en antiparalelo tal y como se muestra en la Figura 1-6a). Dentro de esta configuración se pueden obtener dos estados de los interruptores como se muestran en la Tabla 1-2.

Estados \ Interruptores	SW_a	
	+	-
0	OFF	ON
1	ON	OFF

Tabla 1-2. Estados de un inversor monofásico medio puente.

En la Tabla 1-2, el signo ‘+’ representa el interruptor superior de la rama correspondiente y el signo ‘-’ representa el interruptor inferior. Por su parte, el estado *ON* indica que el interruptor asociado está en la zona de saturación o estado de conducción y el estado *OFF* indica un estado de corte o no conducción.

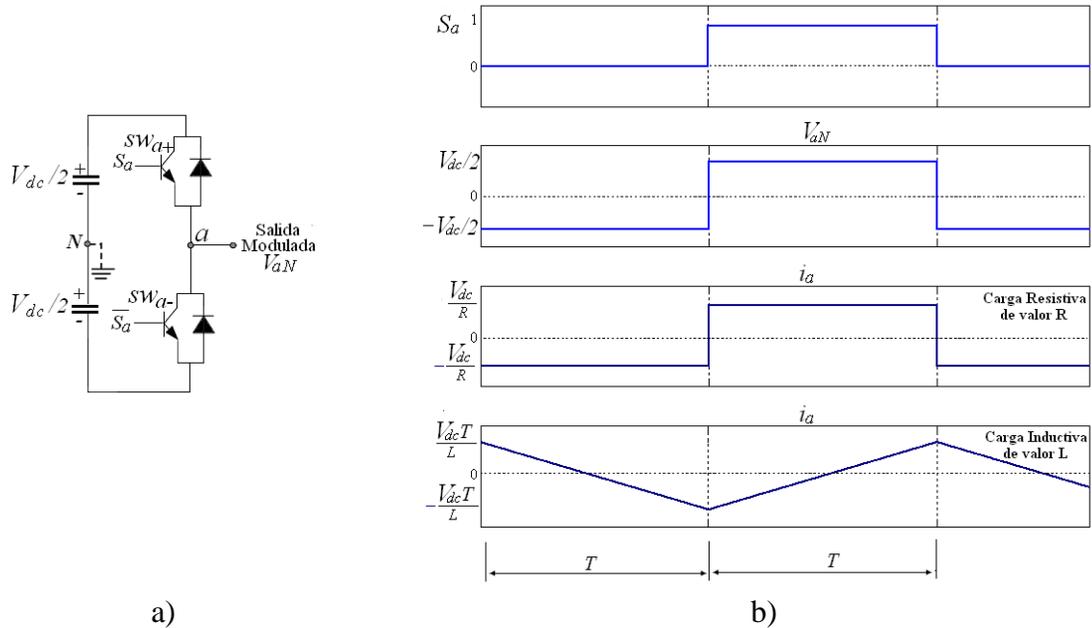


Figura 1-6. Inversor monofásico medio puente a) Diagrama circuital b) Formas de onda correspondientes.

En la Figura 1-6a), s_a y \bar{s}_a son las señales lógicas de control de los interruptores sw_{a+} y sw_{a-} respectivamente. Estas señales son complementarias y provienen del modulador. Mientras s_a esté en su estado *alto*, el interruptor sw_{a+} permanece cerrado, haciendo que el voltaje V_{aN} en la salida sea $\frac{V_{dc}}{2}$. De igual forma, cuando \bar{s}_a está en su estado *alto*, el interruptor sw_{a-} permanece cerrado provocando que el voltaje V_{aN} en la salida sea $-\frac{V_{dc}}{2}$ (ver Figura 1-6b)). De esta manera se genera en la salida la señal modulada de voltaje V_{aN} , con valor medio y frecuencia media controlados por las señales s_a y \bar{s}_a .

Debido al control que se realiza sobre los valores medios de las señales de salida del inversor, se dice que la conversión de energía realizada en este dispositivo se basa en un *enfoque de promedios*.

Con el fin de evitar que conduzcan simultáneamente ambos interruptores y se produzcan cortocircuitos en la rama, se adiciona un tiempo muerto o retraso Δt entre la señal de apagado de un interruptor y la de encendido del otro. Las formas de onda con los tiempos muertos correspondientes se ilustran en la Figura 1-7. En adelante con el fin de facilitar el análisis, el efecto de los tiempos muertos sobre las formas de onda no será tomado en cuenta.

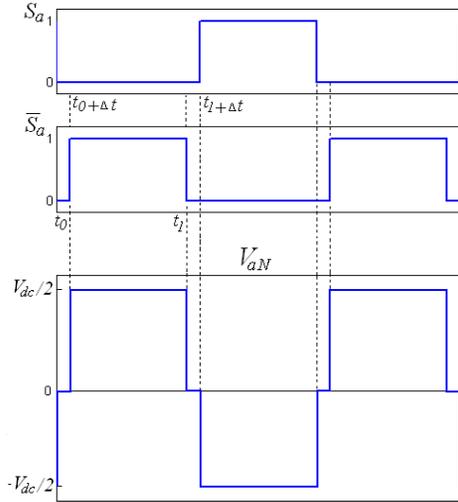


Figura 1-7. Formas de onda con tiempo muerto en un Inversor monofásico medio puente. Fuente: [18].

Cuando la carga conectada al inversor es resistiva, la forma de la señal de corriente i_a en la salida es la misma que la de tensión con la escala correspondiente. Sin embargo, cuando la carga es inductiva como en el caso de un motor, la forma de la señal de corriente cambia y presenta un desfase con respecto a la señal de tensión [16] (ver Figura 1-6b)). Esta situación permite que el inversor opere en los cuatro cuadrantes presentados en la Figura 1-8b). Para describir con más detalle este caso, se presentan las etapas de conducción con base en la Figura 1-8a):

Etapa 1: Corresponde al intervalo $[t_0 - t_1]$ y su diagrama de conducción se presenta en la Figura 1-9a). En esta etapa el interruptor sw_{a-} está en su estado de conducción, por lo que la tensión de salida V_{aN} es negativa y la corriente es positiva, por lo tanto, el diodo d_{a-} es habilitado para que circule la corriente a través de él. En este caso se opera en el cuadrante 2.

Etapa 2: Corresponde al intervalo $[t_1 - t_2]$ y su diagrama de conducción se presenta en la Figura 1-9b). El interruptor sw_{a-} continúa en su estado de conducción, por lo tanto la tensión de salida V_{aN} es negativa al igual que la corriente, la cual circula a través del interruptor sw_{a-} . En este caso se opera en el cuadrante 3.

Etapa 3: Corresponde al intervalo $[t_2 - t_3]$ y su diagrama de conducción se presenta en la Figura 1-9c). Ahora, el interruptor sw_{a+} pasa a su estado de conducción provocando que la tensión de salida V_{aN} sea positiva mientras la corriente es negativa y circula a través del diodo d_{a+} . En este caso se opera en el cuadrante 4.

Etapa 4: Corresponde al intervalo $[t_3 - t_4]$ y su diagrama de conducción se presenta en la Figura 1-9d). El interruptor sw_{a+} continúa en conducción por lo tanto la tensión de salida V_{aN} es positiva al igual que la corriente la cual circula a través del interruptor sw_{a+} . En este caso se opera en el cuadrante 1.

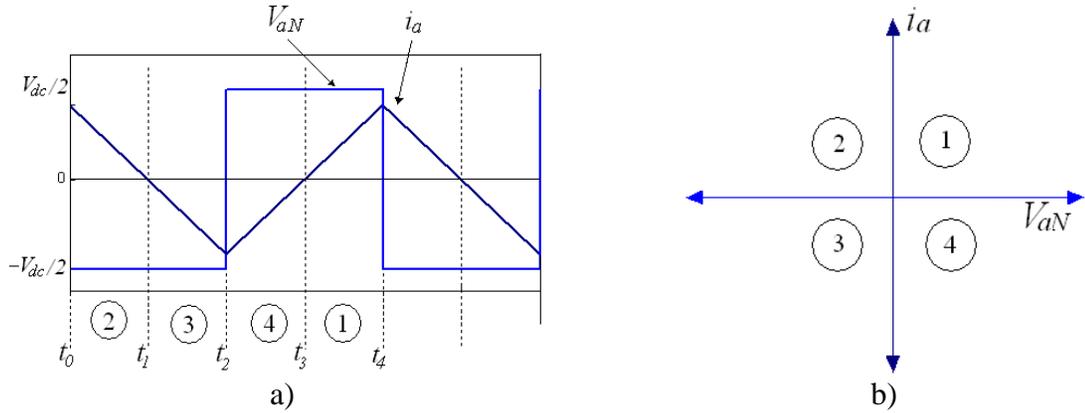


Figura 1-8. Evolución de la corriente en cargas inductivas a) Forma de onda. b) Cuadrantes del inversor.

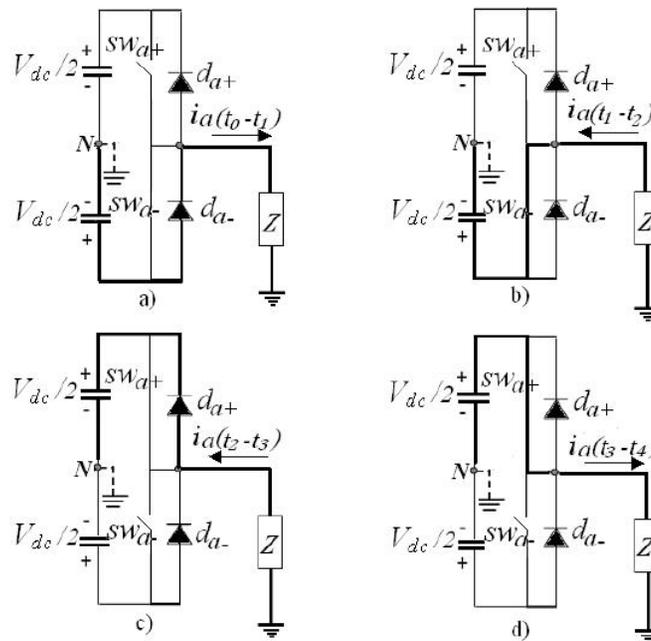


Figura 1-9. Circuitos equivalentes durante los intervalos de conducción. a) Intervalo $t_0 - t_1$. b) Intervalo $t_1 - t_2$. c) Intervalo $t_2 - t_3$. d) Intervalo $t_3 - t_4$. Los conmutadores han sido representados como interruptores ideales.

1.2.2.1.2. Inversor Push-Pull

El inversor *Push-pull* es una topología que emplea dos interruptores controlados y un transformador con toma media en el primario (ver Figura 1-10), para obtener una onda cuadrada AC. Al igual que en el inversor medio puente la conmutación de los interruptores se controla con señales complementarias; de este modo, con sw_{a+} en estado de saturación, se aplica una tensión en el semidevanado inferior del primario del transformador que induce una tensión de salida positiva. Cuando sw_{a-} entra en saturación, se aplica tensión en el semidevanado superior del transformador que induce una tensión de salida negativa; de esta manera se obtiene la señal de salida V_{aN} de amplitud $\pm \frac{V_{dc}}{2}$, cuya forma de onda es similar a la obtenida en un inversor en medio puente.

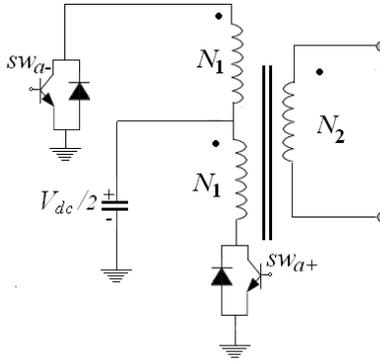


Figura 1-10. Inversor Push-Pull

1.2.2.1.3. Inversor en puente completo

En la configuración inversora *puente completo* se pueden distinguir dos conexiones:

- Puente completo monofásico.
- Puente completo trifásico.

Inversor puente completo monofásico

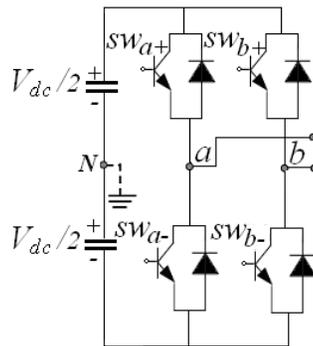


Figura 1-11. Inversor monofásico puente completo.

El inversor *puente completo* monofásico se compone de cuatro interruptores agrupados en dos ramas: La rama *a* formada por los interruptores sw_{a+} y sw_{a-} y la rama *b* formada por los interruptores sw_{b+} y sw_{b-} (ver Figura 1-11). La carga se conecta entre los terminales *a* y *b*, y las señales de control de cada rama presentan un desfase de 180°. Al disponer de cuatro interruptores es posible obtener cuatro combinaciones de estados que se resumen en la Tabla 1-3. Esta característica permite mayor flexibilidad de control, en comparación con las topologías descritas anteriormente.

Interruptores Estados	SW_a		SW_b	
	+	-	+	-
0	OFF	ON	OFF	ON
1	OFF	ON	ON	OFF
2	ON	OFF	OFF	ON
3	ON	OFF	ON	OFF

Tabla 1-3. Estados de un inversor monofásico puente completo.

El principio de funcionamiento de este inversor es igual al de un inversor en medio puente. Teniendo en cuenta que el esquema de un inversor monofásico puente completo consta de dos ramas, se obtendrán dos salidas moduladas V_{aN} y V_{bN} de amplitud $\pm \frac{V_{dc}}{2}$, desfasadas entre si 180° . Por lo tanto, el voltaje en la carga V_{ab} será una señal de tres valores: $V_{dc}, 0, -V_{dc}$.

Inversor en puente completo trifásico

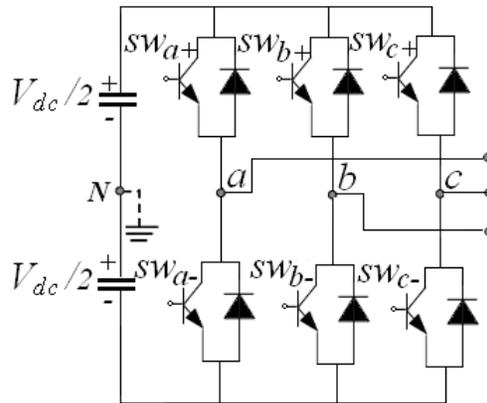


Figura 1-12. Inversor Trifásico puente completo.

Un inversor en *puente completo* trifásico está compuesto por seis interruptores dispuestos en tres ramas como se ilustra en la Figura 1-12. En este caso la carga se conecta entre los puntos *a*, *b* y *c*.

Con esta configuración se dispone de ocho combinaciones de estados posibles (Tabla 1-4) por lo tanto cuenta con una mayor flexibilidad de control que en el inversor monofásico de puente completo.

Estados \ Interruptores	SW _a		SW _b		SW _c	
	+	-	+	-	+	-
0	OFF	ON	OFF	ON	OFF	ON
1	ON	OFF	OFF	ON	OFF	ON
2	ON	OFF	ON	OFF	OFF	ON
3	OFF	ON	ON	OFF	OFF	ON
4	OFF	ON	ON	OFF	ON	OFF
5	OFF	ON	OFF	ON	ON	OFF
6	ON	OFF	OFF	ON	ON	OFF
7	ON	OFF	ON	OFF	ON	OFF

Tabla 1-4. Estados de un inversor trifásico puente completo.

Para la operación de este inversor, es necesario el desfase de 120° de las señales de control de cada rama con respecto a las demás, con el fin de conseguir una tensión equilibrada a la salida. El principio de funcionamiento de este tipo de inversor es igual al de un inversor en medio puente. Teniendo en cuenta que el esquema de un inversor trifásico puente completo consta de tres ramas, se obtendrán tres salidas moduladas: V_{aN} , V_{bN} y V_{cN} de amplitud $\pm \frac{V_{dc}}{2}$, desfasados entre si 120° .

1.2.2.2. Inversores Multinivel

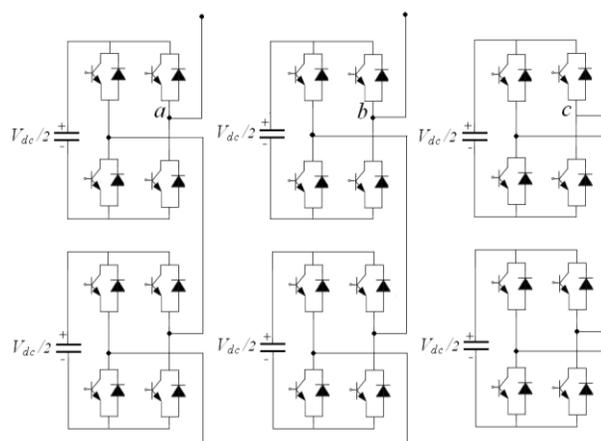


Figura 1-13. Inversor trifásico Multinivel; topología de inversores de puente completo en cascada. Fuente: [24].

Los inversores multinivel alimentados con fuente de tensión, surgen con el fin de obtener mayores potencias y mejor calidad en la forma de onda de salida del inversor. Estas propiedades los hacen aptos para la industria, adquiriendo especial importancia en aplicaciones de *alta potencia* [17].

Las tres topologías de inversores multinivel más extendidas y desarrolladas son: DCI (*Diode Clamped Inverters*), de capacitores flotantes e inversores de puente completo en cascada. Sin embargo, en publicaciones recientes se han encontrado otras topologías adicionales como: la generalizada [25], la topología de celdas híbridas asimétricas [26] y los inversores multinivel de conmutación suave [27]. Entre éstas, la topología más popular en aplicaciones industriales es la de inversores de puente completo en cascada [25].

En ella, varios inversores monofásicos en puente completo se conectan en serie con fuentes de alimentación independientes, tal y como se muestra en la Figura 1-13; la carga se conecta entre los puntos *a*, *b* y *c*.

Este tipo de inversores no sólo presentan la capacidad de incrementar la magnitud de la tensión de salida aumentando la eficiencia del convertidor sino que además, reducen el contenido armónico de la tensión y de la corriente de salida. Así mismo, permiten disminuir la frecuencia de conmutación y la tensión soportada por cada dispositivo semiconductor de potencia [17]. A pesar de las múltiples ventajas que ofrece esta configuración, su control es bastante complejo, debido a la cantidad de interruptores que posee su arquitectura [25].

1.2.3. Clasificación de los inversores según el tipo de control

Los inversores se pueden clasificar de acuerdo a su tipo de control en: inversores de onda cuadrada (no modulados) e inversores modulados [16].

1.2.3.1. Inversores no modulados

El modo de operación de los inversores no modulados se denomina *Six-Step*, y por su importancia en el análisis de las técnicas de modulación PWM se explicará con más detalle en el Capítulo 2. Las características básicas de este tipo de inversor se pueden resumir en la siguiente lista:

- La señal fundamental de salida es una onda cuadrada, por lo que el contenido armónico es muy elevado y el filtrado es complejo.
- Los pulsos de la señal fundamental de salida no son modulados por lo que el ancho de los mismos es igual.
- Esta configuración brinda la mayor eficiencia en la conversión al disponer de 78% del voltaje de bus DC en las señales línea a línea de salida.
- La frecuencia de conmutación es muy baja, lo que lo hace apto para aplicaciones de alta potencia en donde se requiere minimizar pérdidas por conmutación.
- La frecuencia de la señal de salida es la mitad de la frecuencia de conmutación de los interruptores.
- La tensión que soportan los interruptores es el doble de la amplitud de la señal cuadrada de salida.
- El intervalo de conducción de los conmutadores de la misma rama es igual en cada periodo [16].

1.2.3.2. Inversores modulados

Actualmente existen gran variedad de técnicas de modulación en el control de inversores, sin embargo, las técnicas de modulación por ancho de pulso (**PWM -Pulse Width Modulation**) se han convertido en la más populares dentro del área del control de motores AC. La modulación por ancho de pulso (PWM) es una técnica empleada en la conversión de energía, que deriva sus bases del área de las telecomunicaciones [9]. Esta técnica consiste en modificar el ancho de un tren de pulsos (de voltaje o corriente) con base en la información original de una señal de referencia. Por lo tanto, en los inversores modulados mediante PWM las señales generadas no son senoidales puras, se trata de un tren de pulsos de ancho variable en donde el valor medio de cada pulso corresponde al valor que tomaría una señal de referencia en el tiempo. Para implementar la modulación PWM, existen dos enfoques: Modulación PWM basada en portadora (CB-PWM) y Modulación PWM basada en vectores espaciales (SV-PWM).

1.2.4. Clasificación de los inversores según el dispositivo de potencia.

Esta clasificación se basa en el interruptor de potencia utilizado en el circuito principal del inversor. Cualquier configuración inversora consta de un determinado número de conmutadores semiconductores de potencia que pueden ser: Transistores BJT, Tiristores, MOSFETs, IGBT, GTOs, IGCTs, etc. Cada uno de ellos da un nombre diferente al inversor, siendo los más comunes para motores AC: el *inversor de MOSFET's* para bajos niveles de potencia, el *inversor de IGBT's* en rangos de potencia medios y altos, y para potencias mayores el *inversor de tiristores* [3]. Estos dispositivos semiconductores de potencia se especifican por las siguientes características:

- Rango de voltaje: Es el máximo voltaje que puede ser aplicado a un dispositivo en su estado de *apagado*. Más allá de este voltaje el dispositivo sufre un daño irreversible.

- Rango de corriente: Es la corriente máxima que un dispositivo puede portar; más allá de esta corriente, el sobrecalentamiento excesivo dentro del dispositivo destruye el semiconductor.
- Velocidad de conmutación: Son las velocidades a las cuales el dispositivo puede realizar una transición desde su estado de *encendido* hacia su estado de *apagado* o viceversa.
- Voltaje de estado *encendido*: Es la caída de voltaje en los terminales del dispositivo durante su estado de encendido mientras está conduciendo corriente. (La medida de este voltaje es proporcional a la pérdida de potencia en estado *encendido*).

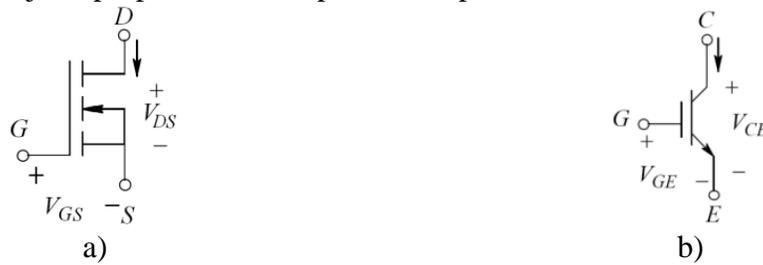


Figura 1-14. Símbolos de los conmutadores de potencia a) MOSFET. b) IGBT. Fuente: [3].

En aplicaciones de voltajes por debajo de los 200 V y máximas frecuencias de conmutación de 50 KHz es clara la preferencia de los MOSFET (ver Figura 1-14a), debido a sus bajas pérdidas de estado *encendido*, sus altas velocidades de conmutación y su facilidad de control [3]. Por otro lado, el IGBT (ver Figura 1-14b)) combina la facilidad de control del MOSFET con bajas pérdidas de estado *encendido* aún en presencia de altos rangos de voltaje. Sus velocidades de conmutación son suficientes para aplicaciones de frecuencia de conmutación de 30 KHz. Por estas razones son empleados en altos rangos de potencia desde fracciones de kilovatio hasta los megavatios [3].

Como se mencionó en la sección 1.2.2.1.1 cualquier esquema inversor requiere del uso de diodos de potencia conectados en antiparalelo para posibilitar un conmutador bidireccional en corriente. Estos diodos deben ser dispositivos de rápida conmutación y en la actualidad están disponibles en rangos de voltaje desde kilovoltios y rangos de corriente de kiloamperios. La caída de voltaje en estado de encendido es normalmente del orden de 1 voltio.

Los conmutadores y diodos de potencia se complementan con el *driver* necesario para comunicar la señal de control proveniente del modulador con estos dispositivos (ver Figura 1-15). Estos circuitos contienen una etapa de aislamiento eléctrico entre la señal de control y la etapa de potencia además de varios componentes pasivos y activos. En la actualidad, existen módulos “*smart power*” también llamados: módulos integrados de potencia (PIMs), que contienen el circuito driver y en ocasiones combinan más de un conmutador, implementando funciones de protección y diagnóstico. Estos módulos simplifican en gran parte el diseño de la etapa de potencia del circuito inversor [3].

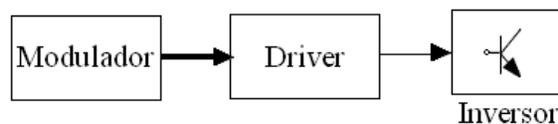


Figura 1-15. Esquema de conexión de Driver de comunicación.

1.3. Proceso de selección

En esta sección se describe el proceso mediante el cual se selecciona la configuración inversora adecuada para el desarrollo de este proyecto.

A partir de la investigación realizada y con base en los criterios establecidos se descartan las siguientes topologías inversoras:

- **Etapa de potencia.** Debido a que su configuración no es apta para manejar cargas trifásicas se descartan: configuración medio puente, push-pull y puente completo monofásico.
- **Técnica de modulación.** Al no permitir opciones de control sobre la amplitud del voltaje generado se descartan los inversores no modulados.
- **Dispositivo interruptor.** Por su preferencia en rangos de potencia altos se descartan: el inversor de IGBT's y el inversor de tiristores.

Por tanto, la selección final se realiza a partir de las siguientes variaciones:

- VSI dos niveles puente completo trifásico.
- CSI dos niveles puente completo trifásico.
- VSI multinivel trifásico.
- CSI multinivel trifásico.

Todos bajo esquemas de modulación PWM y basados en inversores de MOSFET's.

A partir de la información presentada, cada configuración es calificada cuantitativamente con respecto a cada uno de los criterios establecidos. Los valores de calificación definidos son:

- 1: La topología no cumple con el criterio de selección.
- 2: La topología cumple parcialmente con el criterio de selección.
- 3: La topología cumple satisfactoriamente con el criterio de selección.

Criterio	a	b	c	d	e	Promedio
Topología						
VSI de dos niveles	3	2	3	2	3	2,6
VSI multinivel	2	3	1	3	1	2
CSI de dos niveles	2	2	3	2	3	2,4
CSI multinivel	1	3	1	3	1	1,8

Tabla 1-5. Calificación de las configuraciones inversoras.

- a:** Manejo de cargas trifásicas en *baja potencia*.
b: Flexibilidad en el control de voltaje.
c: Facilidad de modulación digital.
d: Calidad de los voltajes generados.
e: Utilización de un número reducido de componentes

La Tabla 1-5 presenta los resultados del proceso de selección, donde la topología VSI de dos niveles trifásica bajo un esquema modulado PWM y basada en MOSFET's obtuvo la más alta calificación.

1.4. Conclusiones

En este capítulo se presentó una descripción de los principios básicos de operación de los inversores más comunes en accionamientos eléctricos. La presentación se basó en cuatro características principales: señal de entrada, etapa de potencia, técnica de modulación y dispositivo interruptor. En cada una de estas características se incluyeron los principios de funcionamiento, constituyentes y aplicaciones comunes. Con base en esta descripción se realizó un proceso de selección de la configuración inversora más adecuada para una aplicación trifásica en baja potencia que requiera: flexibilidad en el control del voltaje, facilidad de modulación digital, calidad de los voltajes generados y reducido número de componentes. La configuración seleccionada es la presentada en la Tabla 1-6.

Señal de entrada	Voltaje (VSI)
Topología	Dos niveles con conexión trifásica en puente completo
Técnica de modulación	Modulación PWM
Dispositivo interruptor	MOSFET.

Tabla 1-6. Configuración inversora escogida.

Capítulo 2. Modulación PWM

En aplicaciones del motor de inducción donde se requiere operación a velocidades variables, la fuente de potencia debe suministrar voltajes con amplitud y frecuencia también variables; la solución más común para el accionamiento del motor es el uso de *inversores*. Como se expuso en el Capítulo 1, en accionamientos eléctricos de baja potencia una topología adecuada es el *inversor trifásico VSI de dos niveles en puente completo* de la Figura 2-1 [16],[17].

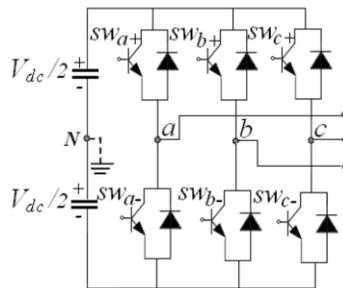


Figura 2-1. Inversor trifásico VSI de dos niveles en puente completo.

Actualmente existe gran variedad de técnicas de modulación utilizadas en el control de estos inversores; una técnica empleada es la modulación por ancho de pulso (**PWM** - *Pulse Width Modulation*); dentro de esta técnica, se han propuesto diversos algoritmos de modulación, cada uno pretendiendo mejorar alguna característica dentro del proceso, por ejemplo: las pérdidas por conmutación, la eficiencia de la conversión o el contenido armónico presente en la onda de salida. En los accionamientos eléctricos, esta última característica es de gran importancia debido a la cantidad de efectos indeseables que provocan las señales armónicas al atravesar los devanados del motor. En la década del 60, Schönung y Stemmler [28] plantean que el contenido armónico en la operación del inversor puede ser mejorado significativamente realizando una modulación en función de una señal sinusoidal y proponen el algoritmo de modulación PWM sinusoidal (**SPWM**-*sinusoidal PWM*); a partir de entonces se inicia el desarrollo de los algoritmos PWM modernos [4].

En este capítulo, se exponen los principios básicos que rigen el funcionamiento de los moduladores PWM modernos aplicados a inversores trifásicos dentro del esquema de accionamientos eléctricos para motores AC. La descripción teórica se centra en el proceso de modulación y se apoya con resultados de simulación para permitir un mejor entendimiento del proceso de modulación.

2.1. Fundamentos de la modulación PWM

Las técnicas de modulación PWM se basan en el principio de balance voltio-segundo. Según este principio, el ciclo de trabajo del tren de pulsos generado está determinado por el voltaje con amplitud y frecuencia deseada a la salida del inversor. Existen dos enfoques para la implementación de la modulación PWM:

- Modulación PWM basada en portadora (CB-PWM).
- Modulación PWM basada en vectores espaciales (SV-PWM).

2.1.1. Modulación PWM basada en portadora (CB-PWM)

Para ilustrar el principio de funcionamiento de la técnica PWM basada en portadora obsérvese el diagrama de la Figura 2-2, que corresponde a la fase *a* del inversor trifásico. En la Figura, las señales de activación de los interruptores superior e inferior, S_a y \overline{S}_a respectivamente, se obtienen mediante la comparación entre las amplitudes de una señal de alta frecuencia denominada *portadora* y una señal de baja frecuencia denominada *moduladora* o *de referencia*. Para el cálculo de las señales S_a y \overline{S}_a es suficiente un único proceso de comparación puesto que éstas son complementarias. Al considerar el inversor trifásico, son necesarias 3 comparaciones simultáneas, una para cada fase como se muestra en la Figura 2-3.

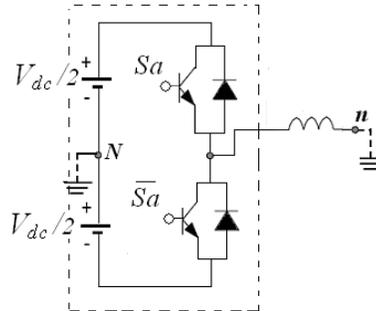


Figura 2-2. Fase *a* de un inversor trifásico VSI de dos niveles en puente completo.

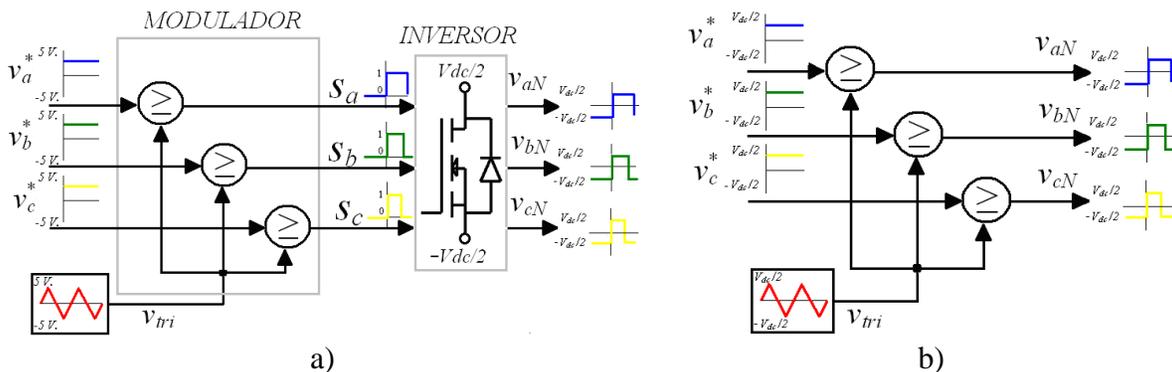


Figura 2-3. Esquema de modulación trifásico PWM basado en portadora. a) Diagrama de bloques. b) Esquema normalizado.

En la Figura 2-3a), las señales de entrada del bloque *modulador* son el conjunto trifásico de moduladoras v_a^* , v_b^* , v_c^* y la señal portadora v_{tri} ; la salida está compuesta por las señales lógicas de compuerta de los interruptores: S_a , S_b y S_c . El bloque *inversor* toma como señal de entrada al conjunto S_i ($i = a, b, c$), y entrega a la salida un tren de pulsos $v_{iN}(t)$ con amplitud $\pm \frac{V_{dc}}{2}$ y ancho variable.

Como se verá más adelante, el ancho de los pulsos en la señal de salida debe variar de tal manera que su valor medio iguale la amplitud de las señales moduladoras. Por simplicidad, la descripción del proceso de modulación se realizará con base en el esquema normalizado de la Figura 2-3b) y su análisis se concentrará en la fase *a*, teniendo en cuenta que las fases *b* y *c* presentan las mismas formas de onda pero desfasadas -120° y -240° respectivamente.

2.1.1.1. La señal portadora

La señal portadora generalmente es periódica y su frecuencia está determinada por diversos criterios, tales como: el nivel de pérdidas por conmutación permitido, la velocidad de conmutación de los dispositivos semiconductores de potencia y las regulaciones de compatibilidad electromagnética vigentes [29]. La forma más común de la señal portadora es la triangular, sin embargo, otras variantes conocidas son: la diente de sierra con pendiente positiva, la diente de sierra con pendiente negativa y versiones aleatorias que varían entre las tres anteriores [9](ver Figura 2-4).

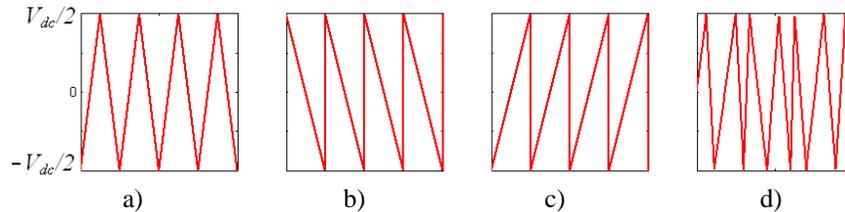


Figura 2-4. Formas de la señal portadora. a) Triangular. b) Diente sierra de pendiente negativa. c) Diente sierra de pendiente positiva d) Aleatoria.

La forma de la señal portadora define el tipo de control que se hace sobre los flancos de la señal modulada. Cuando la portadora es una diente de sierra el control del ancho de pulso se hace sobre uno de los flancos; en el caso de la pendiente negativa el control se realiza sobre el flanco de subida y los pulsos resultantes están alineados hacia la derecha, esta variación del PWM es denominada *Leading Edge PWM* (ver Figura 2-5b)) Con pendiente positiva el control se realiza sobre el flanco de bajada, y la variación se denomina *Trailing Edge PWM*; en este caso los pulsos resultantes están alineados hacia la izquierda (ver Figura 2-5c)). Cuando la portadora es triangular, en cada periodo de portadora se generan 2 intersecciones con la moduladora permitiendo el control tanto del flanco de subida como del flanco de bajada de los pulsos resultantes; esta variación se denomina *Double Edge PWM*, (ver Figura 2-5a)) [30].

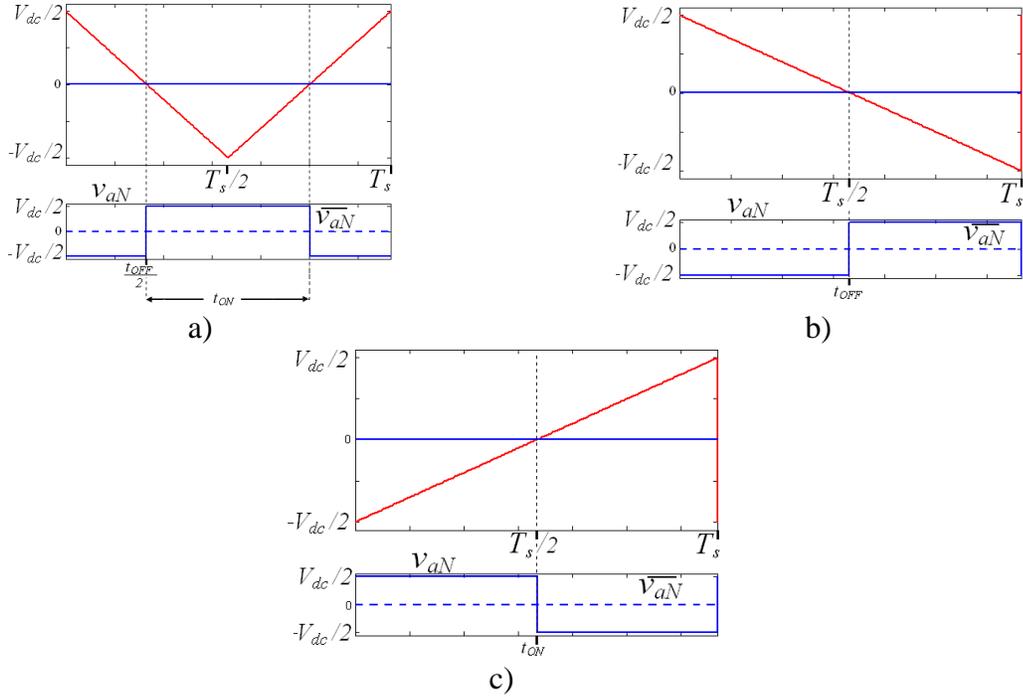


Figura 2-5. Dependencia del control de flancos en la señal modulada v_{aN} respecto a la señal portadora. a) *Double edge PWM*. b) *Leading edge PWM*. c) *Trailing edge PWM*. Los tiempos t_{ON} y t_{OFF} representan la duración del pulso en los estados $+\frac{V_{dc}}{2}$ y $-\frac{V_{dc}}{2}$ respectivamente. Fuente: [30].

2.1.1.2. La señal moduladora

La señal moduladora contiene la información de amplitud, frecuencia y fase deseadas y por esta razón se conoce también como señal de referencia. Su forma puede tomar diversos perfiles. En la ya mencionada PWM sinusoidal el conjunto de señales moduladoras v_i^* ($i = a, b, c$), corresponde al ilustrado en la Figura 2-6a). Otras formas empleadas en las aplicaciones de accionamientos eléctricos se ilustran en la Figura 2-6.

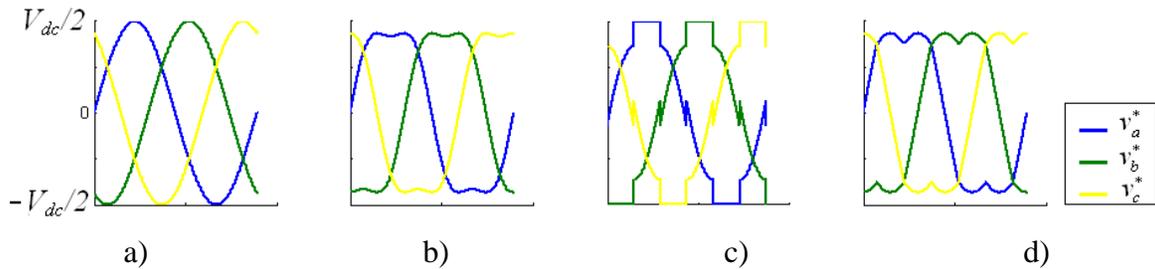


Figura 2-6. Formas de onda del conjunto de señales moduladoras v_i^* . a) Sinusoidal b) Inyección del tercer armónico, c) Discontinua d) CB-SVPWM.

Note que en la Figura 2-6 las señales de fase están desfasadas 120° y su amplitud, en el esquema normalizado, varía en el rango $\left[-\frac{v_{dc}}{2} \leq A \leq \frac{v_{dc}}{2}\right]$.

2.1.1.3. El índice de frecuencias (N)

El índice de frecuencias N relaciona la frecuencia de la señal portadora f_s con la frecuencia de la señal moduladora f_m .

$$N = \frac{f_s}{f_m} \quad (2.1)$$

Normalmente, en los accionamientos eléctricos de velocidad variable f_m varía en función de la velocidad deseada mientras f_s se mantiene constante. Esto implica que en este tipo de accionamientos el índice de frecuencias N es variable.

Un alto índice de frecuencias, permite obtener gran número de pulsos por periodo de la onda fundamental, incrementando la resolución de la modulación, ubicando a los armónicos indeseables en frecuencias altas y asegurando que su presencia no afecte considerablemente el comportamiento fundamental de la máquina; adicionalmente, al ubicar estos armónicos en altas frecuencias se facilita el diseño de los circuitos encargados de filtrarlos [1]. Por otro lado, un alto índice de frecuencias genera gran cantidad de conmutaciones de los dispositivos semiconductores por periodo fundamental incrementando las pérdidas por conmutación. Por lo tanto, el rango que pueda tomar N debe ser seleccionado cuidadosamente de acuerdo a la aplicación específica.

Cuando N toma un valor entero se habla de un *modulador sincrónico*, el cual es apropiado para aplicaciones que exigen un bajo índice de frecuencia ($N < 21$). Cuando N no es entero se habla de un *modulador asincrónico*, que se caracteriza por generar pulsos de voltaje no periódicos en la salida. Adicionalmente, el modulador asincrónico produce *sub-armónicos* a frecuencias que no son múltiplos enteros de la frecuencia moduladora; sin embargo, para valores grandes de N ($N > 21$) la amplitud de estos sub-armónicos es muy pequeña [30]. La sincronización cobra importancia en aplicaciones de alta potencia, en donde se requieren bajas frecuencias de portadora a fin de disminuir las pérdidas por conmutación. En estas aplicaciones el desempeño armónico de la modulación sincrónica es superior al de la modulación asincrónica [4].

2.1.1.4. Comparación entre la señal portadora y la moduladora.

Las señales de activación de los interruptores se generan en los instantes en que las amplitudes de la señal portadora y la señal moduladora son iguales. Estrictamente, existen dos métodos para obtener el valor de la amplitud de la señal moduladora v_i^* . De acuerdo al método empleado, el modulador puede ser clasificado como PWM natural o PWM regular.

En el esquema *PWM Natural*, la conmutación ocurre por la intersección *instantánea* entre la moduladora y la portadora. La Figura 2-7 ilustra el proceso para el caso de una portadora de forma triangular. Note como al emplear el PWM natural los centros de los pulsos generados no quedan alineados con los picos de la señal triangular lo que provoca asimetría en los pulsos resultantes.

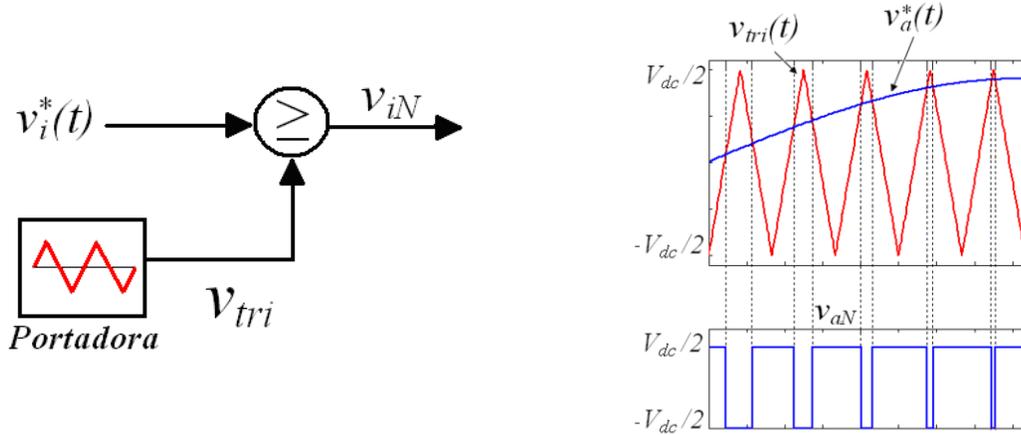


Figura 2-7. PWM de muestreo natural a) Diagrama de bloques b) Proceso de generación del tren de pulsos v_{aN} (las líneas punteadas indican las intersecciones entre moduladora y portadora).

En el caso de la *PWM uniforme* o *regular*, desarrollada a principios de los años 70' [30], la amplitud de referencia se obtiene a partir del muestreo de la señal moduladora en el instante del pico negativo o positivo de la señal portadora. Para el caso ilustrado en la Figura 2-8, la comparación se realiza entre la amplitud de la moduladora $v_a^*(t_k)$, muestreada en el instante del pico negativo de la señal portadora, y la señal portadora v_{tri} en el instante t . Esto provoca que los centros de los pulsos resultantes estén alineados con los picos negativos de la señal triangular, es decir que el eje de simetría de la señal triangular coincida con el eje de simetría del pulso generado; por esta razón, este caso de la modulación regular recibe el nombre de *PWM regular simétrico*.

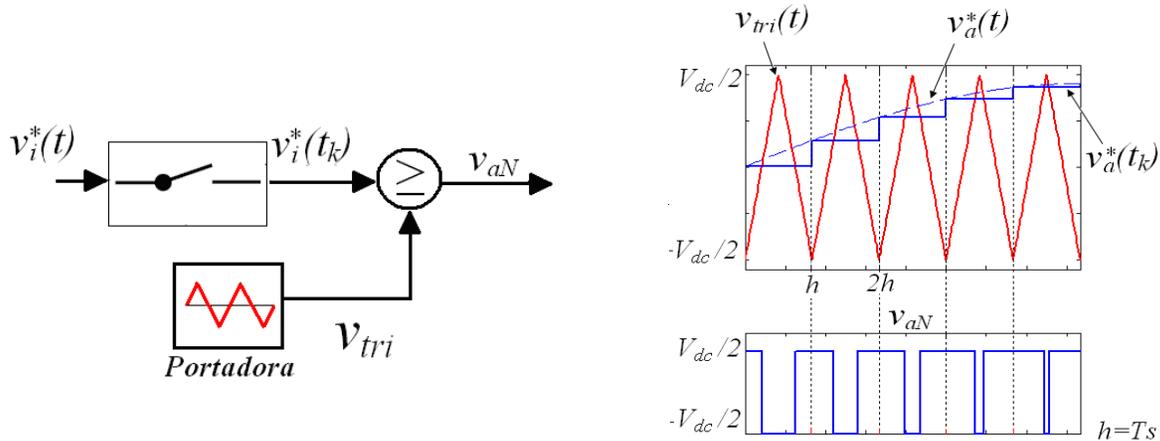


Figura 2-8. PWM de muestreo regular. a) Diagrama de bloques b) Proceso de generación del tren de pulsos v_{aN} en PWM regular simétrico, con muestreo en el instante del pico negativo de la señal portadora.

Cuando el muestreo de la señal moduladora se realiza en los instantes de los picos negativos y positivos de la señal portadora (es decir, al doble de la frecuencia portadora), los flancos de bajada y los de subida son determinados empleando muestras diferentes de la señal moduladora. En este caso se genera un tren de pulsos asimétrico, como se muestra en la Figura 2-9. Esta variación recibe el nombre de *PWM regular asimétrico*.

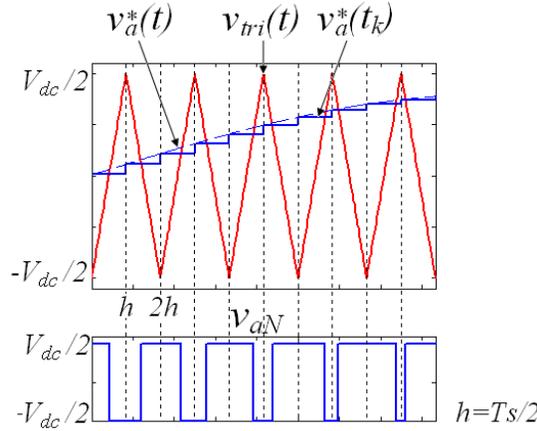


Figura 2-9. Proceso de generación del tren de pulsos v_{aN} en PWM regular asimétrico (las líneas punteadas indican los instantes de muestreo).

En comparación con la natural, la PWM regular es más apropiada para las implementaciones digitales puesto que en sus dos enfoques (simétrico y asimétrico) los instantes de subida y bajada de los flancos pueden ser calculados en tiempo real empleando ecuaciones algebraicas sencillas [1]. Adicionalmente la PWM regular se caracteriza por generar un bajo contenido armónico en el voltaje de salida del inversor, siendo comparativamente superior el producido por el PWM asimétrico [31],[32].

2.1.1.5. El principio de balance Voltio-Segundo

El objetivo fundamental de la modulación PWM es lograr que la información de amplitud de la señal moduladora esté contenida en el valor medio del tren de pulsos generado. Éste se expresa con la siguiente ecuación:

$$\overline{v_{iN}} = v_i^*, \quad (i = a, b, c) \quad (2.2)$$

En otros términos y considerando a la fase a , en un periodo de portadora el área bajo la curva de la señal de modulación v_a^* debe ser igual al área total neta de la onda PWM v_{aN} ; éste es el denominado *principio del balance voltio-segundo* [4],[33].

Considerando que en general, debido a la alta frecuencia de la señal portadora con respecto a la frecuencia de la señal moduladora, las variaciones de amplitud de la señal moduladora dentro de un periodo de portadora T_s no son significativas, es lícito suponer a la moduladora como una señal constante dentro del periodo de portadora. Entonces, según se muestra en la Figura 2-10, $A = A^*$, donde A^* es el área bajo el valor de referencia, y A es el área promedio del tren de pulsos resultante. (Nótese que en ciertos instantes de la onda PWM el área A tiene signo negativo). Esta igualdad se expresa en (2.3):

$$\frac{V_{dc}}{2} t_{ON} - \frac{V_{dc}}{2} t_{OFF} = v_a^* T_s \quad (2.3)$$

$$\frac{V_{dc}}{2} t_{ON} = \frac{1}{2} \left(\frac{V_{dc}}{2} + v_a^* \right) T_s$$

$$\frac{V_{dc}}{2} t_{OFF} = \frac{1}{2} \left(\frac{V_{dc}}{2} - v_a^* \right) T_s$$

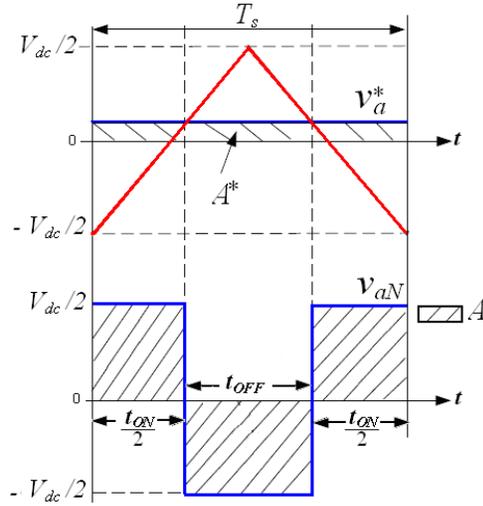


Figura 2-10. Principio Voltio-Segundo (para la fase a en un periodo de portadora T_s). Fuente: [4].

Note que las expresiones en (2.3) permiten calcular el ciclo útil del tren de pulsos en cada T_s a partir del voltaje de referencia. Por lo tanto es posible implementar la modulación PWM sin que sea realmente necesario generar una señal portadora.

2.1.1.6. El índice de modulación de amplitud (M)

Una característica importante en la modulación PWM es el nivel de utilización del bus de DC y su indicador más común es el *índice de modulación de amplitud*. Usualmente se define el índice de modulación como la amplitud de la señal moduladora, normalizada con respecto a la amplitud máxima de la portadora \hat{v}_{tri} :

$$M = \frac{A}{\hat{v}_{tri}} \quad (2.4)$$

$$= \frac{A}{V_{dc}/2}$$

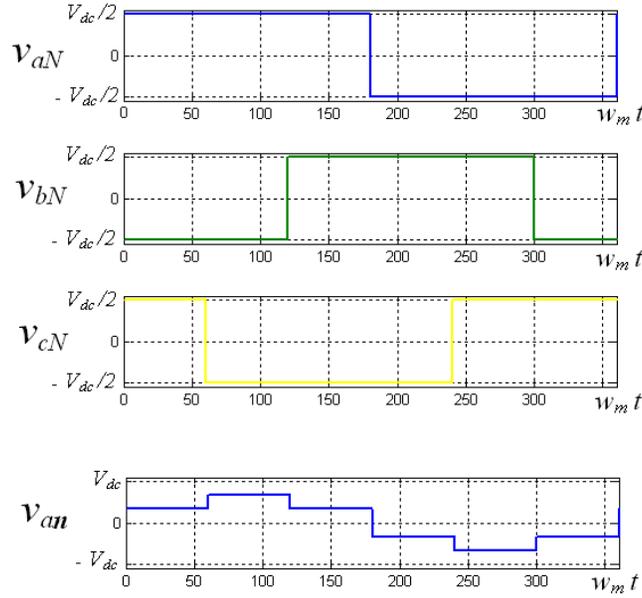
En donde A es la amplitud máxima de la señal moduladora.

Existe otra definición que toma como referencia la amplitud máxima de la componente fundamental del voltaje línea-línea de la salida del inversor en el modo *six-step* (v_{6step}).

$$M' = \frac{A}{v_{6step}} \quad (2.5)$$

Donde, $v_{6step} = \frac{2V_{dc}}{\pi}$

La importancia del modo *six-step* radica en que con esta configuración es posible obtener la máxima utilización del voltaje de bus DC, sin embargo, esta técnica solo permite controlar la frecuencia de la señal fundamental, mas no su amplitud. En este modo de operación la amplitud de v_{aN} es $\frac{V_{dc}}{2}$ durante los primeros 180° de la fundamental y $-\frac{V_{dc}}{2}$ durante los últimos 180° ; las otras dos fases operan de igual manera con la excepción de un desplazamiento de -120° y -240° , respectivamente (ver Figura 2-11).

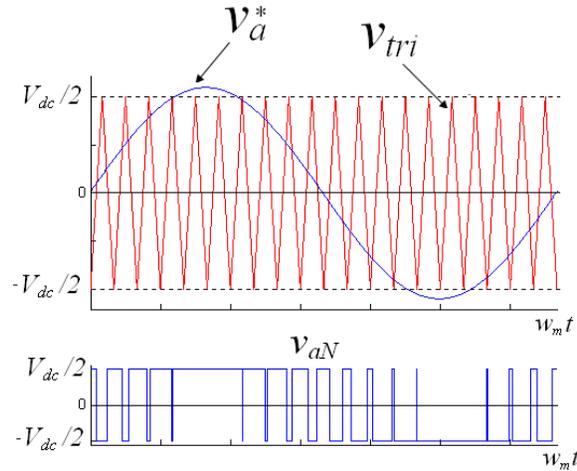
Figura 2-11. Formas de onda en la Modulación *six-step*.

De acuerdo al rango de variación del índice de modulación M , se pueden definir dos modos de operación de la modulación PWM: el modo de operación lineal y el modo no lineal.

En el modo de operación *lineal* el pico de la señal moduladora es menor o igual al pico de la señal portadora ($M \leq 1$, para SPWM). Este modo se caracteriza porque la relación de amplitud entre la señal moduladora y la señal modulada media ($v_i^*/\overline{v_{LN}}$) (denominada la ganancia PWM), se aproxima a la unidad ($G \cong 1$) [33]. En operación lineal, el máximo índice de modulación permitido por un algoritmo PWM constituye un indicador de eficiencia en el proceso de conversión [29].

En el modo *no lineal* el pico de la señal moduladora es mayor al pico de la señal portadora ($M > 1$, para SPWM). Esta situación es conocida como *sobremodulación*. Como se muestra en la Figura 2-12, cuando la amplitud del voltaje de referencia $v_a^*(t)$ supera el nivel $\frac{v_{dc}}{2}$ las intersecciones entre portadora y moduladora desaparecen y los pulsos generados en la comparación permanecen en un único nivel durante aquellos ciclos de portadora en que no ocurren intersecciones.

Durante la sobremodulación en el semiciclo positivo, el conmutador sw_{a+} opera con un ciclo útil del 100%, no obstante el voltaje de salida $\overline{v_{aN}}$ no alcanza a igualar el valor de referencia $v_a^*(t)$, generando relaciones no lineales entre las amplitudes y los ángulos de fase de la señal de referencia y la señal de salida del inversor [4]. El caso extremo de la sobremodulación se alcanza cuando el índice de modulación M aumenta lo suficiente hasta el punto en que la pendiente de la señal moduladora supera a la pendiente de la portadora; en esta situación se entra al modo de operación *six-step*.

Figura 2-12. Sobremodulación de la fase a .

2.1.1.7. La modulación PWM sinusoidal (SPWM)

En la *PWM sinusoidal*, introducida por Schönung y Stemmler en 1964 [28] las señales moduladoras conforman un conjunto trifásico sinusoidal balanceado que se encarga de configurar la amplitud, frecuencia y fase a la salida del inversor. En forma algebraica:

$$\begin{aligned} v_a^*(t) &= A \sin(w_m t) \\ v_b^*(t) &= A \sin\left(w_m t - \frac{2\pi}{3}\right) \\ v_c^*(t) &= A \sin\left(w_m t - \frac{4\pi}{3}\right) \end{aligned} \quad (2.6)$$

$$v_a^*(t) + v_b^*(t) + v_c^*(t) = 0$$

Donde A es la amplitud máxima de las moduladoras y w_m su frecuencia angular. En la Figura 2-13 se muestra el proceso de modulación SPWM basado en portadora para las tres fases (v_{aN} , v_{bN} , v_{cN}) junto con los voltajes línea a línea resultantes.

En general, la PWM sinusoidal o SPWM es una técnica simple que garantiza buenos resultados en todas las condiciones de trabajo, incluida la sobremodulación y que presenta un buen desempeño armónico. Este desempeño se debe a su frecuencia de conmutación constante, que genera un espectro definido, con componentes en alta frecuencia y con reducción de armónicos de bajo orden. Por estas razones, las primeras versiones del SPWM tuvieron gran aceptación en la industria, sin embargo, rápidamente se evidenció que la limitación en su *rango lineal* provocaba que los motores trabajaran con tensiones inferiores a las nominales, reduciendo así su desempeño [34]. El rango lineal de modulación de un algoritmo PWM se puede expresar mediante el máximo índice de modulación dentro de zona lineal, en el caso del algoritmo SPWM corresponde a $M_{lineal\ máx} = 1$.

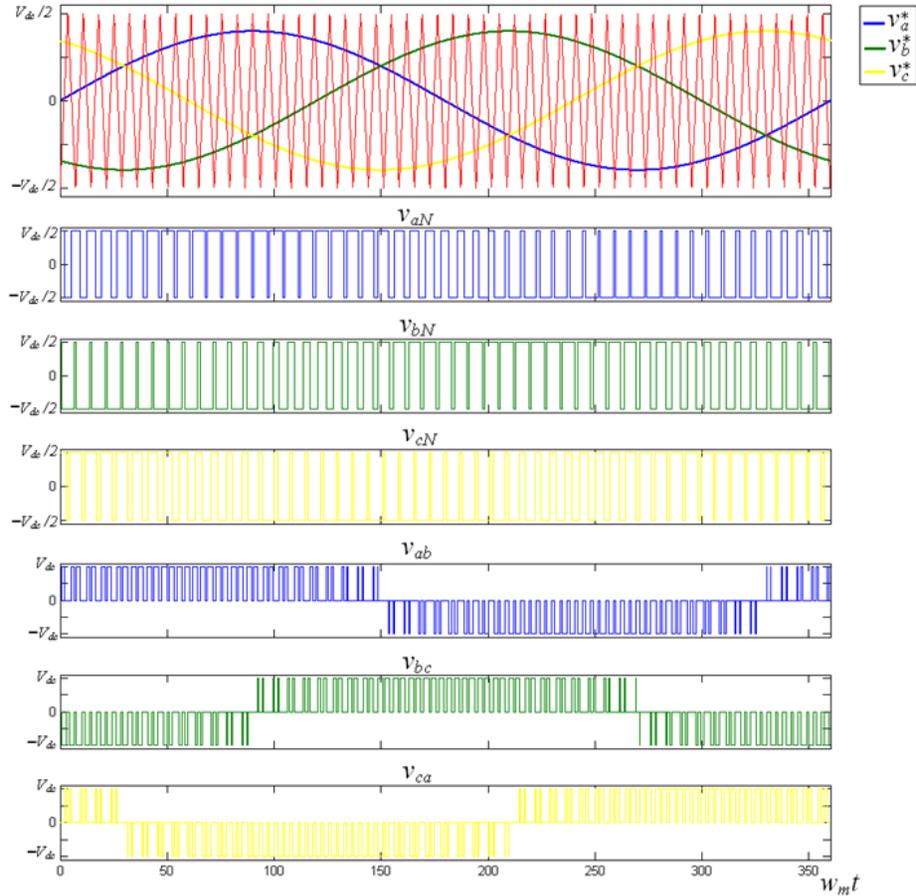


Figura 2-13. Proceso de modulación SPWM trifásico

En la Figura 2-14, se presenta la relación entre el índice de modulación M y la amplitud normalizada del voltaje de línea-línea v_{ab} , en ella se aprecia cómo el límite superior de la zona lineal del SPWM genera una utilización aproximada del 61.2% del bus DC. Más allá se encuentra la región de sobremodulación que permite una mayor utilización del bus DC a cambio de una no linealidad. Cuando el índice M toma el valor 3.24 se alcanza el modo de operación *six-step*, generándose la máxima disponibilidad del bus DC, aproximadamente de un 78%.

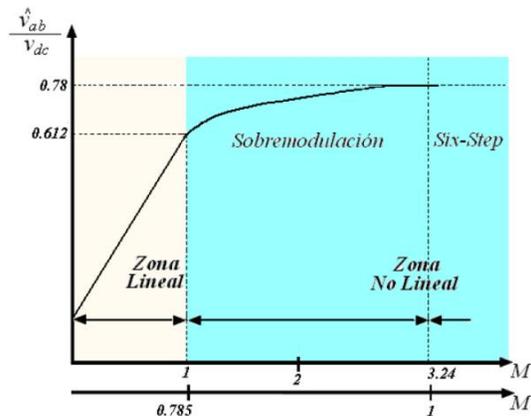


Figura 2-14. Curva característica del SPWM que relaciona el índice de modulación con el porcentaje de utilización del bus DC. Fuente: [35].

2.1.1.8. La modulación PWM con inyección de señales de secuencia cero.

En aplicaciones balanceadas de accionamientos de motores trifásicos AC, el punto neutro de la carga n está aislado con respecto al punto medio N del bus DC del inversor (ver Figura 2-1). Por lo tanto, es posible inyectar cualquier señal entre estos dos puntos sin afectar los voltajes y corrientes línea a línea a la salida del inversor. Sin embargo, desde el punto de vista del modulador, la presencia de esta señal inyectada, denominada *señal de secuencia cero* (ZSS), modifica características de desempeño, entre ellas: el rango de modulación lineal, las pérdidas por conmutación y el espectro del tren de pulsos modulados.

La Figura 2-15, ilustra el proceso de inyección en donde el bloque *Generador de ZSS* se encarga de calcular la señal de secuencia cero v_{0s} a partir de la información de las tres señales moduladoras fundamentales.

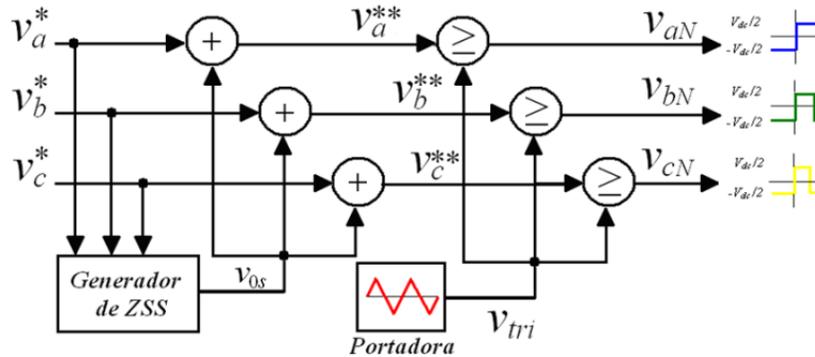


Figura 2-15. Proceso de modulación con inyección de secuencia cero.

Del diagrama de bloques de la Figura 2-15 se deduce que las nuevas señales moduladoras se construyen a partir de las fundamentales y la señal de secuencia cero de la siguiente manera:

$$v_i^{**}(t) = v_i^*(t) + v_{0s}(t), \quad (i = a, b, c) \quad (2.7)$$

En donde:

$v_i^{**}(t)$ es la señal moduladora.

$v_i^*(t)$ es la señal moduladora fundamental.

$v_{0s}(t)$ es la señal de secuencia cero.

La ecuación (2.7) es la expresión generalizada en la representación de las señales de modulación trifásicas, válida para los diferentes algoritmos de modulación PWM basados en portadora.

Considerando las ecuaciones (2.2) y (2.7) podemos escribir los voltajes de fase para la modulación con inyección de señal de secuencia cero como en (2.8) Note la influencia de la señal de secuencia cero sobre los voltajes de fase.

$$\begin{aligned}\overline{v_{aN}} &= A \sin(\omega_m t) + v_{0s}(t) \\ \overline{v_{bN}} &= A \sin\left(\omega_m t - \frac{2\pi}{3}\right) + v_{0s}(t) \\ \overline{v_{cN}} &= A \sin\left(\omega_m t - \frac{4\pi}{3}\right) + v_{0s}(t)\end{aligned}\quad (2.8)$$

Los voltajes línea-línea se presentan en (2.9) en donde desaparece $v_{0s}(t)$, afirmando su influencia nula sobre la forma de las señales de línea a línea; es precisamente por esta razón que la señal $v_{0s}(t)$ es denominada *señal de secuencia cero* [33].

$$\begin{aligned}\overline{v_{ab}} &= A\sqrt{3} \sin\left(\omega_m t + \frac{\pi}{6}\right) \\ \overline{v_{bc}} &= A\sqrt{3} \sin\left(\omega_m t + \frac{3\pi}{2}\right) \\ \overline{v_{ca}} &= A\sqrt{3} \sin\left(\omega_m t + \frac{5\pi}{6}\right)\end{aligned}\quad (2.9)$$

Sumando las ecuaciones en (2.7) y considerando que la suma de señales sinusoidales trifásicas es cero, la señal $v_{0s}(t)$ puede ser formulada en términos de las señales moduladoras $v_i^{**}(t)$ mediante la siguiente expresión:

$$v_{0s}(t) = \frac{1}{3}(v_a^{**}(t) + v_b^{**}(t) + v_c^{**}(t))\quad (2.10)$$

K. G. King en 1974 [36] fue posiblemente el primer investigador que empleó la inyección de secuencia cero en un inversor VSI. Su elección de señal de secuencia cero extendió el rango de modulación lineal, permitiendo el uso de un índice de modulación $M_{lineal\ máx} = 1.15$ sin salir de zona lineal (ver Figura 2-16). Reconociendo la potencial ventaja en la inyección de $v_{0s}(t)$, muchos investigadores enfocaron sus estudios a la dependencia del desempeño del modulador con respecto a la señal de secuencia cero. Como resultado, en los últimos años se han reportado distintos algoritmos de modulación, cada uno con su propia señal de secuencia cero y con características de desempeño únicas.

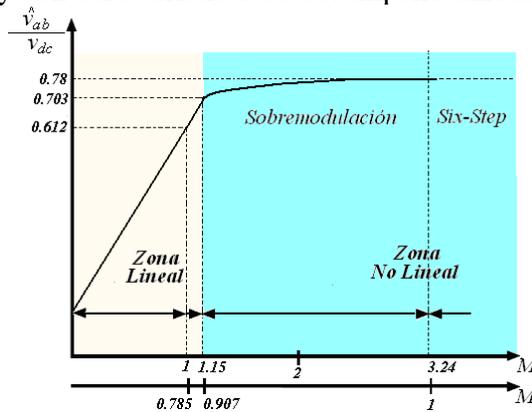


Figura 2-16. Curva característica de los algoritmos PWM con inyección de señal de secuencia cero. Note que la zona lineal es un 15% mayor que la presentada en la Figura 2-14. Fuente: [35]

Teóricamente se pueden establecer infinitas señales de secuencia cero, por lo que existe la posibilidad de desarrollar infinitos algoritmos de modulación PWM, pero debido a las restricciones de desempeño e implementación de inversores prácticos esta posibilidad se reduce a un pequeño número. De este conjunto se destacan 10 desarrollos [4] que pueden ser clasificados en dos grupos: *Algoritmos PWM continuos* y *Algoritmos PWM Discontinuos*. A continuación se expondrán algunas características de linealidad, forma de onda y pérdidas por conmutación de estos dos grupos.

2.1.1.8.1. Los Algoritmos PWM continuos

Los denominados algoritmos PWM continuos (CPWM - *Continuous PWM*) se caracterizan porque en cada ciclo T_s las señales moduladora y portadora se intersecan por lo menos una vez, originando la conmutación. Hacen parte de esta clasificación la PWM sinusoidal (SPWM) ya estudiada, los algoritmos con inyección del tercer armónico y la PWM con vectores espaciales basada en portadora (CB-SVPWM). La modulación SPWM al no emplear señales de secuencia cero ($v_{0s}(t) = 0$) se considera el algoritmo más simple.

Inyección del tercer armónico (THIPWM)

Los algoritmos PWM con inyección del tercer armónico (THIPWM - *Third Harmonic Injection PWM*) logran incrementar la tensión trifásica de salida de un inversor hasta en un 15% sin salir de zona lineal (90.7% del voltaje *six-step*). En 1975 Buja e Indri [37], proponen inyectar una señal de secuencia cero con amplitud $\frac{1}{6}$ de la señal fundamental y el triple de la frecuencia fundamental ($3w_m$). Este algoritmo es conocido como THIPWM1/6, su señal de secuencia cero se ilustra en la Figura 2-17 y se expresa en la ecuación (2.11).

$$v_{0s}(t) = \frac{A}{6} \sin(3w_m t) \quad (2.11)$$

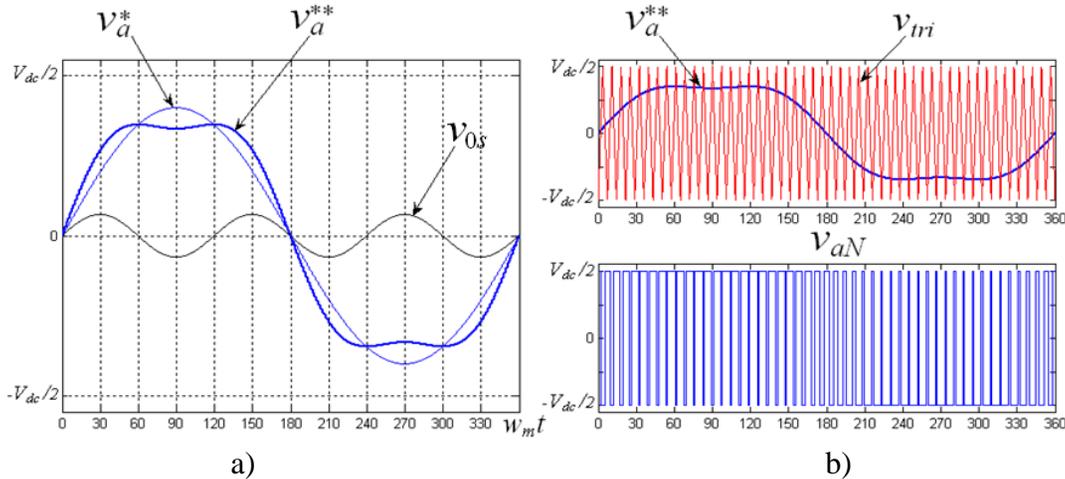


Figura 2-17. Modulación THIPWM1/6. a) Generación de $v_{0s}(t)$. b) Modulación de la fase a.

Como se muestra en la Figura 2-17, la señal moduladora de la fase a es una señal sinusoidal compuesta, resultado de la suma de dos señales sinusoidales. En la Figura 2-17a) se puede notar que en los rangos donde la señal fundamental $v_a^*(t)$ alcanza sus máximas

amplitudes $[60^\circ \leq w_m t \leq 120^\circ]$ y $[240^\circ \leq w_m t \leq 300^\circ]$, la amplitud de la nueva señal $v_a^{**}(t)$ se reduce. Esta reducción es compensada en los primeros y últimos 60° de cada medio periodo de fundamental y es lo que permite el uso de índices de modulación mayores a la unidad sin pasar a sobremodulación.

A partir de los resultados obtenidos con el THIPWM1/6, en 1985 Bowes y Midoun [38] intentaron calcular la señal de secuencia cero que provocara mínima distorsión armónica, concluyendo como valor numérico óptimo la inyección del tercer armónico con amplitud $\frac{1}{4}$ de la componente fundamental. En la actualidad, dicho algoritmo es conocido como THIPWM1/4 y su señal de secuencia cero se expresa de la siguiente manera:

$$v_{0s}(t) = \frac{A}{4} \sin(3w_m t) \quad (2.12)$$

Con esta variación se consiguió un rango lineal menor al presentado por THIPWM1/6 ($M_{lineal\ máx} = 1.117$) pero a cambio se obtuvo una mejora en el espectro armónico del tren de pulsos resultante [1]. Las formas de onda correspondientes a THIPWM1/4 se ilustran en la Figura 2-18.

Aunque los dos moduladores THIPWM son ventajosos por su buen desempeño teórico con respecto a la generación de contenido armónico e incremento del rango de modulación lineal, presentan complejidad en la implementación ya que el cálculo de la señal de frecuencia triple ($\sin(3w_m)$) involucra altos requerimientos computacionales [4]. Por esta razón su popularidad no alcanzó los ambientes industriales y solo perdura en los académicos.

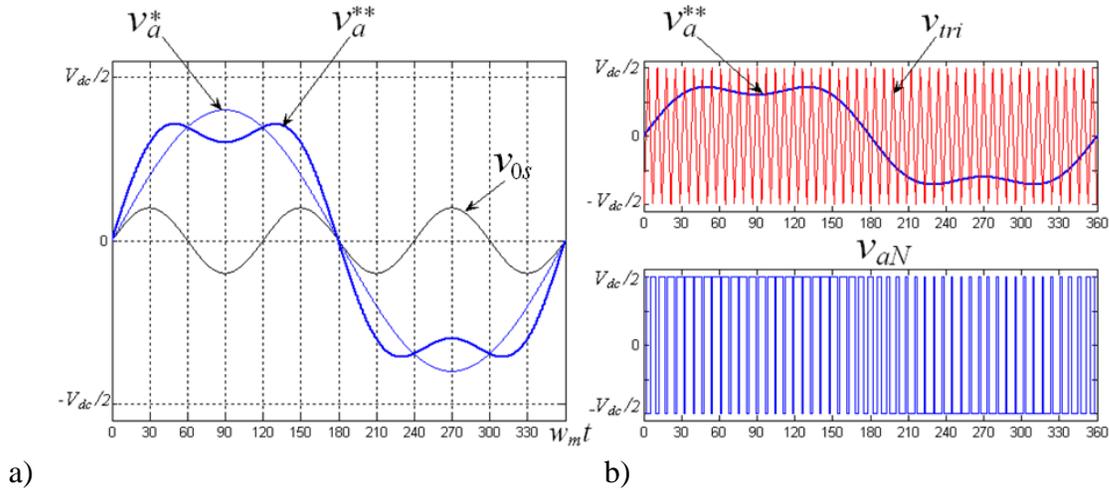


Figura 2-18. Modulación THIPWM1/4. a) Generación de $v_{0s}(t)$. b) Modulación de la fase a .

PWM con vectores espaciales basada en portadora (CB-SVPWM)

Este esquema de modulación conocido en la actualidad como *CB-SVPWM*, es atribuido a King [36]. Para la generación de la señal de secuencia cero este modulador emplea la expresión (2.13).

$$v_{0s}(t) = -0.5[\max(v_a^*, v_b^*, v_c^*) + \min(v_a^*, v_b^*, v_c^*)] \quad (2.13)$$

Es decir, compara la magnitud de las tres señales fundamentales $v_i^*(t)$, y realiza dos selecciones: primero selecciona la señal con mínima magnitud y luego selecciona la señal de máxima magnitud; posteriormente suma las selecciones hechas y escala el resultado con un factor de -0.5 . El resultado de la señal de secuencia cero es una señal triangular, periódica, con el triple de la frecuencia fundamental y $1/4$ de amplitud fundamental [13]. El efecto de su inyección sobre $v_a^*(t)$ se ilustra en la Figura 2-19.

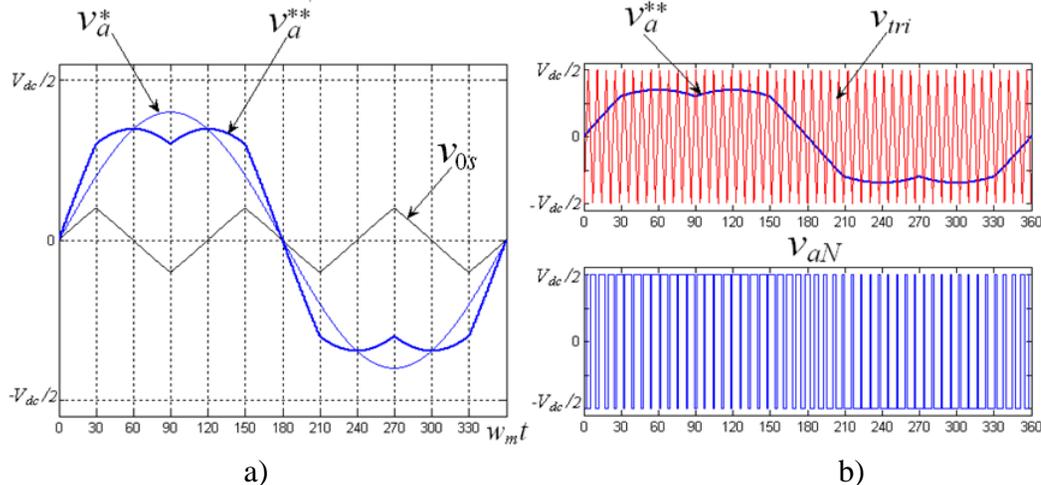


Figura 2-19. Modulación CB-SVPWM. a) Generación de $v_{0s}(t)$. b) Modulación de la fase a .

Este algoritmo PWM de inyección de secuencia cero es posiblemente el más antiguo reportado en la literatura. Una década después reapareció empleando la teoría de vectores espaciales y proponiendo una implementación digital, de aquí su nombre SVPWM [39]. Un análisis más detallado de las técnicas basadas en vectores espaciales se realizará en la sección 2.1.2.

Algunas consideraciones adicionales sobre los algoritmos PWM continuos.

Se concluye esta sección con las siguientes consideraciones acerca de los algoritmos PWM continuos:

- De acuerdo al algoritmo PWM continuo empleado, el valor máximo del índice de modulación en la zona lineal puede aumentar hasta en un 15%. Por lo tanto, la *eficiencia* en el proceso de conversión puede ser mejorada, según se muestra en la Tabla 2-1.
- Entre los algoritmos continuos descritos, el SPWM es el de menor *eficiencia* debido a su limitado rango de modulación lineal.
- Los algoritmos THIPWM tienen un buen *desempeño armónico*, en especial el THIPWM1/4 que teóricamente supera a SPWM y CB-SVPWM. Sin embargo, dicho desempeño es opacado en la práctica por sus requerimientos de implementación y porque THIPWM1/4 no alcanza el máximo rango de operación lineal (Tabla 2-1).
- El algoritmo CB-SVPWM permite la máxima utilización del bus DC y en baja modulación presenta un buen desempeño armónico.

- e) Las *pérdidas por conmutación* de los moduladores continuos son iguales en los 4 moduladores descritos e independientes del factor de potencia de la carga.

Algoritmo	Tensión Máxima (v_{ab})	M	M'
SPWM	$0.612V_{dc}$	1	0.785
THIPWM1/4	$0.682V_{dc}$	1.117	0.881
THIPWM1/6	$0.703V_{dc}$	1.15	0.907
CB-SVPWM	$0.703V_{dc}$	1.15	0.907

Tabla 2-1. Índice máximo de modulación en la zona lineal de los algoritmos continuos.

2.1.1.8.2. Los Algoritmos PWM discontinuos

Los algoritmos PWM discontinuos, (DPWM - *Discontinuous PWM*), constituyen el tercer aporte más importante en el área de la modulación PWM, después de la invención de las técnicas SPWM y SVPWM [13]. Su criterio de optimización son las pérdidas por conmutación asociadas a los interruptores en el inversor y éste se ve plasmado en las reglas de magnitud que emplean para la generación de las señales de secuencia cero. A diferencia de los algoritmos continuos, los DPWM generan conmutaciones solo en 2/3 del ciclo de la señal moduladora. Esto se logra inyectando una señal de secuencia cero que lleva a una de las tres señales fundamentales $v_i^*(t)$ al nivel del pico positivo o negativo de la portadora triangular. Para elegir la fase que será saturada se aplican *reglas de magnitud* a las tres señales fundamentales; la fase seleccionada determina la forma de la señal de secuencia cero según la siguiente expresión:

$$v_{0s}(t) = \text{sign}(v_x^*(t)) \frac{v_{dc}}{2} - v_x^*(t) \quad (2.14)$$

El subíndice x en (2.14) corresponde al índice de la fase que aprobó las *reglas de magnitud*. Estas reglas son únicas para cada algoritmo y determinan la señal de secuencia cero a inyectar.

Existen varios algoritmos discontinuos reportados en la literatura, de éstos se destacan 7 denominados: DPWM1, DPWMMAX, DPWM2, DPWM0, DPWM3, DPWMMIN, y GDPWM [4]. Como característica común, estos algoritmos presentan un buen desempeño armónico en zona lineal y permiten un rango de modulación lineal máximo del 90.7% del voltaje *six-step*; a continuación se realiza una breve descripción de cada uno de ellos. Únicamente se presentará el análisis correspondiente a la fase a puesto que las señales de las fases b y c presentan la misma forma pero desfasadas -120° y -240° respectivamente.

El algoritmo DPWM1

La primera versión de este algoritmo es atribuida a Depenbrock [40], quien en 1977 empleó un rectificador de puente de diodos para generar una señal de secuencia cero que permitiera reducir las pérdidas por conmutación en aplicaciones con cargas de factor de potencia cercano a la unidad. En este algoritmo se selecciona la señal con mayor valor absoluto de entre las tres fundamentales; posteriormente, la señal seleccionada se lleva hasta el valor máximo positivo o negativo del bus DC durante 1/3 del ciclo de la señal fundamental (ver Figura 2-20). Considerando el caso de la fase a se tiene que:

$$\text{Si } |v_a^*| \geq |v_b^*| \text{ y } |v_a^*| \geq |v_c^*| \rightarrow v_{0s}(t) = \text{sign}(v_a^*(t)) \frac{v_{dc}}{2} - v_a^*(t)$$

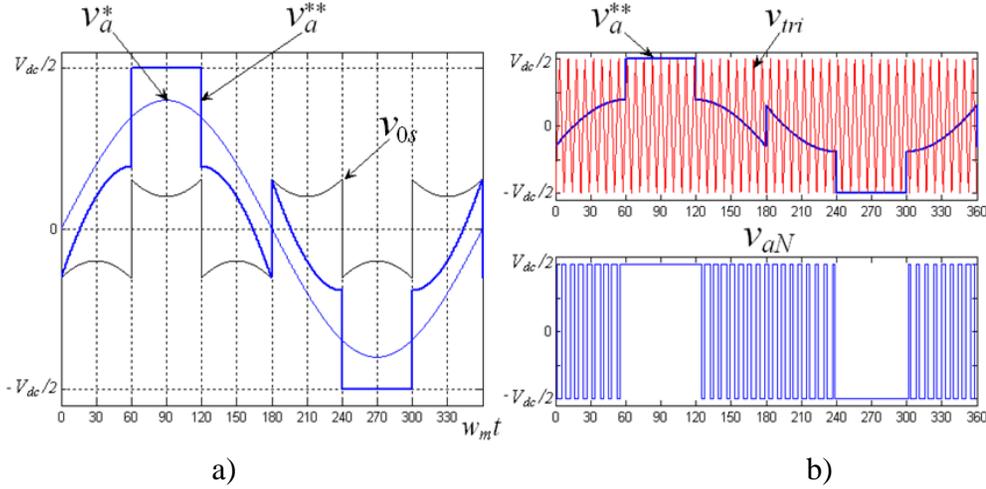


Figura 2-20. Modulación DPWM1. a) Generación de $v_{0s}(t)$. b) Modulación de la fase a .

La señal de secuencia cero generada se caracteriza por ser periódica con el triple de la frecuencia fundamental y discontinua. En la Figura 2-20a) se muestra que la señal moduladora de la fase a (después de haber sido inyectada), tiene dos instantes de saturación, ambos alrededor de los picos de la señal $v_a^*(t)$ y cada uno con duración de 60° . En la Figura 2-20b), el tren de pulsos resultante indica que durante los primeros 60° de saturación, el interruptor inferior de la fase a permanece abierto y el interruptor superior permanece cerrado en tanto que durante los últimos 60° de saturación los estados se invierten; en consecuencia, la reducción en el número de conmutaciones es igual en los conmutadores inferiores y superiores de cada rama del inversor.

En aplicaciones con cargas de factor de potencia cercano a 1, los instantes de saturación coinciden con los instantes en que la amplitud de la corriente a través de los conmutadores del inversor se acerca a su máximo valor. Esta sincronización garantiza una minimización de pérdidas por conmutación de por lo menos un 50% [35]. Adicionalmente, el algoritmo presenta un espectro armónico aceptable que en índices de modulación altos supera el desempeño de la CB-SVPWM [4].

El algoritmo DPWMMAX

Este algoritmo fue propuesto en 1988 por Taniguchi [41] y busca saturar la fase de mayor valor instantáneo de entre las tres señales fundamentales. Considerando el caso de la fase a se tiene que:

$$\text{Si } v_a^* \geq v_b^* \text{ y } v_a^* \geq v_c^* \rightarrow v_{0s}(t) = \text{sign}(v_a^*(t)) \frac{v_{dc}}{2} - v_a^*(t)$$

A diferencia de la mayoría de los algoritmos discontinuos, DPWMMAX no realiza división de la zona de saturación. Como se muestra en la Figura 2-21a), dicha zona está centrada en el máximo positivo de la señal $v_a^*(t)$ y tiene una duración de 120° . El efecto de esta saturación se ilustra en la Figura 2-21b) en donde se aprecia como, durante el rango $[30^\circ \leq w_m t \leq 150^\circ]$ el conmutador superior de la fase a permanece cerrado mientras el

conmutador inferior permanece abierto; por lo tanto, con este algoritmo se genera una mayor reducción de pérdidas por conmutación en los conmutadores inferiores. Por sus características, el rango de aplicación de este modulador cubre cargas con ángulo de factor de potencia en el rango: $[-30^\circ \leq \varphi_{fp} \leq 30^\circ]$

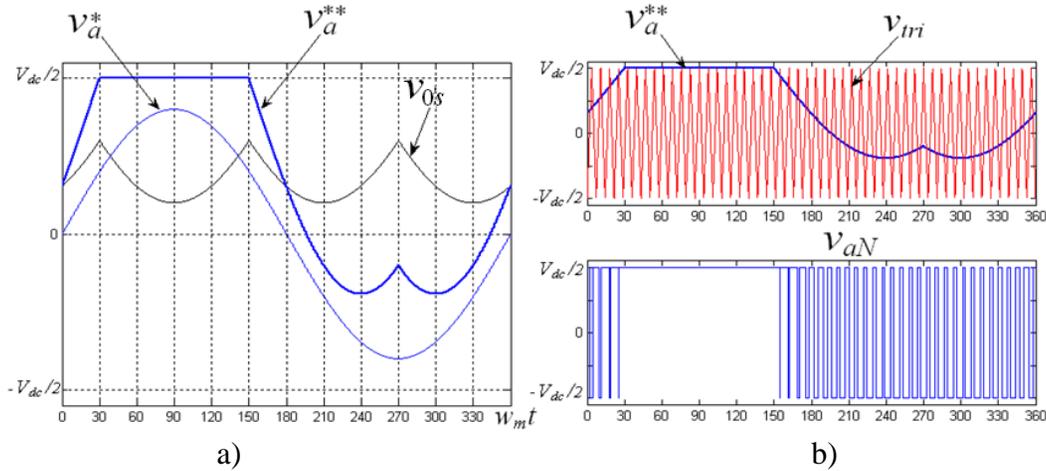


Figura 2-21. Modulación DPWMMAX. a) Generación de $v_{0s}(t)$. b) Modulación de la fase a .

El algoritmo DPWM2

En 1989, Ogasawara [42] enfocándose en aplicaciones con cargas de factor de potencia en atraso de 30° modificó la selección de la señal de secuencia cero establecida por Depenbrock. Basándose en el hecho de que las pérdidas por conmutación se incrementan con la magnitud de la corriente de fase que se conmuta, propuso una señal de secuencia cero que permitiera eliminar las conmutaciones en 30° de atraso, con respecto al pico del voltaje; de esta manera, la conmutación cesa cuando la corriente en los conmutadores presenta su valor más elevado. En este algoritmo las tres señales moduladoras v_a^* , v_b^* y v_c^* son atrasadas 30° y de las 3 nuevas señales: v_{ax}^* , v_{bx}^* y v_{cx}^* se selecciona la que tiene mayor magnitud absoluta. Posteriormente, la señal seleccionada se satura, como en el caso de la DPWM1. Considerando el caso de la fase a , la forma de la señal de secuencia cero se define así:

$$\text{Si } |v_{ax}^*| \geq |v_{bx}^*| \text{ y } |v_{ax}^*| \geq |v_{cx}^*| \rightarrow v_{0s}(t) = \text{sign}(v_a^*(t)) \frac{v_{dc}}{2} - v_a^*(t)$$

Como se ilustra en la Figura 2-22a), los instantes de saturación están divididos en dos zonas, cada una con duración de 60° y con su centro ubicado en atraso de 30° con respecto a los picos de la señal $v_a^*(t)$. De igual forma a DPWM1, el tren de pulsos resultante de la Figura 2-22b) indica que la reducción de pérdidas por conmutación es simétrica en los conmutadores superiores e inferiores. Este algoritmo presenta mínimas pérdidas por conmutación para condiciones de operación donde el ángulo de factor de potencia es de 30° en atraso y un espectro armónico aceptable, que en altos índices de modulación supera el desempeño del CB-SVPWM [4]. Debido a que los motores de inducción presentan una carga con un ángulo de factor de potencia cercano a los 30° en atraso, el algoritmo DPWM2 encontró gran aceptación en aplicaciones de accionamientos eléctricos a nivel industrial.

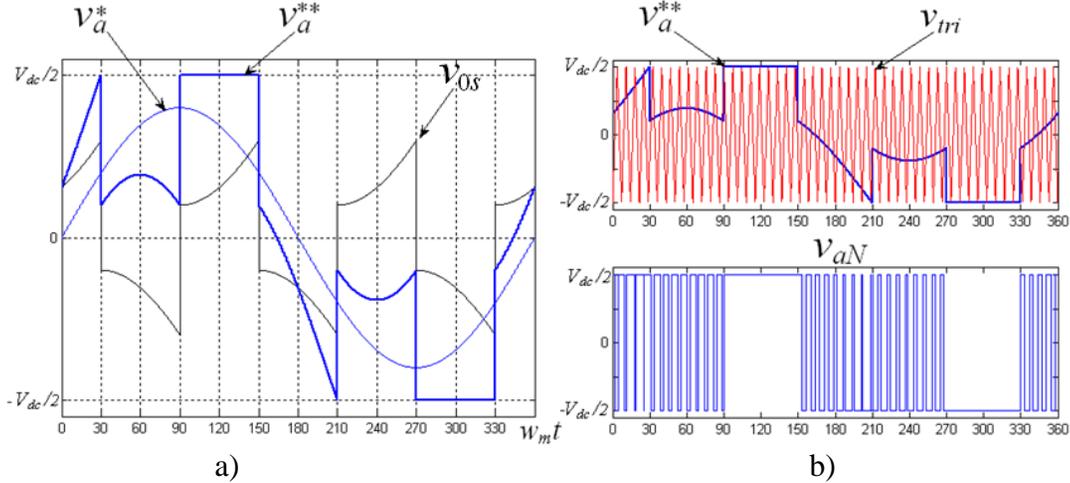


Figura 2-22. Modulación DPWM2. a) Generación de $v_{0s}(t)$. b) Modulación de la fase a .

El algoritmo DPWM0

En 1990, Kenjo [43] desarrolló un modulador similar al de Ogasawara, pero dirigido a aplicaciones con cargas de factor de potencia en adelanto de 30° ; éste es conocido como DPWM0. En la generación de la señal de secuencia cero, las señales fundamentales v_a^* , v_b^* y v_c^* son desfasadas con adelanto de 30° originando tres nuevas señales: v_{ax}^* , v_{bx}^* y v_{cx}^* . La señal de mayor magnitud absoluta entre las tres nuevas señales es seleccionada y saturada. Considerando la fase a , la señal de secuencia cero tiene la forma:

$$\text{Si } |v_{ax}^*| \geq |v_{bx}^*| \text{ y } |v_{ax}^*| \geq |v_{cx}^*| \rightarrow v_{0s}(t) = \text{sign}(v_a^*(t)) \frac{v_{dc}}{2} - v_a^*(t)$$

En la Figura 2-23, se ilustra la señal moduladora discontinua $v_a^{**}(t)$ con una división de la saturación en dos zonas de 60° , ubicadas en adelanto de 30° con respecto al máximo de la señal $v_a^*(t)$. El tren de pulsos de este modulador indica que la reducción de pérdidas por conmutación es igual en conmutadores superiores e inferiores. Este método presenta una reducción de pérdidas por conmutación que supera el 50% para condiciones de operación donde el ángulo de factor de potencia es de 30° en adelanto y un espectro armónico aceptable, que en alta modulación supera el desempeño del CB-SVPWM [4].

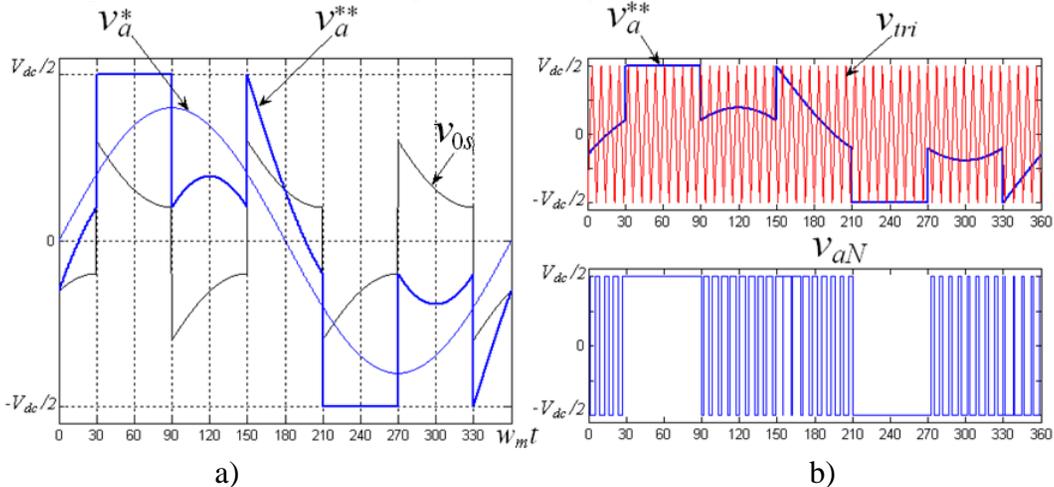


Figura 2-23. Modulación DPWM0. a) Generación de $v_{0s}(t)$. b) Modulación de la fase a .

El algoritmo DPWM3

Este algoritmo fue propuesto por Kolar en 1990 [44] y busca saturar la fase que presenta la amplitud con valor absoluto intermedio de las tres señales fundamentales. Considerando la fase a se tiene la siguiente señal de secuencia cero:

$$\text{Si } |v_b^*| \geq |v_a^*| \geq |v_c^*| \text{ o } |v_c^*| \geq |v_a^*| \geq |v_b^*| \rightarrow v_{0s}(t) = \text{sign}(v_a^*(t)) \frac{v_{dc}}{2} - v_a^*(t)$$

Entre las técnicas discontinuas ésta se caracteriza por ser la más efectiva en la reducción del contenido armónico [45]. Como se ilustra en la Figura 2-24, en este caso la señal moduladora discontinua $v_a^{**}(t)$ presenta cuatro zonas de saturación, cada una de 30° y con sus centros alejados 45° del máximo de la señal $v_a^*(t)$.

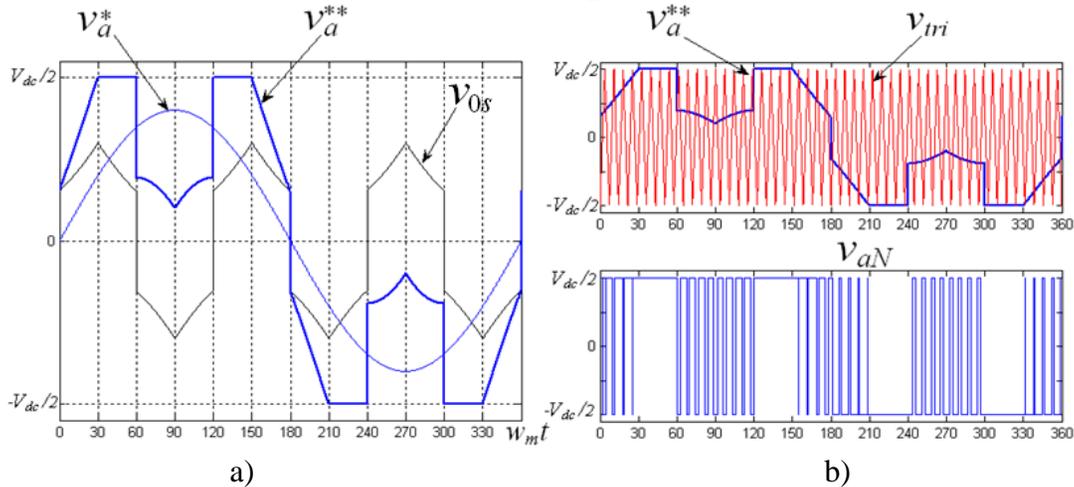


Figura 2-24. Modulación DPWM3. a) Generación de $v_{0s}(t)$. b) Modulación de la fase a .

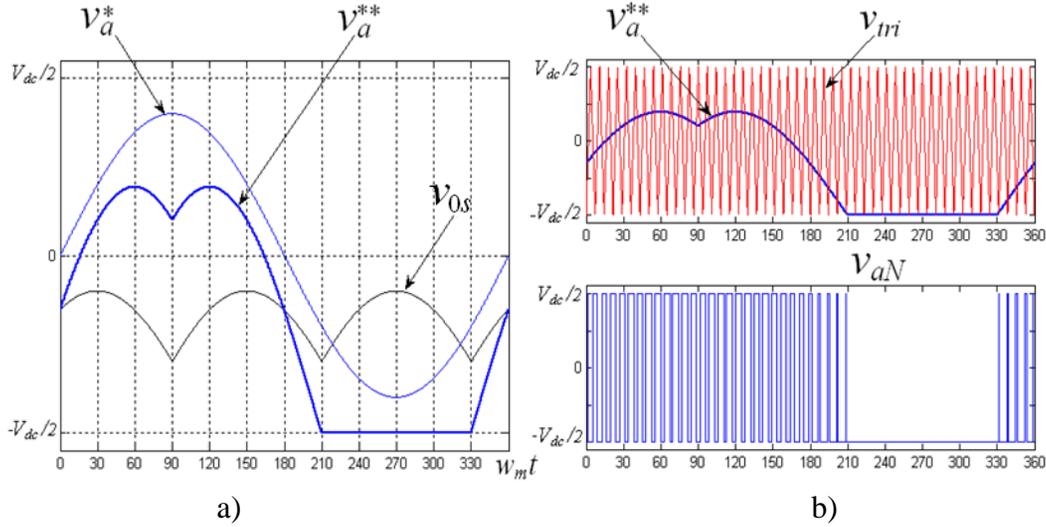
Esta división permite un incremento en el rango de aplicaciones, cubriendo cargas con ángulo de factor de potencia entre $[-30^\circ \leq \varphi_{fp} \leq 30^\circ]$, a cambio de una reducción del porcentaje de minimización de pérdidas por conmutación. Para el caso de factores de potencia cercanos a 1 la reducción es aproximadamente del 65% mientras que para los casos extremos ($\varphi_{fp} = \pm 30^\circ$) la reducción es del 75% [35]. En la Figura 2-24b) el tren de pulsos resultante indica una reducción de pérdidas simétrica en los conmutadores superiores e inferiores.

El algoritmo DPWMMIN

Este algoritmo, desarrollado también por Kolar [44], es similar al DPWMMAX, con la particularidad de que busca saturar la fase de menor valor instantáneo de entre las tres señales fundamentales. Considerando la fase a se tiene que:

$$\text{Si } v_a^* \leq v_b^* \text{ y } v_a^* \leq v_c^* \rightarrow v_{0s}(t) = \text{sign}(v_a^*(t)) \frac{v_{dc}}{2} - v_a^*(t)$$

La Figura 2-25, ilustra las formas de onda del DPWMMIN. El desempeño de este modulador es similar al DPWMMAX, con la diferencia que los interruptores superiores del inversor tienen pérdidas por conducción más bajas que los interruptores inferiores.


 Figura 2-25. Modulación DPWMMIN. a) Generación de $v_{0s}(t)$. b) Modulación de la fase a .

El algoritmo GDPWM

En 1998, Ahmet Hava [4] propuso el modulador GDPWM (Generalized Discontinuous - PWM), el cual permite modificar mediante una variable de control ψ , la localización de la saturación de las señales moduladoras. Al presentar los algoritmos de modulación DPWM1 (ver Figura 2-20), DPWM2 (ver Figura 2-22) y DPWM0 (ver Figura 2-23), se ilustró que la señal moduladora $v_i^{**}(t)$ estaba saturada en medio ciclo de fundamental durante intervalos de 60° . Estos intervalos de saturación están localizados a un determinado ángulo ψ respecto a la posición en que la fundamental $v_i^*(t)$ presenta su valor máximo. El algoritmo propuesto por Hava permite regular este ángulo en el rango $[0 \leq \psi \leq 60^\circ]$ para obtener un conjunto de moduladores discontinuos (entre ellos: DPWM0, DPWM1 y DPWM2) que minimizan las pérdidas por conmutación, en aplicaciones de cargas con ángulos de factor de potencia variando entre $[-30^\circ \leq \varphi_{fp} \leq 30^\circ]$. Para generar la señal de secuencia cero, las señales fundamentales son desfasadas un ángulo de $\psi - 30^\circ$ y de las 3 nuevas señales: v_{ax}^* , v_{bx}^* y v_{cx}^* , la de mayor magnitud absoluta es seleccionada y es saturada. Por lo tanto, considerando el caso de la fase a , la señal de secuencia cero tiene la forma:

$$\text{Si } |v_{ax}^*| \geq |v_{bx}^*| \text{ y } |v_{ax}^*| \geq |v_{cx}^*| \rightarrow v_{0s}(t) = \text{sign}(v_a^*(t)) \frac{v_{dc}}{2} - v_a^*(t)$$

En donde,

$$\begin{aligned} v_{ax}^* &= A \sin(w_m t + \psi - 30^\circ) \\ v_{bx}^* &= A \sin\left(w_m t - \frac{2\pi}{3} + \psi - 30^\circ\right) \\ v_{cx}^* &= A \sin\left(w_m t - \frac{4\pi}{3} + \psi - 30^\circ\right) \end{aligned}$$

Algunas consideraciones adicionales de los algoritmos PWM discontinuos

Para finalizar la exposición de los algoritmos discontinuos se presentan las siguientes consideraciones:

- a) El porcentaje de reducción de conmutaciones como consecuencia de la saturación, no siempre es igual al porcentaje de reducción de pérdidas, ya que este último depende del factor de potencia de la carga. Debido a que las pérdidas por conmutación se incrementan con la magnitud de la corriente de fase conmutada de manera aproximadamente lineal, si se produce la saturación de la fase en el momento en que la corriente a través de los conmutadores es máxima, se obtendrá la máxima reducción de pérdidas por conmutación. Adicionalmente, es el factor de potencia de la carga el que determina el instante máximo de la corriente en los conmutadores, por lo tanto, el factor de potencia resulta ser el mejor criterio de selección para los algoritmos discontinuos.
- b) Aun cuando no exista la sincronización entre instantes de saturación y picos de la corriente de la carga, sí existirá una reducción en el nivel de pérdidas por conmutación y ésta será dependiente del factor de potencia de la carga. Este concepto se ilustra gráficamente en la Figura 2-26, que relaciona la función de pérdidas por conmutación *SLF* (*Switching Loss Function*) con el ángulo del factor de potencia de la carga, para los algoritmos discontinuos estudiados. La función *SLF* mide las pérdidas por conmutación tomando como referencia las pérdidas generadas al emplear algoritmos de modulación PWM continuos; *SLF* vale 1 para todos los algoritmos continuos independientemente del factor de potencia de la carga y en el caso de los algoritmos discontinuos varía tal y como se ilustra en la Figura 2-26 [4].

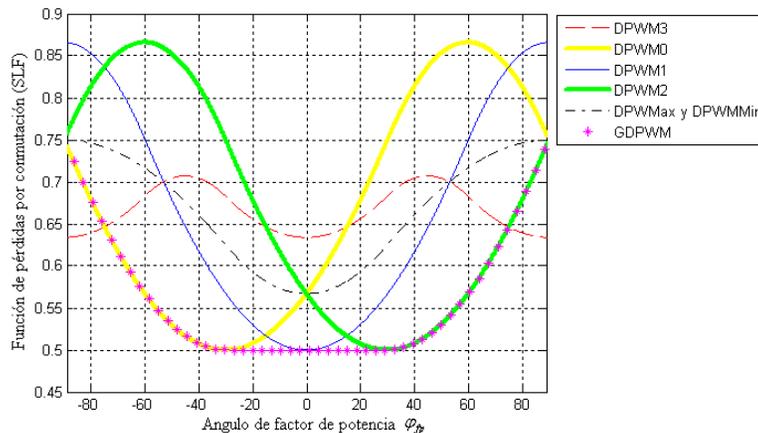


Figura 2-26. Dependencia del ángulo del factor de potencia φ_{fp} respecto a la función SLF para los diferentes algoritmos DPWM. Fuente:[4].

- c) La Figura 2-26 indica que en el caso del algoritmo GDPWM, con una adecuada configuración de la variable ψ , es posible obtener el máximo desempeño en cuanto a reducción de pérdidas por conmutación para ángulos de factor de potencia en el rango $[-75^\circ \leq \varphi_{fp} \leq 75^\circ]$. Por fuera de este rango, el modulador DPWM3 ofrece las menores pérdidas.
- d) A partir de la Figura 2-26, se concluye que, para aplicaciones que operen con factores de potencia en el rango $[-90^\circ \leq \varphi_{fp} \leq 90^\circ]$, es posible programar un modulador híbrido que permita realizar el cambio de algoritmo entre GDPWM y DPWM3 de acuerdo al factor de potencia de la carga y de esta manera conseguir el mínimo perfil de pérdidas en todo el rango de aplicación [4].

- e) Entre los algoritmos discontinuos, existe preferencia por aquellos que generan cargas equilibradas en los conmutadores superiores e inferiores [45] ya que estos permiten una partición simétrica del esfuerzo de los conmutadores, por lo tanto los algoritmos DPWMMAX y DPWMMIN no son populares en aplicaciones prácticas.

2.1.2. Modulación PWM basada en Vectores Espaciales (SV-PWM)

A partir de la evolución en las prestaciones de los microprocesadores, la demanda de mejores desempeños en los accionamientos y la generalización de las transformaciones de Park [46] y Clarke [47] para el análisis de circuitos trifásicos, un grupo de investigadores liderado por Van Der Broeck [39] en 1986 logró implementar la técnica PWM basada en vectores espaciales **SV-PWM** que ya había sido propuesta por Pfaff, Weschta y Wick en 1982 [48]. Actualmente, la modulación SV-PWM se ha convertido en una técnica popular para inversores trifásicos, en particular en aplicaciones de control de motores de inducción.

2.1.2.1. El vector espacial de referencia

En la modulación PWM basada en vectores espaciales se explota la interacción entre las tres fases y en lugar de usar un modulador por cada fase, se procesa un único modulador para el *vector espacial de voltaje* del conjunto trifásico. Al aplicar la transformación de Clarke (Ver sección A.1 del Apéndice A), sobre el conjunto trifásico de señales moduladoras de fase se obtiene el vector espacial de referencia $\vec{V}^*(t)$. Cuando las señales moduladoras conforman un sistema balanceado de señales senoidales, en estado estacionario, $\vec{V}^*(t)$ se caracteriza por poseer amplitud constante y rotar en el plano $\alpha\beta$ trazando una trayectoria circular tal y como se muestra en la Figura 2-27.

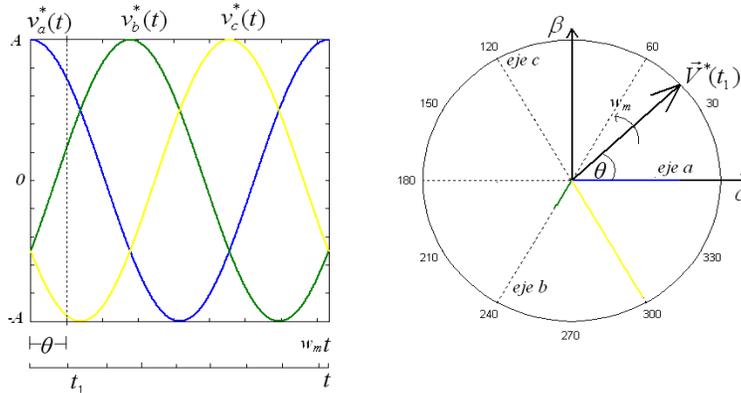


Figura 2-27. Obtención del vector espacial de referencia

La velocidad de rotación y la amplitud del vector de referencia están determinadas por la frecuencia angular w_m y la amplitud A de las señales moduladoras respectivamente, por lo tanto el vector de referencia puede ser definido mediante la siguiente expresión:

$$\begin{aligned} \vec{V}^*(t) &= A e^{jw_m t} \\ &= M \frac{V_{dc}}{2} e^{jw_m t} \end{aligned} \quad (2.15)$$

En donde M corresponde al índice de modulación definido en (2.4).

2.1.2.2. Representación vectorial de los estados del inversor

En este apartado se expondrá la representación de los estados del inversor en el plano $\alpha\beta$. Como se explica en la sección A.1, un sistema trifásico de voltajes puede ser representado por un vector espacial de voltaje $\vec{v}_s(t)$ dado por:

$$\vec{v}_s = c_2(v_{an} + \vec{a}v_{bn} + \vec{a}^2v_{cn}) \quad (2-16)$$

Donde:

$\vec{a} = e^{j\frac{2\pi}{3}}$ es el operador espacial.

$j = \sqrt{-1}$ es la unidad imaginaria.

En el caso del inversor VSI de la Figura 2-1, los voltajes de fase en la carga pueden ser escritos así:

$$\begin{aligned} v_{an} &= v_{aN} - v_{nN} \\ v_{bn} &= v_{bN} - v_{nN} \\ v_{cn} &= v_{cN} - v_{nN} \end{aligned} \quad (2.17)$$

Por lo tanto, el vector espacial de voltajes de fase del estator $\vec{v}_s(t)$ puede ser representado en términos de los voltajes en el inversor como se muestra en (2.18):

$$\vec{v}_s(t) = \frac{2}{3}(v_{aN}e^{j0} + v_{bN}e^{j\frac{2\pi}{3}} + v_{cN}e^{j\frac{4\pi}{3}}) \quad (2.18)$$

Existen dos restricciones de operación para el inversor trifásico de la Figura 2-1:

- Nunca se puede cortocircuitar la fuente DC, lo que se traduce en que en una misma rama no pueden conducir los dos conmutadores a la vez.
- Nunca se debe dejar en circuito abierto las inductancias del lado de la carga, lo que se traduce en que siempre debe haber algún semiconductor conduciendo en cada rama.

Teniendo en cuenta estas restricciones, es posible definir una *función de conmutación* en cada rama del inversor:

$$SW_i = \begin{cases} 1 & \text{Cuando el conmutador } sw_{i+} \text{ está encendido y } sw_{i-} \text{ está apagado.} \\ 0 & \text{Cuando el conmutador } sw_{i+} \text{ está apagado y } sw_{i-} \text{ está encendido.} \end{cases} \quad (2.19)$$

Con ($i = a, b, c$).

$SW_i = 1$ indica que el voltaje de salida $v_{iN} = \frac{V_{dc}}{2}$ mientras que $SW_i = 0$ indica que $v_{iN} = -\frac{V_{dc}}{2}$. Por consiguiente los voltajes de salida del inversor pueden ser representados por la función de conmutación definida como se muestra en (2.20):

$$v_{iN} = (2SW_i - 1) \frac{V_{dc}}{2} \quad (2.20)$$

Reemplazando (2.20) en (2.18) se obtiene el vector espacial $\vec{v}_s(t)$ en términos de la función de conmutación SW_i como se muestra en (2.21).

$$\vec{v}_s(t) = \frac{2}{3}V_{dc}(SW_a e^{j0} + SW_b e^{j\frac{2\pi}{3}} + SW_c e^{j\frac{4\pi}{3}}) \quad (2.21)$$

La ecuación (2.21) tan solo puede tomar 8 valores diferentes y cada uno de estos valores está asociado a un estado (S_j) del inversor; cada cambio de estado del inversor se puede considerar como una conmutación del inversor [49]. Todos los posibles estados del inversor se ilustran en la Figura 2-28 y como se muestra en (2.22) están definidos en términos de la función de conmutación SW_i .

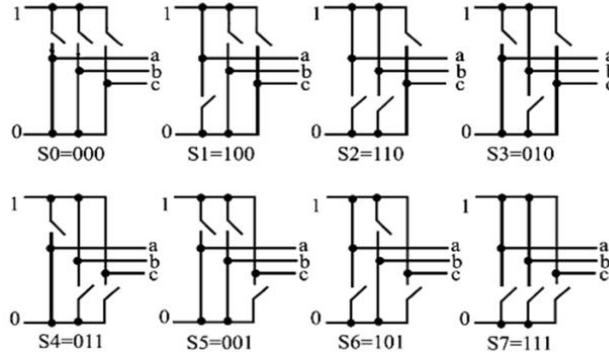


Figura 2-28. Estados del inversor

$$S_j = (SW_a, SW_b, SW_c) \text{ con } j = 0,1,2,3..7 \quad (2.22)$$

Al reemplazar el valor de los estados del inversor en (2.21) se obtienen los valores instantáneos del vector espacial $\vec{v}_s(t)$ que puede generar el inversor. Éstos se resumen en la Tabla 2-2. donde a cada estado j se ha asociado un vector \vec{v}_j .

Estados S_j	Función de conmutación			Vectores $\vec{v}_j(t)$	Valores Ecuación (2.21)
	SW_a	SW_b	SW_c		
S_0	0	0	0	$\vec{V}_0(000)$	0
S_1	1	0	0	$\vec{V}_1(100)$	$\frac{2}{3}V_{dc}e^{j0}$
S_2	1	1	0	$\vec{V}_2(110)$	$\frac{2}{3}V_{dc}e^{j\frac{\pi}{3}}$
S_3	0	1	0	$\vec{V}_3(010)$	$\frac{2}{3}V_{dc}e^{j\frac{2\pi}{3}}$
S_4	0	1	1	$\vec{V}_4(011)$	$\frac{2}{3}V_{dc}e^{j\pi}$
S_5	0	0	1	$\vec{V}_5(001)$	$\frac{2}{3}V_{dc}e^{j\frac{4\pi}{3}}$
S_6	1	0	1	$\vec{V}_6(101)$	$\frac{2}{3}V_{dc}e^{j\frac{5\pi}{3}}$
S_7	1	1	1	$\vec{V}_7(111)$	0

Tabla 2-2. Vectores de voltaje instantáneos del inversor

Este conjunto de vectores se clasifica en dos grupos. Los vectores \vec{V}_0 y \vec{V}_7 corresponden al grupo de vectores *nulos* o vectores *cero* y los vectores \vec{V}_1 a \vec{V}_6 corresponden al grupo de vectores *activos* o vectores *básicos*. En la Tabla 2-2 se exponen algunas características de estos vectores espaciales, entre ellas:

- Todos los vectores tienen amplitud constante y orientación fija en el plano $\alpha\beta$.
- El voltaje que los *vectores cero* aplican a la carga es nulo.
- Los *vectores activos* poseen igual magnitud y están desfasados mutuamente por un ángulo de $\frac{\pi}{3}$. Éstos pueden ser representados mediante la siguiente expresión general:

$$V_k = \frac{2}{3} V_{dc} e^{j(k-1)\frac{\pi}{3}} \text{ para } (k = 1, 2 \dots 6) \quad (2.23)$$

- La representación binaria de los estados S_j correspondientes a los vectores *activos* adyacentes presenta la particularidad de diferir en tan solo 1 bit.

Finalmente, como se ilustra en la Figura 2-29 los *vectores activos* dividen el plano $\alpha\beta$ en seis sectores ($I - VI$) formando los ejes de un hexágono. Este hexágono es conocido como el hexágono del inversor y en él, los *vectores cero* se ubican en el centro, por lo tanto son comunes a todos los sectores.

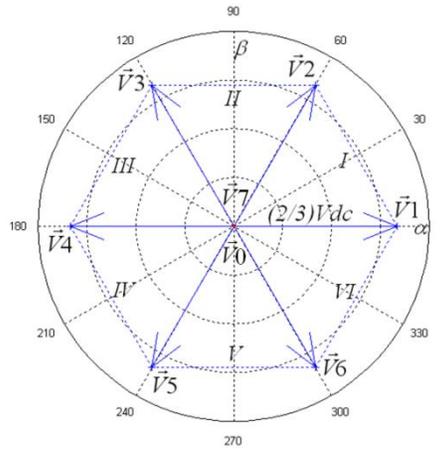


Figura 2-29. Hexágono de voltajes de fase del Inversor

2.1.2.3. Principio de funcionamiento del SV-PWM.

El objetivo de la estrategia de modulación SV-PWM es *aproximar* al vector espacial de voltaje de referencia \vec{V}^* mediante la combinación *óptima* de los vectores espaciales del inversor. Esta aproximación se logra en un contexto de promedios a lo largo de un periodo de conmutación denominado T_s y su optimización implica 4 requerimientos:

- Mínima desviación instantánea del vector generado.
- Mínimo rizado en las corrientes del inversor.
- Frecuencia de conmutación constante.
- Mínimas pérdidas por conmutación en el inversor.

Es decir, en SV-PWM se realiza una *aproximación* de una versión muestreada en intervalos T_s del vector referencia \vec{V}^* . Con el fin de garantizar mínima desviación instantánea del vector generado, T_s se elige lo suficientemente pequeño con respecto al periodo fundamental y su selección comparte los mismos criterios establecidos para la señal portadora en la sección 2.1.1.1 La aproximación de \vec{V}^* se facilita al considerar lo siguiente:

- Cualquier vector de voltaje dentro de los límites del hexágono del inversor puede ser aproximado en un ciclo de conmutación T_s , mediante la descomposición en sus componentes a lo largo de los vectores espaciales del inversor.
- En cualquier instante de tiempo el vector espacial de referencia rotatorio \vec{V}^* cae en uno de los seis sectores del hexágono del inversor.

Teniendo en cuenta lo anterior, el vector de voltaje de referencia puede ser escrito como:

$$\vec{V}^* = \frac{T_0}{T_s} V_0 + \frac{T_1}{T_s} V_1 + \dots + \frac{T_7}{T_s} V_7 \quad (2.24)$$

En donde T_0, T_1, \dots, T_7 son los tiempos de activación de los vectores V_0, V_1, \dots, V_7 dentro del periodo T_s , o lo que es lo mismo, los tiempos de permanencia en los estados S_0, S_1, \dots, S_7 respectivamente. Las restricciones de esta representación se expresan de la siguiente manera [33].

$$\begin{aligned} T_0, T_1, \dots, T_7 &\geq 0 \\ \sum_{i=0}^7 T_i &= T_s \end{aligned} \quad (2.25)$$

De acuerdo a estas restricciones la descomposición de \vec{V}^* en V_0, V_1, \dots, V_7 tiene múltiples soluciones. Sin embargo, el vector \vec{V}^* generalmente es sintetizado mediante sus dos vectores de voltaje adyacentes y los dos vectores de voltaje cero; esto con el fin de cumplir los requerimientos que optimizan el proceso de aproximación [45]. Considerando que el vector de referencia \vec{V}^* esté ubicado en el sector I , su representación durante un ciclo de conmutación T_s , puede ser la siguiente:

$$\vec{V}^* = \frac{T_1}{T_s} \vec{V}_1 + \frac{T_2}{T_s} \vec{V}_2 + \frac{T_0}{T_s} \vec{V}_0 + \frac{T_7}{T_s} \vec{V}_7 \quad (2.26)$$

Es importante notar que el inversor no es capaz de generar de manera instantánea vectores diferentes a aquellos que conforman el hexágono del inversor, sin embargo, de manera promediada es capaz de generar las componentes de cualquier vector referencia. Este concepto se visualiza en la Figura 2-30 en donde, la síntesis del vector referencia implica la generación de dos vectores promedio, el primero con amplitud $\frac{T_1}{T_s} \frac{2}{3} V_{dc}$ y orientación 0° y el segundo con amplitud $\frac{T_2}{T_s} \frac{2}{3} V_{dc}$ y orientación 60° , correspondiendo a las componentes a lo largo de \vec{V}_1 y \vec{V}_2 , respectivamente.

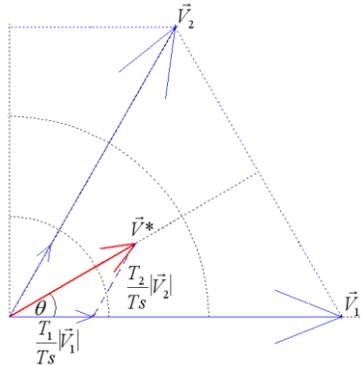


Figura 2-30. Síntesis del vector de referencia en el sector I

En donde,

$$T_1 + T_2 + T_z = T_s \quad (2.27)$$

$$T_z = T_0 + T_7$$

Para generar estas amplitudes medias en el periodo de conmutación T_s es necesario aplicar los vectores básicos durante intervalos o secciones de T_s . Estos intervalos corresponden a los tiempos T_1 y T_2 .

Tanto la orientación del vector de referencia como su magnitud, determinarán la amplitud media de los vectores componentes y por lo tanto los tiempos en los que estos deben ser aplicados. Por ejemplo, en el caso de que las componentes a lo largo de los vectores \vec{V}_1 y \vec{V}_2 deban tener una magnitud media de $\frac{1}{3}V_{dc}$ y $\frac{1}{6}V_{dc}$ respectivamente, tendremos:

$$\frac{T_1}{T_s} \frac{2}{3} V_{dc} = \frac{1}{3} V_{dc}$$

$$\frac{T_2}{T_s} \frac{2}{3} V_{dc} = \frac{1}{6} V_{dc}$$

Al despejar T_1 y T_2 se obtiene: $T_1 = \frac{T_s}{2}$ y $T_2 = \frac{T_s}{4}$. Es decir, para hacer que la amplitud media del componente a lo largo de \vec{V}_1 sea $\frac{1}{3}V_{dc}$ es necesario que el inversor permanezca en el estado S_1 (aplicar \vec{V}_1) durante la mitad del ciclo de conmutación y para lograr que la amplitud media del componente a lo largo de \vec{V}_2 sea $\frac{1}{6}V_{dc}$ es necesario que el inversor permanezca en el estado S_2 durante un cuarto del ciclo de conmutación. (ver Figura 2-31).

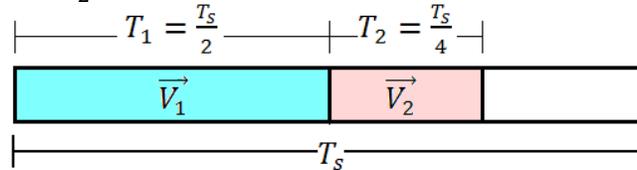


Figura 2-31. Partición del ciclo T_s

Es fundamental tener en cuenta la restricción que establece la ecuación (2.27). En general, la suma de $T_1 + T_2$ no alcanza el valor T_s por lo tanto, para no modificar las amplitudes medias ya establecidas, es preciso aplicar los vectores cero durante el tiempo restante T_z . En el ejemplo anterior, es necesario aplicar los vectores cero durante $\frac{T_s}{4}$, como se muestra en la Figura 2-32.

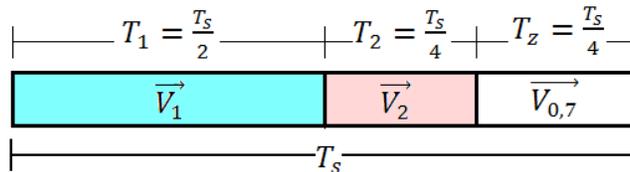


Figura 2-32. Partición del ciclo T_s con aplicación de vectores cero

El núcleo de la modulación basada en vectores espaciales (SV-PWM) está en el cálculo de los tiempos T_1, T_2, T_z . Existen varias maneras de realizar este cálculo, una de ellas es mediante aplicación de la ley de los senos sobre el triangulo que forman las componentes del vector de referencia como se muestra en la Figura 2-33. De la figura, es posible plantear la ecuación (2.28).

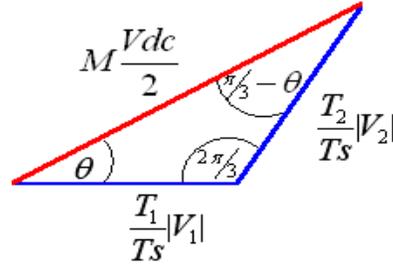


Figura 2-33. Descomposición del vector referencia

$$M \frac{V_{dc}}{2} \frac{1}{\sin(2\pi/3)} = \frac{T_1}{T_s} \frac{2}{3} V_{dc} \frac{1}{\sin(\pi/3 - \theta)} = \frac{T_2}{T_s} \frac{2}{3} V_{dc} \frac{1}{\sin(\theta)} \quad (2.28)$$

A partir de la ecuación (2.28) se despejan los valores de T_1 y T_2 en función del índice de modulación M y del ángulo θ . Con T_1, T_2 y la ecuación (2.27) establecidos, es posible obtener los tiempos de activación de los vectores cero, completando el cálculo para el sector I . Los resultados se resumen en la expresión (2.29).

$$T_1 = T_s M \frac{\sqrt{3}}{2} \sin\left(\frac{\pi}{3} - \theta\right) \quad (2.29)$$

$$T_2 = T_s M \frac{\sqrt{3}}{2} \sin(\theta)$$

$$T_z = T_s - T_1 - T_2$$

Las expresiones en (2.29) solo son válidas para el sector I , sin embargo, mediante el mismo procedimiento es posible obtener las fórmulas correspondientes a los 5 sectores restantes y generalizar mediante las expresiones en (2.30)

$$T_k = T_s M \frac{\sqrt{3}}{2} \sin\left(\frac{k\pi}{3} - \theta\right) \quad (2.30)$$

$$T_{k+1} = T_s M \frac{\sqrt{3}}{2} \sin\left(\theta - (k-1)\frac{\pi}{3}\right)$$

$$T_z = T_s - T_k - T_{k+1}$$

En donde k es el sector en el que se ubica el vector de referencia ($k+1 = 1$ para $k = 6$).

Para finalizar el cálculo es necesario realizar la partición de T_z entre los estados T_0 y T_7 tal que se cumpla (2.27). Es importante aclarar que sea cual sea la partición que se realice, las ecuaciones en (2.30) garantizan que el vector medio de salida del inversor iguale al vector referencia en cada ciclo T_s [4],[45]. En el caso del algoritmo de particiones simétricas (SY-SV-PWM) se realiza una partición de T_z entre T_1, T_2 , tal que se satisface (2.31).

$$T_0 = T_7 = \frac{T_s - T_k - T_{k+1}}{2} \quad (2.31)$$

Varios artículos han reportado la equivalencia entre la partición de estados cero en el enfoque basado en vectores espaciales (SV-PWM) y la inyección de señal de secuencia cero en el enfoque basado en portadora (CB-PWM) [33] demostrando que es posible implementar cualquiera de los algoritmos CB-PWM mediante una adecuada partición de estados cero en SV-PWM.

2.1.2.4. Rango de operación lineal

Generalmente las señales moduladoras conforman un conjunto sinusoidal trifásico balanceado el cual puede ser representado por un vector espacial de amplitud constante que rota dibujando una trayectoria circular en el plano $\alpha\beta$. Partiendo de este hecho es posible asegurar que la trayectoria circular de mayor radio dentro del hexágono del inversor determinará la amplitud máxima del vector de referencia en zona lineal. El radio máximo $R_{m\acute{a}x}$ que se puede obtener dentro del hexágono se ilustra en la Figura 2-34, su valor corresponde a $\frac{V_{dc}}{\sqrt{3}}$. Por lo tanto, la amplitud máxima del vector espacial dentro del rango de modulación lineal es $\frac{V_{dc}}{\sqrt{3}}$.

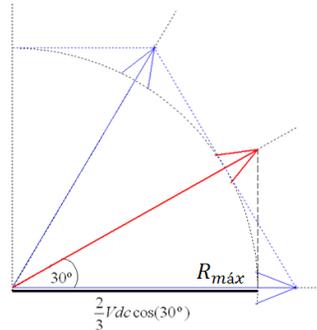


Figura 2-34. Amplitud máxima del vector referencia.

2.1.2.5. Secuencias de conmutación

La secuencia de conmutación hace referencia al orden de aplicación establecido para los vectores del inversor que aproximarán al vector de referencia dentro de un ciclo de conmutación. Esta secuencia no es única, ya que existen diferentes combinaciones que arrojan el mismo valor medio del voltaje deseado en términos de los vectores adyacentes que delimitan el sector. Sin embargo, el criterio que generalmente se adopta es el de *mínimas pérdidas por conmutación*, seleccionando aquellas transiciones de estado que provocan la conmutación en una sola rama del inversor. Por ejemplo, se permite la transición del estado S_2 al estado S_1 puesto que solo necesita la conmutación de la rama a en el inversor, en tanto que la transición del estado S_0 al S_7 no es permitida ya que precisa la transición en más de una rama del inversor. La Figura 2-35, ilustra mediante flechas continuas las transiciones permitidas, en ella es importante notar como a partir de los estados cero es posible pasar a cualquier estado activo y viceversa.

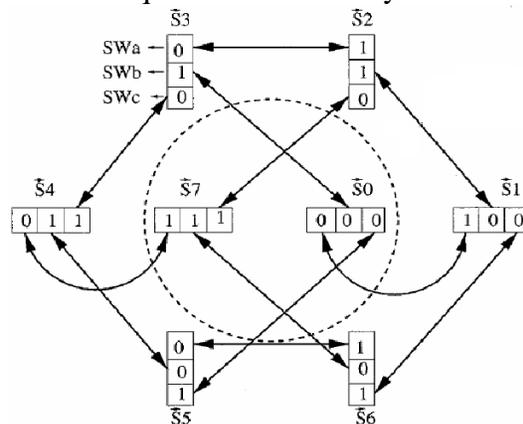


Figura 2-35. Transiciones de estado permitidas. Fuente: [33].

Además de tener en cuenta las transiciones permitidas, se recomienda *empezar y acabar la secuencia de conmutación con un vector cero*, esto con el fin de conservar las simetrías de cuarto de onda, media onda y tres fases en la señal modulada [45]; una secuencia apropiada es V_0, V_k, V_{k+1}, V_7 . En la Figura 2-36a), se ha graficado el patrón de conmutación generado por esta secuencia dentro del sector I . En él se observa una alineación de los pulsos hacia la derecha tal y como en la modulación *leading edge* PWM estudiada. Por lo tanto, la secuencia presentada se denomina: *secuencia leading edge PWM*. Definiendo otras secuencias de conmutación es posible obtener las variaciones de control de flanco expuestas en la sección 2.1.1.1 como se resume en la Tabla 2-3.

Flanco controlado		Secuencia de conmutación en T_s
Single edge PWM	leading edge	V_0, V_k, V_{k+1}, V_7
	trailing edge	V_7, V_{k+1}, V_k, V_0
Double edge PWM		$V_0, V_k, V_{k+1}, V_7, V_k, V_{k+1}, V_0$
		$V_7, V_{k+1}, V_k, V_0, V_k, V_{k+1}, V_7$

Tabla 2-3. Variaciones de control de flanco

En la Figura 2-36 se ilustra el patrón de conmutación generado por instancias de secuencias *leading* y *double edge* junto con una secuencia alternada, común en la literatura [45]. Es importante tener en cuenta que la selección de la secuencia de conmutación a emplear dependerá de la aplicación específica ya que cada una de ellas presenta sus ventajas, por ejemplo: Para aplicaciones de altos requerimientos en cuanto a contaminación armónica se prefieren las secuencias *double edge* por las cancelaciones de armónicos que estas presentan [31],[32] mientras que para aplicaciones de altos requerimientos en cuanto a pérdidas por conmutación, se prefieren las secuencias *single edge* por su bajo número de conmutaciones.

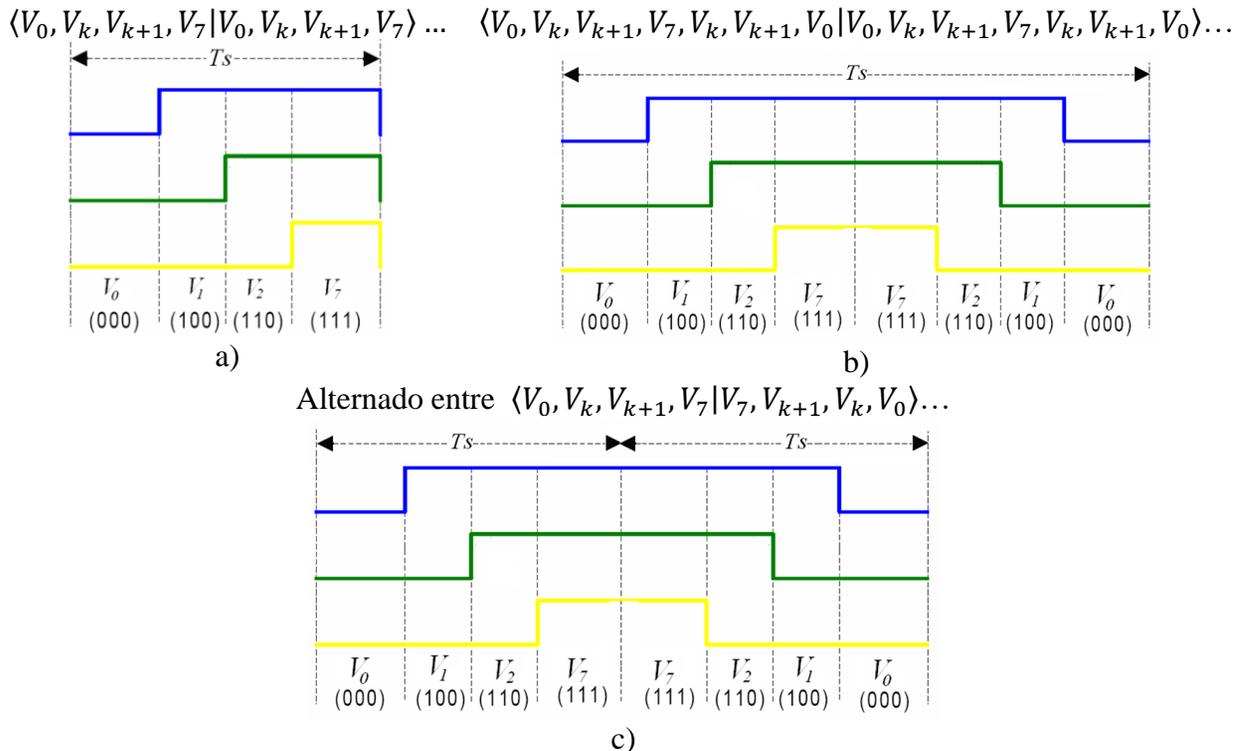


Figura 2-36. Patrón de conmutación de SY-SVPWM en el sector I . a) Secuencia *single edge*: asimétrica en T_s . b) Secuencia *double edge*: simétrica en T_s . c) Secuencia *single edge* alternada: *double edge* asimétrica en $2T_s$

2.1.2.6. Obtención de los ciclos útiles de los canales PWM

Una vez establecido el tiempo de activación de los vectores del hexágono del inversor, se procede a traducir estos resultados a ciclos útiles de los canales PWM que alimentarán las compuertas del inversor. Habiendo definido el patrón de conmutación resulta sencillo identificar estos ciclos útiles. Por ejemplo, al emplear la secuencia de conmutación $V_0, V_k, V_{k+1}, V_7, V_k, V_{k+1}, V_0$ el patrón de conmutación es el que se indica en la Figura 2-37. A partir de esta Figura las relaciones entre ciclos útiles y tiempos de activación de vectores se pueden expresar como se muestra en (2.32).

$$\begin{aligned} d_a &= (T_1 + T_2 + T_7)/T_s \\ d_b &= (T_2 + T_7)/T_s \\ d_c &= T_7/T_s \end{aligned} \quad (2.32)$$

En donde,

d_i es el ciclo útil correspondiente al canal PWM i . ($i = a, b, c$).

Estas expresiones solo son válidas para el primer sector. Sin embargo, con ayuda del patrón de conmutación en los sectores restantes (Ver Apéndice A sección A.2), resulta fácil completar las relaciones. Los resultados se resumen en la Tabla 2-4. Éstos son válidos para las tres secuencias estudiadas (Tabla 2-3) y facilitan la programación de los ciclos útiles de los módulos PWM en implementaciones prácticas.

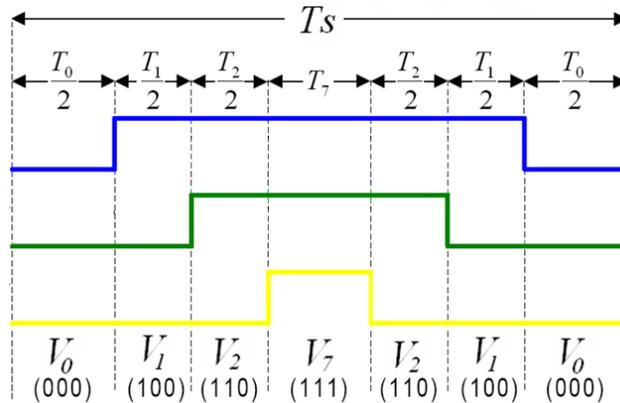


Figura 2-37. Patrón de conmutación de la secuencia $V_0, V_k, V_{k+1}, V_7, V_k, V_{k+1}, V_0$ en el sector I

k	$d_a T_s$	$d_b T_s$	$d_c T_s$
1	$T_k + T_{k+1} + T_7$	$T_{k+1} + T_7$	T_7
2	$T_k + T_7$	$T_k + T_{k+1} + T_7$	T_7
3	T_7	$T_k + T_{k+1} + T_7$	$T_{k+1} + T_7$
4	T_7	$T_k + T_7$	$T_k + T_{k+1} + T_7$
5	$T_{k+1} + T_7$	T_7	$T_k + T_{k+1} + T_7$
6	$T_k + T_{k+1} + T_7$	T_7	$T_k + T_7$

Tabla 2-4. Relación entre ciclos útiles y tiempos de aplicación de vectores.

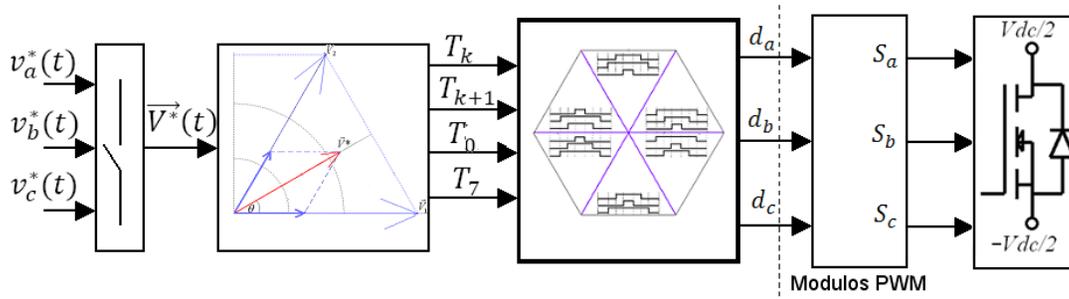


Figura 2-38. Diagrama de bloques del esquema SV-PWM convencional

Hasta este punto se han expuesto los principios básicos de la técnica SVPWM convencional, con el fin de resumir estos principios, se presenta el esquema de bloques de la Figura 2-38 mediante el cual es posible implementar la técnica de modulación SV-PWM. El proceso inicia con un muestreo y transformación de las señales moduladoras, como resultado inicial se obtiene el vector espacial de referencia. Posteriormente se aplican las ecuaciones de síntesis sobre el vector referencia y se obtienen los tiempos de activación de los vectores del inversor. Seguidamente, se realiza la transformación de tiempos de vectores del hexágono a ciclos útiles de los canales PWM y finalmente se alimentan los módulos PWM, uno para cada fase, con los ciclos útiles calculados. En la salida del bloque módulo PWM se obtendrán los pulsos de ancho variable encargados de activar las compuertas de los conmutadores de potencia en el inversor.

2.1.2.7. Implementación de los métodos PWM de inyección de secuencia cero mediante la técnica SV-PWM

Al analizar la ecuación (2.31), se evidencia que en ella se realizó una distribución simétrica de T_z entre T_0 y T_7 , sin embargo, existen diversas posibilidades para realizar la partición de los estados cero. Cada una de estas posibilidades genera un modulador de vectores espaciales diferente. Una representación generalizada para las posibles particiones de T_0 y T_7 es la siguiente [33].

$$\begin{aligned} T_7 &= K_0(w_m t)T_z \\ T_0 &= (1 - K_0(w_m t))T_z \end{aligned} \quad (2.33)$$

En donde $K_0(w_m t)$ es el *distribuidor de estados cero*, $1 \geq K_0(w_m t) \geq 0$.

En el modulador SV-PWM simétrico estudiado en párrafos anteriores, se elige un valor constante para el *distribuidor de estados cero* tal que se genere simetría en la partición de estados cero: $K_0(w_m t)=1/2 \rightarrow T_0 = T_7 = \frac{T_z}{2}$. Los moduladores generados con otros valores constantes de $K_0(w_m t)$ se han discutido en [50]; entre ellos, se encuentran el DPWMMAX resultado de la selección de $K_0(w_m t) = 1$ y el DPWMMIN obtenido al seleccionar $K_0(w_m t) = 0$. Cuando se provoca la variación en el tiempo de $K_0(w_m t)$ se pueden generar los algoritmos de modulación restantes. En las Figuras A-4 y A-5 de la sección A.3 en el apéndice A, se muestran algunas de estas variaciones junto con la evolución del ciclo útil del canal PWM a obtenido a partir de la Tabla 2-4. En estas Figuras se evidencian las similitudes entre los ciclos útiles generados en SV-PWM y la forma de las señales moduladoras de los esquemas PWM de inyección de señal de secuencia cero.

La Tabla 2-5 resume la definición de $K_0(w_m t)$ para los diferentes algoritmos PWM de inyección de secuencia cero.

A partir de las figuras en la sección A.3, es posible describir los algoritmos de modulación en el contexto de vectores espaciales mediante la utilización selectiva de los estados o vectores cero dentro del hexágono del inversor como se muestra en la Figura 2-39. Esta Figura indica el vector cero utilizado en cada sector para realizar la síntesis. Los algoritmos de modulación continuos en general emplean los dos vectores cero en todos los sectores mientras los algoritmos discontinuos solo emplean un vector cero por sector o segmento de sector. Por lo tanto, es posible caracterizar estos algoritmos de modulación por su secuencia de conmutación dentro del sector I como se resumen en la Tabla 2-6.

	k par	k impar
$K_{0SY-SVPWM}(w_m t)$	$\frac{1}{2}$	$\frac{1}{2}$
$K_{0SPWM}(w_m t)$	$\frac{1}{2} + \frac{T_1 - T_2}{6T_z}$	$\frac{1}{2} + \frac{T_2 - T_1}{6T_z}$
$K_{0DPWM0}(w_m t)$	1	0
$K_{0DPWM1}(w_m t)$	0 en la primera mitad del sector 1 en la segunda mitad del sector	1 en la primera mitad del sector 0 en la segunda mitad del sector
$K_{0DPWM2}(w_m t)$	0	1
$K_{0DPWM3}(w_m t)$	1 en la primera mitad del sector 0 en la segunda mitad del sector	0 en la primera mitad del sector 1 en la segunda mitad del sector
$K_{0DPWMMax}(w_m t)$	1	1
$K_{0DPWMMin}(w_m t)$	0	0

Tabla 2-5. Definición del distribuidor de estados cero $K_0(w_m t)$ para los diversos algoritmos PWM

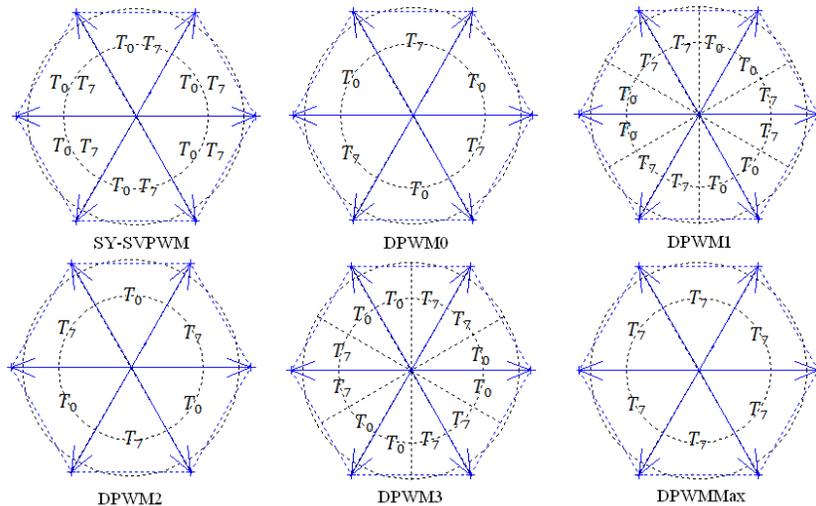


Figura 2-39. Utilización de estados cero en los métodos de modulación PWM de inyección de señal de secuencia cero

Modulador	Secuencia de conmutación en el primer sector	Observaciones
SY-SVPWM	$V_0, V_1, V_2, V_7, V_7, V_2, V_1, V_0$	Con partición simétrica de estados 0 y 7
DPWM0	$V_0, V_1, V_2, V_2, V_1, V_0$	
DPWM1	$V_1, V_2, V_7, V_7, V_2, V_1$	para $\theta \leq 30$
	$V_0, V_1, V_2, V_2, V_1, V_0$	para $\theta \geq 30$
DPWM2	$V_1, V_2, V_7, V_7, V_2, V_1$	
DPWM3	$V_0, V_1, V_2, V_2, V_1, V_0$	para $\theta \leq 30$
	$V_1, V_2, V_7, V_7, V_2, V_1$	para $\theta \geq 30$
DPWMMAX	$V_1, V_2, V_7, V_7, V_2, V_1$	
DPWMMIN	$V_0, V_1, V_2, V_2, V_1, V_0$	

Tabla 2-6 Secuencias de conmutación *double edge* para los moduladores PWM dentro del primer sector

2.1.2.8. Consideraciones sobre la modulación basada en vectores espaciales

Finalmente, es importante establecer algunas consideraciones sobre el enfoque SV-PWM:

- El esquema requiere un único proceso de modulación a diferencia de la solución basada en portadora en donde eran necesarios tres procesos de modulación simultáneos. Esto se refleja en una disminución de la carga computacional al momento de la implementación.
- La modulación en el esquema SV-PWM es inherentemente regular.
- Este enfoque no necesita de circuitos adicionales para la generación de señales portadoras y de secuencia cero; sin embargo, ofrece las tres variaciones de control de flanco de los esquemas basados en portadora y permite la implementación de los algoritmos de modulación con inyección de señales de secuencia cero mediante una sencilla definición de la variable $K_0(w_m t)$.
- Las formas de onda a la salida del inversor generadas al emplear los algoritmos de inyección de secuencia cero en los esquemas CB-PWM son exactamente iguales a aquellas generadas en los esquemas SV-PWM al seleccionar los partidores de estado cero adecuados. Por lo tanto, las características de desempeño expuestas en la sección 2.1.1.8 para los algoritmos CB-PWM son válidas para sus análogos en SV-PWM.

2.2. Conclusiones

En este capítulo se presentó un análisis de las principales variaciones de las técnicas de modulación por ancho de pulso aplicadas en el control de inversores trifásicos de los accionamientos eléctricos para motores AC. Se estudiaron los procesos de modulación basados en portadora y basados en vectores espaciales presentando: el principio de funcionamiento de la modulación, las expresiones empleadas para el cálculo de las señales involucradas en la modulación y figuras ilustrativas de los efectos causados por las variaciones comunes dentro de los dos enfoques.

Con base en este análisis se establece que cualquier alternativa de modulación PWM se puede clasificar dentro de un esquema con los siguientes componentes: Algoritmo de modulación, Control de flanco, Sincronismo, Simetría y Enfoque. Un resumen de las diferentes alternativas se muestra en la Tabla 2-7.

Adicionalmente, se mostró que todas las expresiones de los algoritmos de modulación continuos así como todas las reglas de magnitud de los algoritmos discontinuos requieren de pocos cálculos. Por esta razón resulta sencillo programar estos algoritmos en dispositivos DSP's o microcontroladores siendo el SV-PWM el enfoque más apropiado para estas implementaciones digitales. Se evidenció además, que con el fin de mejorar el desempeño de la modulación resulta práctico programar dos o más algoritmos de modulación dentro de un dispositivo y seleccionar en línea el más apropiado, de acuerdo a la región de operación del sistema de modulación.

Componentes del Esquema PWM	Alternativa
Algoritmo de Modulación	SPWM, THIPWM1/6, THIPWM1/4, SY-SVPWM, DPWM0, DPWM1, DPWM2, DPWM3, DPWMMAX, DPWMMIN.
Control de Flanco	Double edge, Leading edge, Trailing edge.
Sincronismo	Sincrónico, Asincrónico.
Simetría	Simétrico, Asimétrico.
Enfoque	Basado en portadora (CB-PWM), Basado en vectores espaciales (SV-PWM).

Tabla 2-7. Alternativas de componentes del Esquema PWM.

Capítulo 3. Desempeño Armónico

Según lo expuesto en los Capítulos 1 y 2, en la actualidad los sistemas de accionamientos de motores AC emplean de manera predominante en el proceso de conversión de energía a los inversores VSI trifásicos de dos niveles, bajo esquemas de modulación PWM. En virtud del proceso inherente de conmutación que implican los algoritmos de modulación PWM, la señal de salida de estos inversores posee un espectro armónico bastante nutrido, con componentes no solo en la frecuencia fundamental deseada sino también en múltiplos de ésta, en la frecuencia de conmutación y en bandas laterales alrededor de los múltiplos de la frecuencia de conmutación [4],[51].

En los inversores actuales, la frecuencia de conmutación solo está limitada por el nivel de pérdidas por conmutación admitido en el accionamiento, lo que permite el uso de altas frecuencias en aplicaciones de baja y mediana potencia. Esto significa que, en dichas aplicaciones, los grupos de armónicos del espectro PWM ubicados alrededor de la frecuencia de conmutación se localizan a muy altas frecuencias con respecto a la fundamental y por tanto no afectan el comportamiento fundamental del sistema [32]; sin embargo, cada uno de estos armónicos contribuye a efectos indeseables en el motor tales como: pérdidas en cobre, hierro y en el torque aplicado a la carga. A causa de éstos y otros efectos, surge el interés por el análisis del desempeño armónico generado en la modulación PWM.

Partiendo de que una reducción del contenido armónico en las señales de salida del modulador provoca una reducción del contenido armónico en la salida del inversor, en este capítulo se analiza el desempeño armónico de los algoritmos de modulación PWM y posteriormente se selecciona el esquema de modulación que permita minimizar el contenido armónico en las señales de salida del inversor.

3.1. Índices de distorsión armónica

Con el objetivo de caracterizar el desempeño armónico de los esquemas de modulación PWM se han definido diversos *índices* de distorsión armónica, dos de ellos son:

- El índice de distorsión armónica de corriente V_{WTHD} .
- El factor de distorsión armónica total F_{DIST} .

La información que entregan estos índices es complementaria y por esta razón dentro de este capítulo se pretende emplear las dos alternativas con el fin de caracterizar íntegramente el desempeño armónico de los esquemas de modulación de interés.

El análisis se limitará a los esquemas con control de flanco *double edge* puesto que según lo reportado en la literatura [31],[32],[52], esta variación presenta desempeño armónico superior.

3.1.1. Caracterización mediante el índice de distorsión armónica de corriente V_{WTHD} .

Aunque en un VSI se controla la señal de voltaje, la señal de interés en la evaluación armónica es la corriente, debido a la información de pérdidas y potencia que ésta entrega. Dado que la corriente línea a línea $i(t)$ de salida en un inversor PWM es una función con periodo T_s [31],[53], su valor RMS está dado por:

$$I_{rms} = \sqrt{\frac{1}{T_s} \int_0^{T_s} i^2(t) dt} \quad (3.1)$$

Puesto que $i(t)$ no posee componente DC y tiene una representación par puede ser descrita por una serie de Fourier de la siguiente forma:

$$\begin{aligned} i(t) &= I_1 \cos(w_1 t) + I_2 \cos(2w_1 t) + I_3 \cos(3w_1 t) + \dots \\ &= \sum_{h=1}^{\infty} \sum_{k=1}^{\infty} I_h I_k \cos(hw_1 t) \cos(kw_1 t) dt \end{aligned} \quad (3.2)$$

En donde,

I_h, I_k ; son las amplitudes de los componentes armónicos h y k respectivamente.
 h, k ; representan el índice armónico respecto al fundamental. Por ejemplo I_3 corresponde a la amplitud del tercer armónico de la señal fundamental de corriente.
 w_1 ; es la frecuencia angular de la señal fundamental de corriente.

Empleando la definición de la serie de Fourier en el valor RMS de $i(t)$ se obtiene:

$$I_{rms} = \sqrt{\frac{1}{T_s} \int_0^{T_s} \sum_{h=1}^{\infty} \sum_{k=1}^{\infty} I_h I_k \cos(hw_1 t) \cos(kw_1 t) dt} \quad (3.3)$$

La integral de los términos en los cuales $h \neq k$ es igual a 0, por lo tanto la expresión se puede reducir a:

$$I_{rms} = \sqrt{\sum_{h=1}^{\infty} \frac{I_h^2}{2}} \quad (3.4)$$

O en términos de los valores RMS de los armónicos:

$$I_{rms} = \sqrt{\sum_{h=1}^{\infty} I_{h,rms}^2} \quad (3.5)$$

En las aplicaciones de los accionamientos eléctricos, la componente fundamental de la señal modulada $i(t)$ se considera la salida deseada, por lo tanto, se acostumbra factorizar el componente deseado y considerar el resto de la expresión como *distorsión*. Al factorizar se obtiene:

$$I_{rms} = I_{1,rms} \sqrt{1 + \sum_{h=2}^{\infty} \left(\frac{I_{h,rms}}{I_{1,rms}} \right)^2} \quad (3.6)$$

Por lo tanto, la expresión que mide el contenido de distorsión armónica está dada por (3.7).

$$HD_i = \sqrt{\sum_{h=2}^{\infty} \left(\frac{I_h}{I_1} \right)^2} \quad (3.7)$$

Es necesario recordar que en las aplicaciones de accionamientos eléctricos la carga es un motor que puede ser caracterizado mediante una inductancia L en serie con una resistencia de valor relativamente pequeño. En este caso, la amplitud de las corrientes armónicas se puede aproximar mediante la siguiente expresión:

$$I_h = \frac{V_h}{hw_1 L}; h = 1, 2, 3, 4 \dots \quad (3.8)$$

Donde V_h es la componente armónica h de la señal de voltaje línea a línea.

Reemplazando las corrientes de (3.8) en la expresión del contenido de distorsión armónica (3.7), se obtiene la expresión del *índice de distorsión armónica total pesado* V_{WTHD} (3.9). Este índice caracteriza el comportamiento armónico de la señal de corriente línea a línea entregada por un inversor conectado a una carga inductiva. Como se observa en (3.9), su obtención implica el cálculo individual de las componentes armónicas de la señal de voltaje línea a línea. Por tal razón, en la sección 3.1.1.1, se presenta un método de análisis en frecuencia empleado en el cálculo de estos componentes armónicos.

$$V_{WTHD} = \sqrt{\sum_{h=2}^{\infty} \left(\frac{V_h}{hV_1}\right)^2} \quad (3.9)$$

3.1.1.1. Análisis del espectro generado por un modulador PWM.

El análisis en frecuencia permite la definición de las componentes del espectro de una señal mediante aplicación de las diversas versiones de la transformada de Fourier. De acuerdo al tipo de señal a analizar existen diferentes metodologías. Por ejemplo, cuando la señal considerada puede ser expresada como la sumatoria de un número de funciones paso (como en el caso de los pulsos PWM) es posible emplear la denominada *teoría de Fourier de jumps* (FTJ) la cual sustituye las integrales por sumatorias en el cálculo de los coeficientes de Fourier [54]. Otra alternativa, en el caso de los pulsos PWM, es emplear un modelo tridimensional para representar el tren de pulsos y posteriormente aplicar las series dobles de Fourier (DFS) en la determinación de los coeficientes. Este método es particularmente útil porque permite afrontar el comportamiento no periódico de los pulsos generados por los esquemas PWM asincrónicos [31],[55]. La metodología fue desarrollada en un principio por Bowes y Bird [56] quienes adaptaron a este tipo de sistemas de potencia un análisis originalmente propuesto para sistemas de comunicación por Bennet [57] y Black [58]. Su análisis busca describir la señal modulada en el dominio de la frecuencia y se desarrolla en dos etapas:

- La Etapa 1 describe el modulador mediante el denominado *modelo de wall*, necesario para representar el voltaje de salida como una señal periódica en el tiempo. Esta etapa se describe con detalle en la sección B.1 del apéndice B.
- La Etapa 2 aplica el método de series dobles de Fourier sobre la señal periódica para determinar el espectro del tren de pulsos de salida.

3.1.1.1.1. Etapa 2: Aplicación del método de series dobles de Fourier

A partir de la representación de los voltajes de fase $v_{aN}(x, y)$ como funciones periódica en x, y (sección B.1), es posible emplear la definición de series dobles de Fourier para obtener las componentes armónicas requeridas. El desarrollo de la serie de Fourier para una forma de onda controlada por dos variables se define en (3.10) (3.11) [59].

$$\begin{aligned}
 v_{aN}(x, y) &= v_{aN}(t) & (3.10) \\
 &= \frac{A_{00}}{2} + \sum_{n=1}^{\infty} [A_{0n} \cos(ny) + B_{0n} \sin(ny)] \\
 &\quad + \sum_{m=1}^{\infty} [A_{m0} \cos(mx) + B_{m0} \sin(mx)] \\
 &\quad + \sum_{m=1}^{\infty} \sum_{\substack{n=-\infty \\ (n \neq 0)}}^{\infty} [A_{mn} \cos(mx + ny) + B_{mn} \sin(mx + ny)]
 \end{aligned}$$

Donde,

$$C_{mn} = A_{mn} + jB_{mn} = \frac{1}{2\pi^2} \int_0^{2\pi} \int_0^{2\pi} f(x, y) e^{j(mx+ny)} dx dy \quad (3.11)$$

En donde,

m ; es el índice de portadora y está definido para los enteros en el rango: $[0 \leq m \leq \infty]$.

n ; es el índice de fundamental y está definido para los enteros en el rango: $[-\infty \leq n \leq \infty]$.

C_{mn} ; es el coeficiente de Fourier y representa la magnitud de la componente espectral de frecuencia $f_{mn} = f_s m + f_m n$. Éste puede ser clasificado como se muestra en la Tabla 3-1.

A_{mn} ; es el coeficiente de las componentes reales.

B_{mn} ; es el coeficiente de las componentes complejas.

Clasificación de C_{mn}	Condición
Componente DC	Si $f_{mn} = 0, (m = 0, n = 0)$
Sub-armónico de portadora	Si $0 < f_{mn} < f_s, (m = 0, n < N)$
Armónico n de fundamental	Si f_{mn} es múltiplo entero de $f_m, (m = 0, n \neq 0)$
Armónico m de portadora	Si f_{mn} es múltiplo entero de $f_s, (m \neq 0, n = 0)$
Inter-armónico de portadora o armónico de banda lateral de portadora	Si f_{mn} no es múltiplo entero de $f_s, (m \neq 0, n \neq 0)$

Tabla 3-1. Clasificación de los coeficientes de Fourier

El planteamiento empleado para calcular los coeficientes C_{mn} se detalla en la sección B.2 del apéndice B.

Espectro de los voltajes de Fase

Los resultados de los coeficientes de Fourier para los voltajes de la fase a modulados mediante los algoritmos SY-SVPWM y SPWM *con muestreo regular asimétrico* se expresan en las ecuaciones (3.12) y (3.13) respectivamente⁴.

⁴ El desarrollo del cálculo analítico de los coeficientes de Fourier se encuentra en [30] y [59].

$$\mathbf{A}_{mn} = \begin{cases} 0 & \text{para } m = 0, n = 0 \\ \frac{\sqrt{3}V_{dc}}{\pi} \left\{ \frac{1}{n+1} \left\{ \sin\left((n+1)\frac{\pi}{6}\right) \cos\left((n+1)\frac{\pi}{2}\right) (\sqrt{3} + 2\cos((n+1)\frac{\pi}{3} + \frac{\pi}{6})) \right\} \right. \\ \quad \left. + \frac{1}{n-1} \left\{ \sin\left((n-1)\frac{\pi}{6}\right) \cos\left((n-1)\frac{\pi}{2}\right) (\sqrt{3} + 2\cos((n-1)\frac{\pi}{3} + \frac{\pi}{6})) \right\} \right\} \\ \text{para } m = 0, n \geq 2 \\ \frac{4V_{dc}}{q\pi^2} \left[\left\{ \frac{\pi}{6} \sin\left((m+n)\frac{\pi}{2}\right) \left(J_n\left(\frac{3}{4}qM\pi\right) + 2\cos\left(n\frac{\pi}{6}\right) J_n\left(\frac{\sqrt{3}}{4}qM\pi\right) \right) \right\} + \left\{ \frac{1}{n} \sin\left(m\frac{\pi}{2}\right) \cos\left(n\frac{\pi}{2}\right) \sin\left(n\frac{\pi}{6}\right) \left(J_0\left(\frac{3}{4}qM\pi\right) - J_0\left(\frac{\sqrt{3}}{4}qM\pi\right) \right) \right\} \right. \\ \quad \left. + \left\{ \sum_{\substack{k=1 \\ k \neq n}}^{\infty} \left(\frac{1}{n+k} \sin\left((m+k)\frac{\pi}{2}\right) \cos\left((n+k)\frac{\pi}{2}\right) \sin\left((n+k)\frac{\pi}{6}\right) \right) \left(J_k\left(\frac{3}{4}qM\pi\right) + 2\cos\left((2n+3k)\frac{\pi}{6}\right) J_k\left(\frac{\sqrt{3}}{4}qM\pi\right) \right) \right\} \right. \\ \quad \left. + \left\{ \sum_{\substack{k=1 \\ k \neq n}}^{\infty} \left(\frac{1}{n-k} \sin\left((m+k)\frac{\pi}{2}\right) \cos\left((n-k)\frac{\pi}{2}\right) \sin\left((n-k)\frac{\pi}{6}\right) \right) \left(J_k\left(\frac{3}{4}qM\pi\right) + 2\cos\left((2n-3k)\frac{\pi}{6}\right) J_k\left(\frac{\sqrt{3}}{4}qM\pi\right) \right) \right\} \right] \\ \text{para } m \neq 0, n \neq 0 \\ \frac{4V_{dc}}{q\pi^2} \left[\left\{ \sum_{\substack{k=1 \\ k \neq 0}}^{\infty} \left(\frac{1}{k} \sin\left((m+k)\frac{\pi}{2}\right) \cos\left(k\frac{\pi}{2}\right) \sin\left(k\frac{\pi}{6}\right) \right) \left(J_k\left(\frac{3}{4}qM\pi\right) + 2\cos\left(k\frac{\pi}{3}\right) J_k\left(\frac{\sqrt{3}}{4}qM\pi\right) \right) \right\} \right. \\ \quad \left. + \left\{ \sum_{\substack{k=1 \\ k \neq 0}}^{\infty} \left(\frac{1}{k} \sin\left(m\frac{\pi}{2}\right) \cos\left(n\frac{\pi}{2}\right) \sin\left(-k\frac{\pi}{6}\right) \right) \left(J_k\left(\frac{3}{4}qM\pi\right) + 2\cos\left(-3k\frac{\pi}{6}\right) J_k\left(\frac{\sqrt{3}}{4}qM\pi\right) \right) \right\} \right] \\ \text{para } m \neq 0, n = 0 \end{cases} \quad (3.12)$$

$$\mathbf{A}_{mn} = \begin{cases} 0 & \text{para } m = 0 \quad n = 0 \\ \frac{2V_{dc}}{\pi} N \sin\left(n\frac{\pi}{2}\right) J_n\left(nM\frac{\pi}{2N}\right) & \text{para } m = 0 \quad n \neq 0 \\ \frac{2V_{dc}}{\pi} \frac{1}{q} \sin\left((m+n)\frac{\pi}{2}\right) J_n\left(q\frac{\pi}{2}M\right) & \text{para } m \neq 0 \quad n \neq 0 \\ \frac{2V_{dc}}{\pi} \frac{1}{q} \sin\left(m\frac{\pi}{2}\right) J_0\left(q\frac{\pi}{2}M\right) & \text{para } m \neq 0 \quad n = 0 \end{cases} \quad (3.13)$$

En donde,

$$q = m + \frac{n}{N}$$

J_n es la función Bessel del primer tipo y orden n

El espectro teórico de los moduladores SY-SVPWM y SPWM obtenido a partir de las ecuaciones (3.12) y (3.13) se ilustra en la Figura 3-1. Los parámetros seleccionados para realizar los cálculos fueron: $f_s = 2600 \text{ Hz}$ y $f_m = 60 \text{ Hz}$. Se eligió una relación de frecuencias asincrónica ($N = 43.33$) con el fin de mostrar la independencia de este criterio con respecto al desempeño armónico de los algoritmos de modulación.

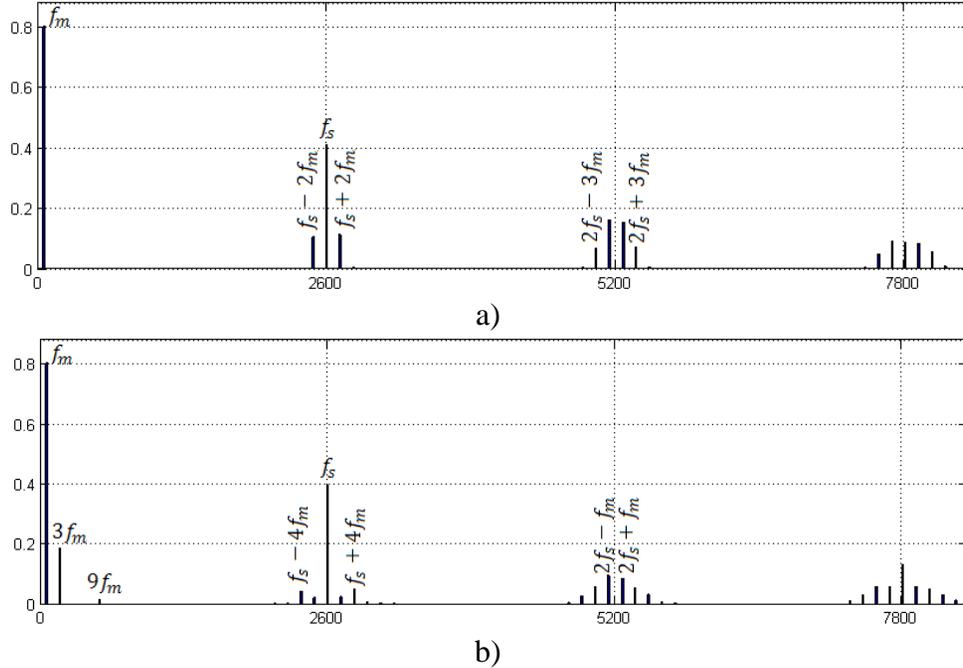


Figura 3-1. Espectro de los voltajes de fase en la salida del inversor. a) Modulación SPWM b) Modulación SY-SVPWM

Observando el espectro para el caso SPWM (ver Figura 3-1a)), se localiza:

- La componente de la frecuencia fundamental con amplitud establecida por el índice de modulación.
- Las componentes en las frecuencias múltiplos impares de f_s .
- Las componentes en las frecuencias interarmónicas agrupadas alrededor de los múltiplos enteros de la frecuencia portadora.

En el caso SY-SVPWM (ver Figura 3-1b)) las componentes se localizan en las mismas frecuencias pero con amplitudes diferentes y adicionalmente aparecen componentes armónicas de la fundamental, en $3f_m$ y $9f_m$, propias de la señal de secuencia cero inyectada.

En las componentes inter-armónicas de estos espectros se aprecia *la primera cancelación de armónicos*; se trata de la cancelación de bandas laterales impares alrededor de múltiplos impares de portadora y de bandas laterales pares alrededor de múltiplos pares de portadora. Esta cancelación, ilustrada con más detalle en la Figura 3-2, es provocada por el término $\sin\left((m+n)\frac{\pi}{2}\right)$ presente en la expresión de los inter-armónicos de portadora y es propia de los algoritmos de modulación continuos con *muestreo natural y regular asimétrico* [24]. La expresión para los coeficientes armónicos de los algoritmos con *modulación regular simétrica* [31] carece del término mencionado anteriormente, lo que justifica la existencia de una mayor cantidad de armónicos de bandas laterales en su espectro. Por esta razón, el muestreo regular asimétrico presenta un mejor desempeño armónico con respecto al muestreo regular simétrico. En el caso de la *modulación discontinua* no ocurre la cancelación de armónicos laterales expuesta, por el contrario los algoritmos DPWM generan sub-armónicos de portadora en cada señal de fase [24]. No obstante, estos componentes adicionales son cancelados en los voltajes línea a línea.

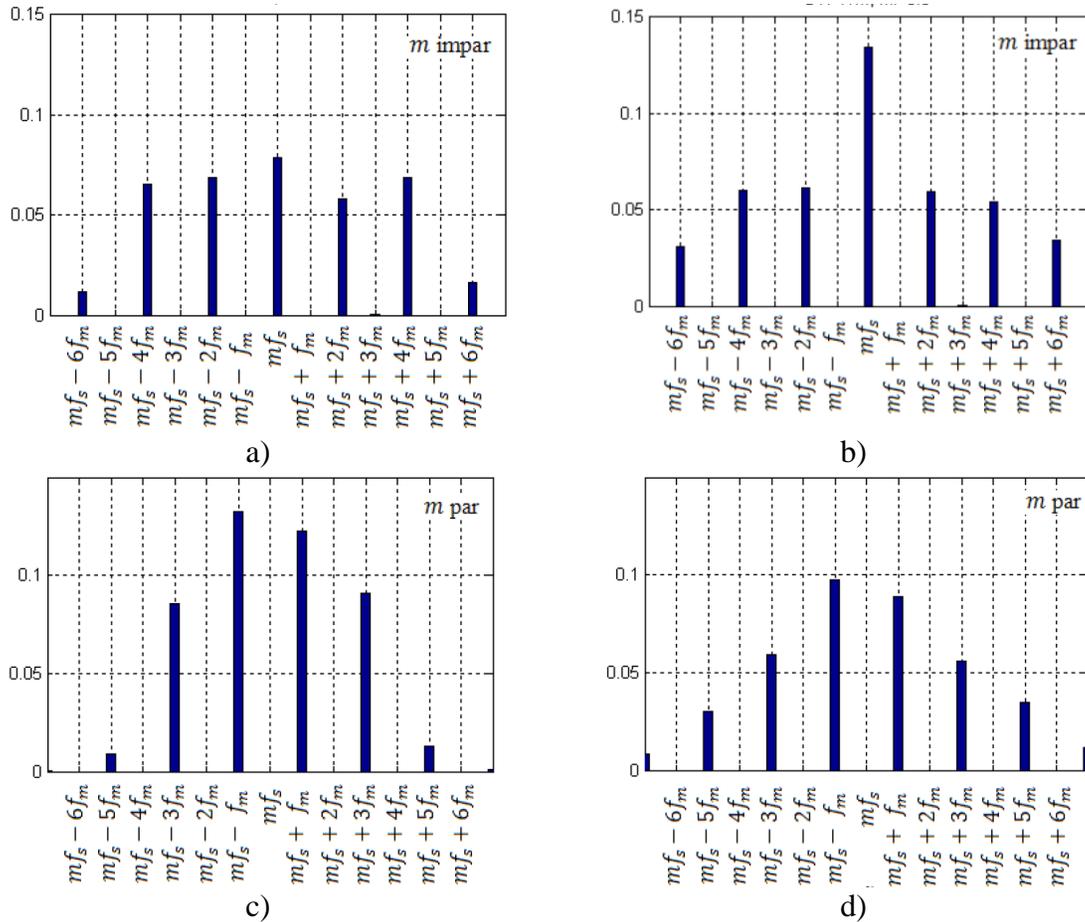


Figura 3-2 Cancelación de armónicos de bandas laterales de portadora en los esquemas regulares asimétricos.

a) SPWM, m impar. b) SY-SVPWM, m impar. c) SPWM, m par. d) SY-SVPWM, m par

Las ecuaciones (3.12) y (3.13) muestran una fuerte dependencia de los inter-armónicos con respecto al índice de modulación. Esta dependencia es ilustrada en la Figura 3-3 mediante la gráfica del espectro de los voltajes de fase en todo el rango de modulación lineal. En esta Figura el plano $[Frecuencia, V_h]$ contiene el espectro generado en un índice de modulación particular especificado por el eje M .

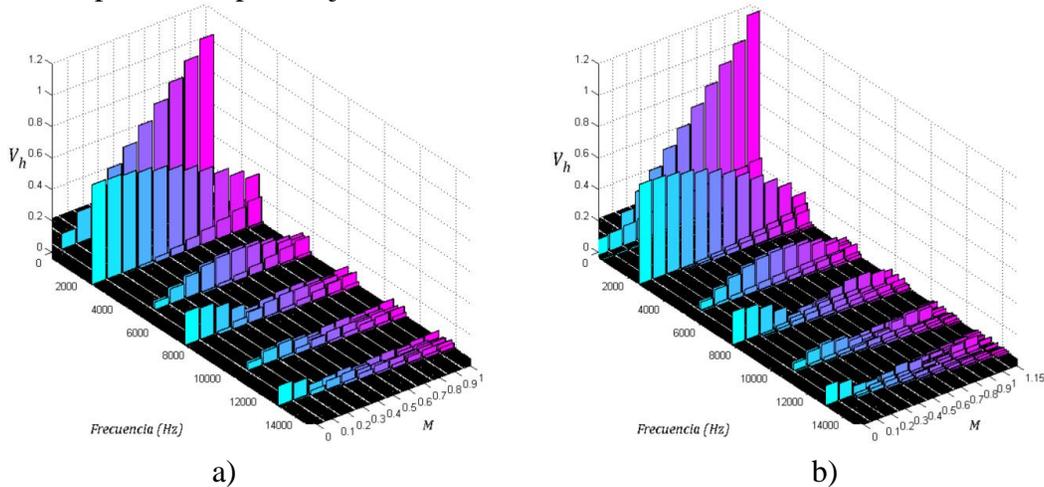


Figura 3-3. Espectro armónico de las señales de fase a lo largo de M a) Algoritmo SPWM b) Algoritmo SY-SVPWM

La Figura 3-3 permite identificar los armónicos de bandas laterales dominantes que en este caso se encuentran en las frecuencias:

$$f_s \pm 2f_m, f_s \pm 4f_m, f_s \pm 6f_m, 2f_s \pm f_m, 2f_s \pm 3f_m, 2f_s \pm 5f_m.$$

Con el fin de graficar la evolución de los armónicos dominantes respecto al índice de modulación, se ha extraído el plano $[M, V_h]$ de la Figura 3-3 y éste se presenta en la Figura 3-4. En ella se identifica al componente armónico dominante para los dos algoritmos en $2f_s \pm f_m$, el cual alcanza un pico máximo de 0.182 en $M = 0.6$ en el caso de SPWM y 0.195 en $M = 0.6$ en el caso de SY-SVPWM.

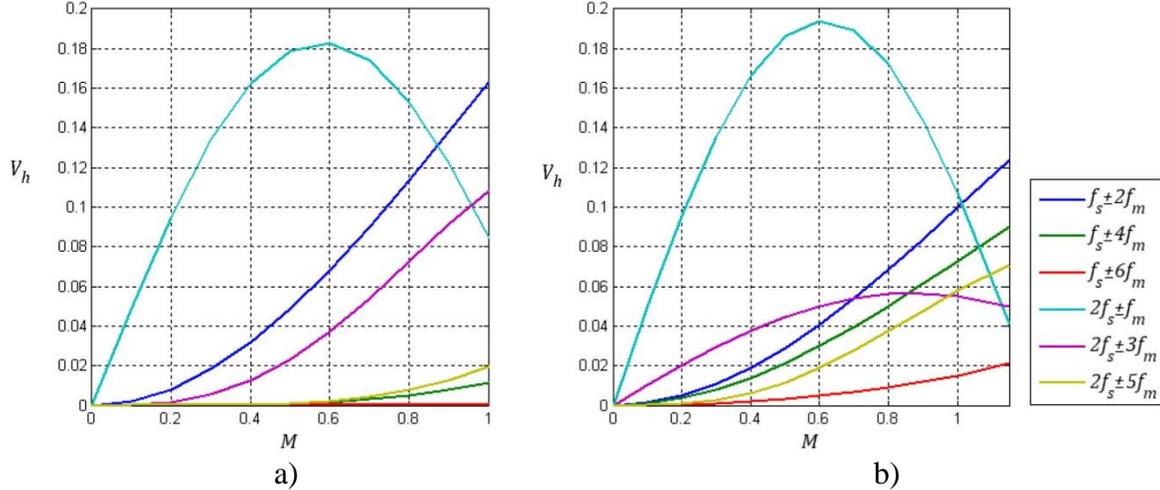


Figura 3-4. Evolución de los armónicos dominantes en voltajes de fase. a) Algoritmo SPWM. b) Algoritmo SY-SVPWM.

Espectro de los voltajes línea a línea.

Dado que los voltajes línea a línea pueden ser definidos en función de los voltajes de fase, el desarrollo de sus coeficientes se realiza con base en los resultados obtenidos en la primera parte de la sección 3.1.1.1. A partir de los coeficientes de Fourier presentados en las ecuaciones (3.12) y (3.13) es posible expresar los voltajes de fase modulados en función del tiempo como se presenta en (3.14) (3.15) y (3.16).

$$v_{aN}(x, y) = \sum_{n=1}^{\infty} A_{0n} \cos(ny) + \sum_{m=1}^{\infty} A_{m0} \cos(mx) + \sum_{m=1}^{\infty} \sum_{\substack{n=-\infty \\ (n \neq 0)}}^{\infty} A_{mn} \cos(mx + ny) \quad (3.14)$$

$$v_{bN}(x, y) = \sum_{n=1}^{\infty} A_{0n} \cos\left(n\left(y - \frac{2\pi}{3}\right)\right) + \sum_{m=1}^{\infty} A_{m0} \cos(mx) + \sum_{m=1}^{\infty} \sum_{\substack{n=-\infty \\ (n \neq 0)}}^{\infty} A_{mn} \cos\left(mx + n\left(y - \frac{2\pi}{3}\right)\right) \quad (3.15)$$

$$\begin{aligned}
 v_{cN}(x, y) = & \sum_{n=1}^{\infty} A_{0n} \cos\left(n\left(y - \frac{4\pi}{3}\right)\right) \\
 & + \sum_{m=1}^{\infty} A_{m0} \cos(mx) + \sum_{m=1}^{\infty} \sum_{\substack{n=-\infty \\ (n \neq 0)}}^{\infty} A_{mn} \cos\left(mx + n\left(y - \frac{4\pi}{3}\right)\right)
 \end{aligned} \quad (3.16)$$

Definiendo el voltaje línea a línea $v_{ab}(x, y)$ como,

$$v_{ab}(x, y) = v_{aN}(x, y) - v_{bN}(x, y) \quad (3.17)$$

Entonces, la expresión para la señal $v_{ab}(x, y)$ modulada mediante SPWM se presenta en (3.18).

$$\begin{aligned}
 v_{ab}(x, y) = & \sqrt{3}V_{dc}M_i \cos\left(y + \frac{\pi}{6}\right) \\
 & + \sum_{m=1}^{\infty} \sum_{\substack{n=-\infty \\ (n \neq 0)}}^{\infty} 8 \frac{V_{dc}}{\pi m} J_n\left(m \frac{\pi}{2} M\right) \sin\left(-n \frac{\pi}{3}\right) \sin\left((m+n) \frac{\pi}{2}\right) \\
 & \cdot \sin\left(mx + n\left(y - \frac{\pi}{3}\right)\right)
 \end{aligned} \quad (3.18)$$

De la expresión (3.18) se extraen los coeficientes del espectro de la señal línea a línea. Éstos se presentan a continuación:

$$\mathbf{A}_{mn} = \begin{cases} \sqrt{3}V_{dc}M_i & \text{Para } m=0 \quad n=1 \\ 8 \frac{V_{dc}}{\pi m} J_n\left(m \frac{\pi}{2} M\right) \sin\left(-n \frac{\pi}{3}\right) \sin\left((m+n) \frac{\pi}{2}\right) & \text{Para } m \neq 0 \quad n \neq 0 \\ 0 & \text{Para otros casos} \end{cases} \quad (3.19)$$

Un gráfico del espectro se muestra en la Figura 3-5. Los parámetros seleccionados para realizar los cálculos fueron $f_s = 2600 \text{ Hz}$ y $f_m = 60 \text{ Hz}$. En este espectro se aprecia la *segunda cancelación de armónicos*: se trata de la cancelación total de los armónicos de portadora como consecuencia de la resta entre las expresiones (3.14) y (3.15) que compartían los mismos componentes de portadora.

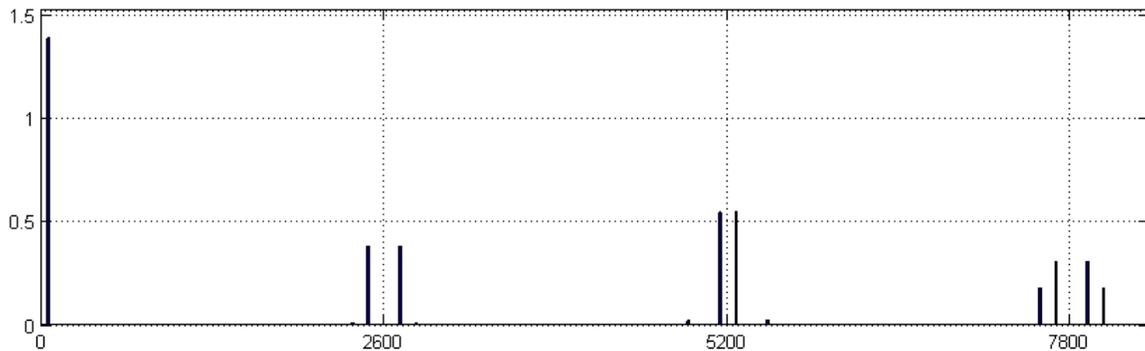


Figura 3-5. Espectro armónico del voltaje línea a línea en el modulador SPWM

La *tercera cancelación de armónicos* se ilustra en la Figura 3-6 y es provocada por el término $\sin\left(-n\frac{\pi}{3}\right)$ presente en la expresión de coeficientes inter-armónicos de voltajes línea a línea (ecuación (3.19)); este término anula los armónicos de bandas laterales triples alrededor de cada múltiplo de portadora redefiniendo los armónicos dominantes para las señales línea a línea en: $f_s \pm 2f_m, f_s \pm 4f_m, 2f_s \pm f_m, 2f_s \pm 5f_m$.

Es importante reconocer que esta cancelación de bandas laterales no es provocada por relaciones triples de N como lo publican algunos artículos y que no existe un beneficio armónico identificable de mantener N entero e impar como se creía hasta hace algún tiempo [24]. Sin embargo, en el campo de procesamiento de señales es más sencillo tratar esquemas sincrónicos (N entero) lo que representa una ventaja respecto a los esquemas asincrónicos.

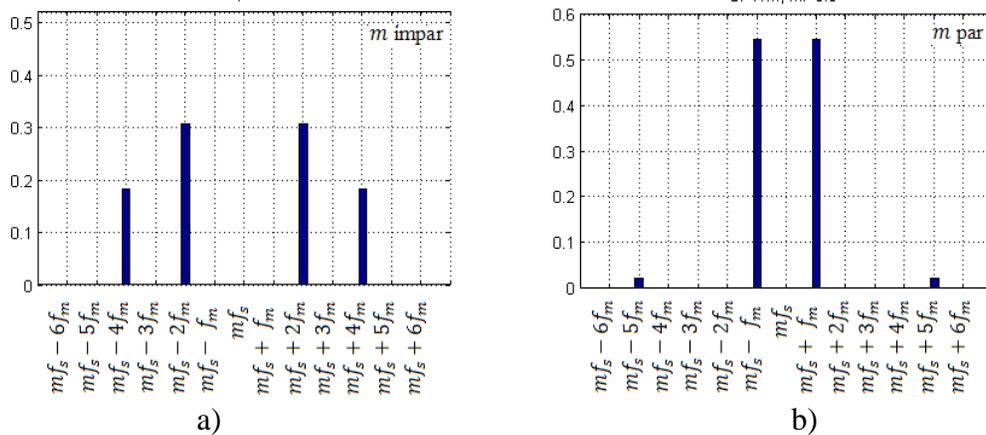


Figura 3-6. Cancelación de bandas laterales triples en los voltajes línea a línea modulados mediante SPWM. a) m impar. b) m par. $M = 0.8$

La evolución del espectro línea a línea a lo largo del índice de modulación se ilustra en la Figura 3-7. El espectro correspondiente a los algoritmos THIPWM y SY-SVPWM es similar al presentado en esta Figura pero con variaciones en la amplitud de las componentes armónicas [24].

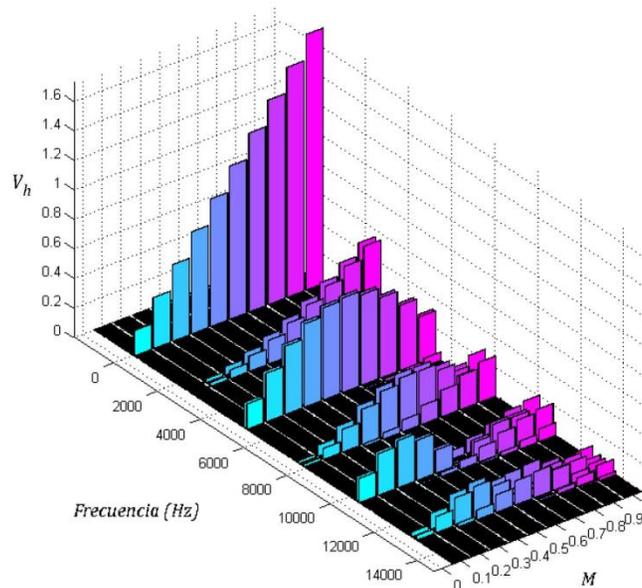


Figura 3-7. Espectro armónico del voltaje línea a línea a lo largo de M

Habiendo encontrado las amplitudes de los componentes armónicos se procedió a calcular el índice V_{WTHD} definido en (3.9). La Figura 3-8, presenta la evolución de este índice para el voltaje de línea a línea v_{ab} modulado mediante SPWM para $f_m = 36\text{Hz}$ y $f_s = 864\text{Hz}$. En ella se aprecia claramente la tendencia inversamente proporcional del V_{WTHD} respecto a M , ésta es debida al incremento del componente fundamental como consecuencia del incremento en el índice de modulación. Para $M = 0.05$ se alcanza el máximo valor de V_{WTHD} en este caso 5.6 y para $M = 1$ el índice se reduce hasta 3.49.

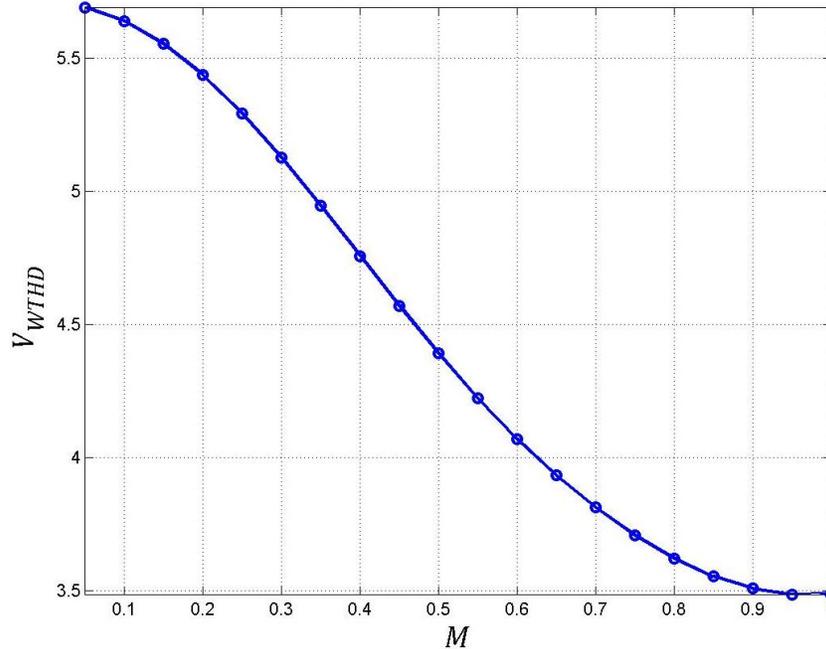


Figura 3-8. Evolución de V_{WTHD} vs M para SPWM. $f_m = 36\text{Hz}$ y $f_s = 864\text{Hz}$.

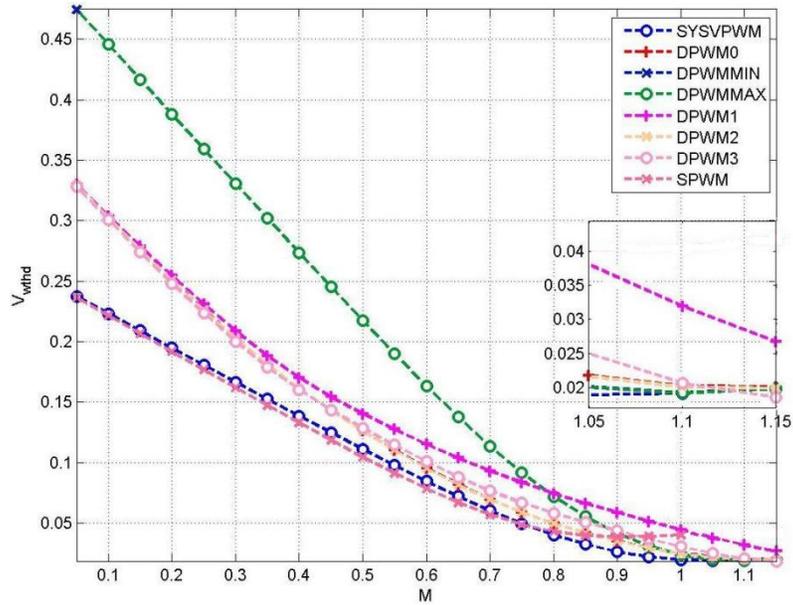
Para el cálculo de los espectros, el índice V_{WTHD} y el desarrollo de las Figuras presentadas en la Etapa 2 del análisis de espectro se evaluaron las expresiones (3.12), (3.13) y (3.19) empleando la herramienta MATLAB. Las amplitudes de los voltajes armónicos fueron normalizadas con respecto a V_{dc} . Adicionalmente, el cálculo de las bandas laterales fue confinado a 30 componentes en cada lado y el rango de frecuencias se eligió de tal manera que se garantizaran los primeros 15 armónicos de portadora.

Se graficó la evolución del espectro a valores discretos de M , en el caso de SPWM desde 0 hasta 1 y en el caso de SY-SVPWM desde 0 hasta 1.15 con pasos de 0.1. Adicionalmente, dentro del cálculo se tuvieron en cuenta las recomendaciones presentadas en [60] las cuales establecen lo siguiente:

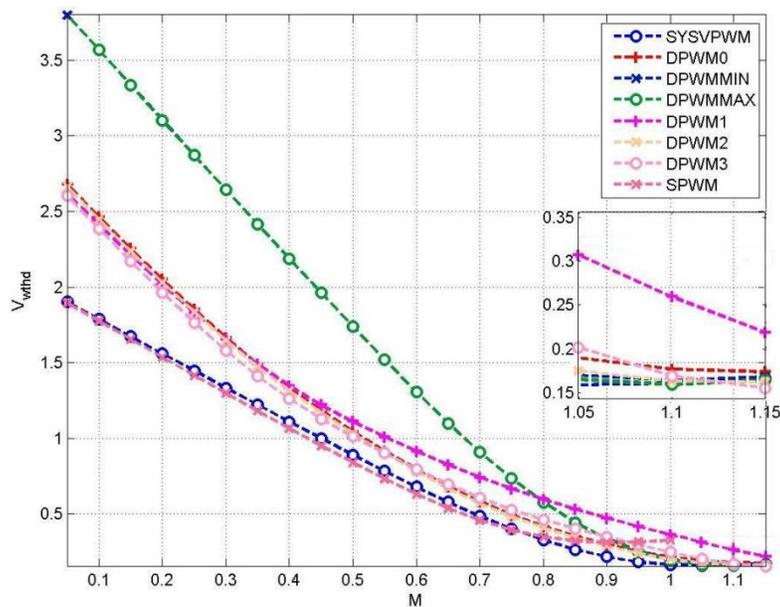
- En el caso en que aparezcan diferentes componentes a la misma frecuencia es necesario realizar sumas vectoriales para calcular la amplitud total del voltaje armónico.
- La amplitud armónica de componentes a frecuencias negativas debe ser reemplazada por su complejo conjugado y posteriormente sumada vectorialmente con la componente en la frecuencia positiva correspondiente.

Uno de los principales inconvenientes dentro del desarrollo del análisis armónico fue el lograr encontrar las expresiones analíticas para calcular las amplitudes de los voltajes armónicos *línea-línea* en los algoritmos de modulación discontinuos y en el SY-SVPWM.

Por lo tanto, se decidió realizar el cálculo de los voltajes armónicos mediante simulación. Utilizando las herramientas de MATLAB, se desarrolló un análisis de Fourier para cada uno de los algoritmos PWM bajo las condiciones de un esquema regular, con control de flanco double edge, $f_s = 864 \text{ Hz}$ y para tres frecuencias fundamentales (f_m), 2.4 Hz , 19.2 Hz y 36 Hz . Este análisis permitió conseguir la amplitud de los voltajes armónicos generada por cada algoritmo de modulación. Posteriormente, se calculó y graficó el índice V_{WTHD} para cada caso, obteniendo como resultado las tendencias mostradas en la. Figura 3-9.



a)



b)

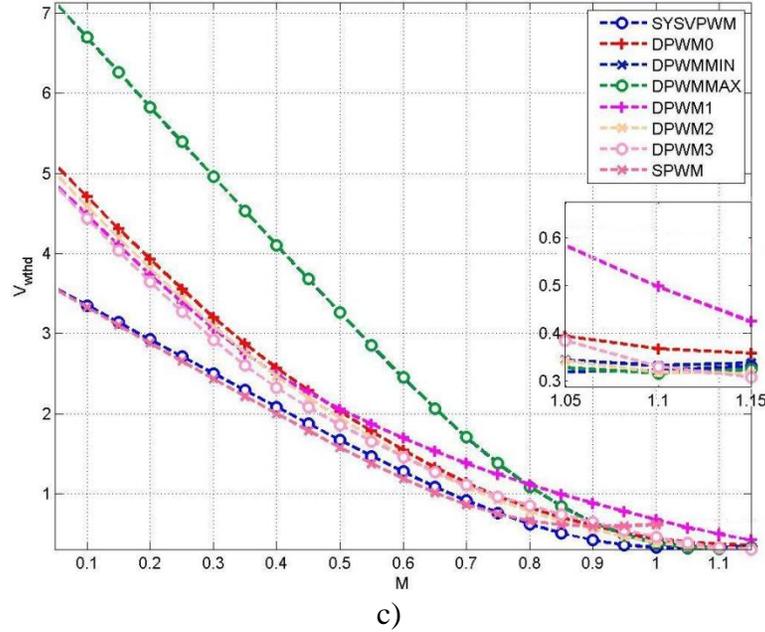


Figura 3-9. Evolución del índice V_{WTHD} en los algoritmos de modulación PWM. a) $f_m=2.4\text{Hz}$ ($N = 360$). b) $f_m = 19.2\text{Hz}$ ($N = 45$). c) $f_m= 36\text{Hz}$ ($N = 24$).

En los tres índices de frecuencia N ilustrados en la Figura 3-9 se aprecia claramente una tendencia decreciente similar a la presentada en la Figura 3-8, con variaciones en las pendientes de los algoritmos continuos y discontinuos. Es importante notar la relación que conservan las tendencias de los ocho algoritmos evaluados y que la evolución del V_{WTHD} a lo largo de M , para todos los casos, es una función continua monótonamente decreciente. Este comportamiento puede describirse de la siguiente manera:

- **Algoritmos continuos:** La tendencia ilustrada para los algoritmos continuos es muy similar y conserva la misma pendiente en el rango $[0.05 < M < 0.7]$. En el caso de alta modulación el algoritmo SPWM presenta un cambio brusco como muestra de su bajo desempeño en dicha zona, a diferencia del SY-SVPWM que mantiene una tendencia decreciente regular durante todo el rango de operación.
- **Algoritmos discontinuos:** Su comportamiento se puede clasificar en dos tendencias, la primera en la que se agrupan el DPWMMIN y DPWMMAX ilustra la pendiente más baja y presenta un desempeño inferior en el rango de modulación $[0.05 < M < 0.75]$ respecto a los algoritmos discontinuos restantes. A la segunda tendencia pertenecen los algoritmos DPWM0, DPWM1, DPWM2, DPWM3, los cuales presentan comportamientos muy similares hasta: $M = 0.25$ en la Figura 3-9a), $M = 0.4$ para la Figura 3-9b) y $M = 0.5$ para la Figura 3-9c), en adelante, el algoritmo DPWM1 incrementa su pendiente mientras los algoritmos restantes conservan su tendencia.

Al comparar las amplitudes del índice V_{WTHD} en los tres índices de frecuencia N se identifica una relación inversamente proporcional entre N y la amplitud del índice V_{WTHD} para los ocho algoritmos PWM de interés. Esta relación es la esperada puesto que para altos valores de N se genera gran cantidad de conmutaciones por periodo de fundamental lo que implica una mayor precisión en la representación de las señales de referencia y lo que a su vez conlleva a una disminución de amplitud de las componentes en frecuencia.

Adicionalmente, en la Figura 3-9 se aprecia la superioridad de los algoritmos continuos en gran parte del rango de operación, sin embargo, es importante recordar que los algoritmos continuos generan mayor número de conmutaciones respecto a los algoritmos discontinuos para una misma frecuencia de conmutación, por lo tanto, la evolución del índice V_{WTHD} presentada en la Figura 3-9 no es apropiada para realizar comparaciones de desempeño armónico entre los algoritmos continuos y discontinuos. Con este fin, en la sección 3.1.2 se presenta la segunda técnica de análisis armónico que toma en cuenta la diferencia en el número de conmutaciones entre algoritmos continuos y discontinuos.

En la Figura 3-10 se presenta con mayor detalle el efecto del índice de frecuencias N sobre el desempeño armónico para el algoritmo SY-SVPWM. En ella se aprecia claramente la reducción en amplitud del V_{WTHD} en la medida que se incrementa el índice de frecuencias N .

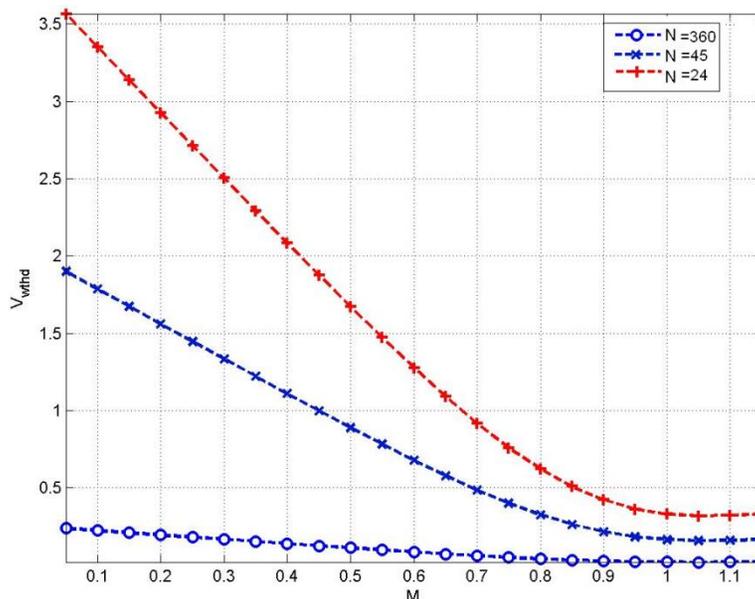


Figura 3-10. Efecto del índice de frecuencias N sobre V_{WTHD} para el SY-SVPWM

Las tendencias presentadas desde la Figura 3-8 hasta la Figura 3-10 se obtuvieron a partir del modelo en bloques descrito en la sección D.1 del apéndice D.

3.1.1.2. Consideraciones sobre el índice de distorsión armónica de corriente V_{WTHD} .

Se finaliza el estudio sobre el índice de distorsión armónica de corriente con las siguientes consideraciones:

Los resultados obtenidos muestran que el *voltaje de fase* de salida de un inversor VSI modulado mediante algoritmos de modulación PWM en el rango de operación lineal posee las siguientes componentes armónicas:

- La frecuencia fundamental, y múltiplos triples de la frecuencia fundamental para los algoritmos con inyección de señal de secuencia cero.
- La frecuencia de portadora (f_s).
- Los múltiplos enteros impares de la frecuencia portadora (mf_s para: m impar).
- Las bandas laterales pares alrededor de los múltiplos enteros impares de la frecuencia de portadora ($mf_s \pm nf_m$ para: m impar, n par).
- Las bandas laterales impares alrededor de los múltiplos enteros pares de la frecuencia portadora ($mf_s \pm nf_m$ para m par, n impar).

Por otra parte, el *voltaje de línea a línea* de salida del inversor VSI modulado mediante PWM en el rango de operación lineal posee las siguientes componentes armónicas:

- La frecuencia fundamental; en todos los casos.
- Las bandas laterales pares alrededor de los múltiplos enteros impares de la frecuencia de portadora, exceptuando las bandas triples ($mf_s \pm nf_m$ para m impar y n par y diferente de 6, 12, 18 ...).
- Las bandas laterales impares alrededor de los múltiplos enteros pares de la frecuencia portadora, exceptuando las bandas triples ($mf_s \pm nf_m$ para: m par, n impar y diferente de 3, 9, 15 ...).

Otras características importantes del espectro de los inversores VSI estudiados son:

- La componente dominante del espectro de los moduladores continuos y discontinuos tanto en las señales línea a línea como en las señales de fase se encuentra en $2f_s + 2f_m$.
- El primer caso de cancelación de armónicos es válido para algoritmos de modulación *continuos* de muestreo *natural* y *regular asimétrico* [24]. En el caso de la *modulación discontinua* no ocurre la cancelación de armónicos laterales expuesta.
- El segundo caso de cancelación de armónicos es válido para esquemas de modulación *continuos* y *discontinuos*. Dentro del esquema basado en portadora esta cancelación es consecuencia del uso de una única señal portadora en los tres procesos de modulación.
- El tercer caso de cancelación de armónicos es válido para los moduladores *continuos* y *discontinuos* puesto que éste es consecuencia del desfase de 120° característico de los sistemas trifásicos de potencia balanceados [24].
- Las cancelaciones expuestas en los apartados anteriores existen teóricamente. Sin embargo, en el caso de una implementación real van a depender de la precisión (cantidad de muestras del vector de referencia por ciclo de fundamental) con que se programen los moduladores. Este aspecto es de gran importancia puesto que en las implementaciones de baja precisión existe el riesgo de que las cancelaciones de armónicos no se presenten, provocando espectros más densos tanto en las zonas de interarmónicos de portadora como en las de subarmónicos. En esta última zona el riesgo es mayor puesto que la existencia de componentes en baja frecuencia compromete seriamente el funcionamiento de la máquina.
- No existe una diferencia teórica considerable con respecto al contenido armónico al emplear sistemas de modulación sincrónicos (N entero) ó asincrónicos (N no entero).

- El esquema de modulación continuo de mejor desempeño armónico es el *double edge* regular asimétrico puesto que en éste se presentan los tres casos de cancelación de armónicos.
- El índice V_{WTHD} presentado en este capítulo no es adecuado para realizar comparaciones de desempeño armónico entre los algoritmos de modulación continuos y discontinuos debido a que no toma en cuenta la diferencia de conmutaciones entre estos.
- El algoritmo SPWM presenta desempeño armónico superior respecto al SY-SVPWM en cerca del 65% del rango de operación. Sin embargo, su reducido rango de operación lineal lo pone en desventaja frente al SY-SVPWM.
- La amplitud del índice V_{WTHD} depende directamente del índice de frecuencias N .

3.1.2. Caracterización mediante el factor de distorsión armónica Total (F_{DIST})

Otra alternativa para caracterizar el desempeño armónico de los esquemas PWM es mediante el factor de distorsión armónica de corriente. Esta alternativa emplea la representación vectorial de las señales trifásicas del inversor para formular tres índices que caracterizan el desempeño armónico del modulador en tres contextos diferentes: por ciclo de portadora (*vector de flujo armónico del estator* $\vec{\psi}_h$), por sector (*valor medio del vector de flujo armónico del estator* F_{ABCD}^2) y por ciclo de fundamental (*factor de distorsión armónica total* F_{DIST}). El desarrollo del vector de flujo armónico del estator ($\vec{\psi}_h$) presentado con detalle en la sección B-3 del Apéndice B, se basa en la existencia de un vector de error implícito en la síntesis del vector de referencia. Mediante integración de este error dentro de medio ciclo de conmutación se calculan las componentes d (ψ_d) y q (ψ_q) de $\vec{\psi}_h$ en función de las componentes abreviadas del vector error (Q_0, Q_1, Q_2, Q_7 y D). Como resultado se obtienen las trayectorias de $\vec{\psi}_h$ alrededor del origen del plano $\alpha\beta$. Estas trayectorias permiten comparar el desempeño armónico de los algoritmos PWM en un único punto de operación conformado por: M, θ .

3.1.2.1. El valor medio del vector de flujo armónico del estator (F_{ABCD}^2)

Con el fin de proporcionar un indicador que permita caracterizar el desempeño armónico de los algoritmos de modulación PWM a lo largo de un sector, se emplea el índice de desempeño F_{ABCD}^2 , denominado *valor medio del vector de flujo armónico del estator*. Este índice es definido como el valor RMS del vector de flujo armónico $\vec{\psi}_h$, dentro de T_s . La expresión para el cálculo de F_{ABCD}^2 se presenta en (3.20). En donde $ABCD$ representa la secuencia de conmutación empleada por cada algoritmo de modulación PWM.

$$F_{ABCD}^2(M, T_s) = \frac{1}{T_s} \int_0^{T_s} \psi_{q,ABCD}^2 dt + \frac{1}{T_s} \int_0^{T_s} \psi_{d,ABCD}^2 dt \quad (3.20)$$

Con este nuevo índice es posible calificar a cada triángulo formado por la trayectoria del vector $\vec{\psi}_h$ (sección B.3) y generar una curva de desempeño a lo largo de los 60° del primer sector para cada índice de modulación M . Para el caso de la secuencia 0127 (Tabla B-4) la solución se plantea en la ecuación (3.21).

$$\begin{aligned}
 F_{0127}^2(M, T_s) = & \frac{1}{T_s} \int_0^{T_0} \left(\frac{Q_0}{T_0} t \right)^2 dt + \frac{1}{T_s} \int_{T_0}^{T_0+T_1} \left(Q_0 + \frac{Q_1}{T_1} t_a \right)^2 dt \\
 & + \frac{1}{T_s} \int_{T_0+T_1}^{T_s-T_7} \left(Q_0 + Q_1 + \frac{Q_2}{T_2} t_b \right)^2 dt + \frac{1}{T_s} \int_{T_s-T_7}^{T_s} \left(-Q_7 + \frac{Q_7}{T_7} t_c \right)^2 dt \\
 & + \frac{1}{T_s} \int_{T_0}^{T_0+T_1} \left(\frac{D}{T_1} t_a \right)^2 dt + \frac{1}{T_s} \int_{T_0+T_1}^{T_s-T_7} \left(D - \frac{D}{T_2} t_b \right)^2 dt
 \end{aligned} \tag{3.21}$$

En la Figura B-10a) (sección B.3) se mostró que el flujo armónico de los ejes d y q varía linealmente con el tiempo en cada uno de los intervalos dentro de T_s . Por lo tanto, cada uno de los integrandos en (3.21) es parabólico o cuadrático en el tiempo y el desarrollo de su integral se puede realizar empleando la regla geométrica para el cálculo del área bajo secciones parabólicas [51],[61] ilustrada en la Figura 3-11.

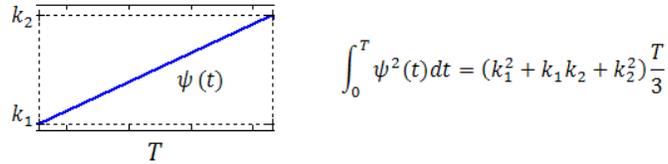


Figura 3-11. Cálculo del área bajo secciones parabólicas

Empleando esta regla en la solución de F_{ABCD}^2 se obtienen las expresiones de la Tabla 3-2 con las cuales es posible calcular el flujo armónico RMS generado en la síntesis del vector referencia para cada ángulo entre 0 y 60° . En la Figura 3-12 se presenta esta evolución, a lo largo del primer sector para los algoritmos de modulación de interés.

$ABCD$	F_{ABCD}^2
0127,7210	$ \frac{1}{T_s} \left(\frac{T_0}{3} Q_0^2 + \frac{T_1}{3} [Q_0^2 + Q_0(Q_0 + Q_1) + (Q_0 + Q_1)^2] + \frac{T_2}{3} [(Q_0 + Q_1)^2 - (Q_0 + Q_1)Q_7 + Q_7^2] + \frac{T_7}{3} Q_7^2 + \frac{D^2}{3} (T_1 + T_2) \right) $
012,210	$ \frac{1}{T_s} \left(\frac{T_0}{3} Q_0^2 + \frac{T_1}{3} [Q_0^2 - Q_0Q_2 + Q_2^2] + \frac{T_2}{3} Q_2^2 + \frac{D^2}{3} (T_1 + T_2) \right) $
127,721	$ \frac{1}{T_s} \left(\frac{T_1}{3} Q_1^2 + \frac{T_2}{3} [Q_1^2 - Q_1Q_7 + Q_7^2] + \frac{T_7}{3} Q_7^2 + \frac{D^2}{3} (T_1 + T_2) \right) $

Tabla 3-2. Expresiones para calcular el vector de flujo RMS según la secuencia de conmutación.

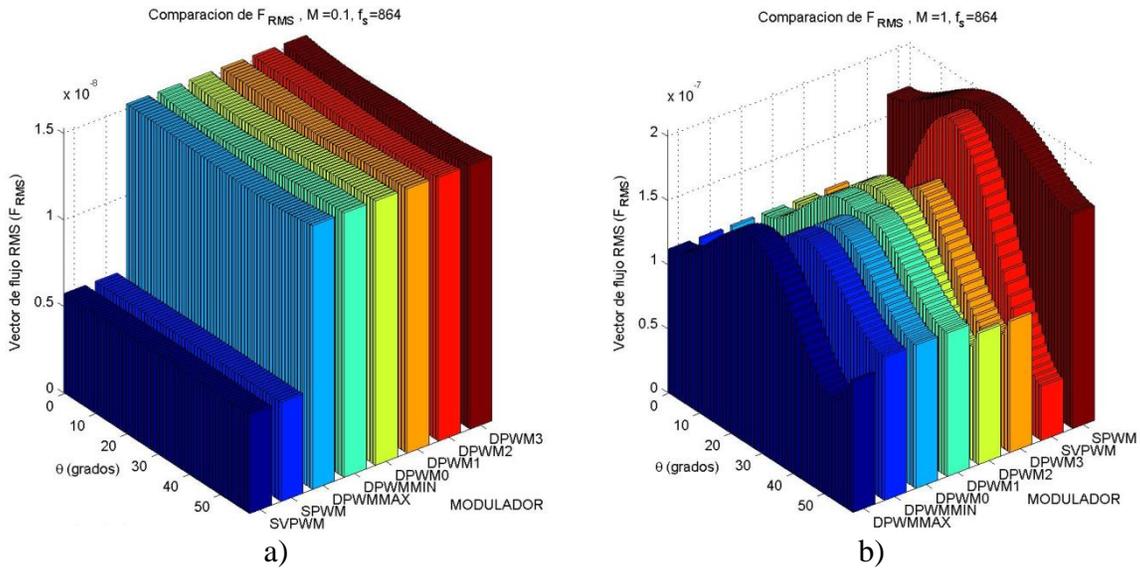


Figura 3-12. Desempeño armónico de los moduladores en un mismo índice de modulación a) Baja modulación ($M = 0.1$). b) Alta modulación ($M = 1$).

La Figura 3-12a) muestra el desempeño armónico de los algoritmos PWM en baja modulación ($M = 0.1$) en donde se aprecia la superioridad de los algoritmos continuos sobre los discontinuos. En este punto los algoritmos discontinuos presentan un desempeño armónico similar en donde la evolución de F_{ABCD}^2 es poco dependiente del ángulo θ . La Figura 3-12b) presenta el desempeño en alta modulación ($M = 1$) en donde las amplitudes de F_{ABCD}^2 son más dependientes del ángulo θ y crecen presentando sus máximos valores alrededor de $\theta = 30^\circ$.

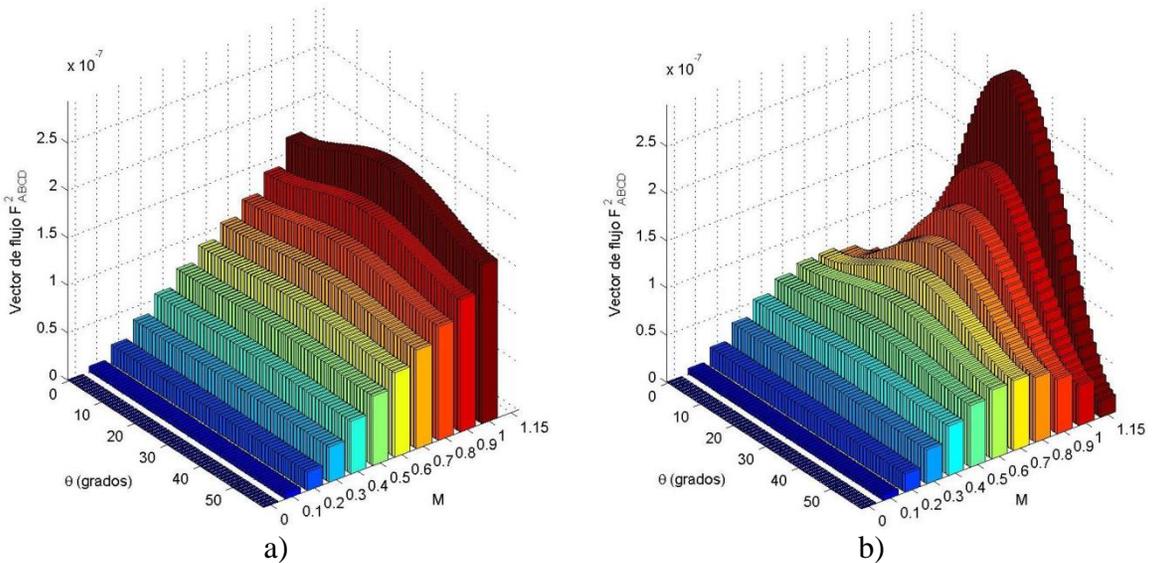


Figura 3-13. Evolución del vector de flujo RMS F_{ABCD}^2 para los algoritmos de modulación continuos. a) SPWM b) SY-SVPWM

La evolución de F_{ABCD}^2 para diversos índices de modulación en la región lineal en cada algoritmo PWM se ilustra en la Figura 3-13 y Figura 3-14 evidenciando la variedad de desempeños armónicos que se pueden alcanzar de acuerdo al algoritmo de modulación empleado.

La Figura 3-13 presenta el desempeño de los algoritmos continuos SPWM y SY-SVPWM. Respecto a SPWM, la Figura 3-13a) muestra una evolución del vector de flujo F_{ABCD}^2 poco dependiente del ángulo θ hasta aproximadamente $M = 0.7$, para cada índice de modulación por encima de $M = 0.7$ se alcanza la máxima amplitud del vector de F_{ABCD}^2 alrededor de $\theta = 30^\circ$.

En el caso del algoritmo SY-SVPWM la Figura 3-13b) ilustra cómo las dependencias respecto al ángulo θ se acentúan mientras crece el índice de modulación, es así como para $M = 1.15$ se alcanzan las máximas amplitudes del vector F_{ABCD}^2 en $\theta = 30^\circ$ mientras que en $\theta = 0^\circ$ y $\theta = 60^\circ$ las amplitudes se reducen significativamente. Para los dos moduladores continuos se aprecia cierta simetría alrededor de $\theta = 30^\circ$, esta simetría es mayor en el caso SY-SVPWM como consecuencia de la partición simétrica de estados cero de este algoritmo dentro del sector I .

La evolución para los moduladores discontinuos se ilustra en la Figura 3-14. En ella se aprecia nuevamente la dependencia del vector F_{ABCD}^2 respecto a θ , sin embargo, en este caso dicha dependencia provoca una distribución de amplitudes del vector F_{ABCD}^2 diferente a la observada en el caso anterior. En la Figura 3-14a) se ha graficado la evolución del vector F_{ABCD}^2 para los algoritmos DPWM0 y DPWMMIN, los cuales pueden ser agrupados por presentar la misma partición de estados cero dentro del primer sector (uso exclusivo del vector V_0). Esta superficie caracteriza el desempeño de cualquier modulador discontinuo que emplee de manera exclusiva el vector V_0 dentro del primer sector. La Figura 3-14b) presenta la evolución del vector F_{ABCD}^2 para el modulador DPWM1, este modulador emplea el vector V_7 durante la primera mitad del primer sector y el vector V_0 durante la segunda mitad del sector por lo tanto la distribución de la superficie descrita por el vector F_{ABCD}^2 en la segunda mitad del sector es igual a la presentada en la Figura 3-14a).

La Figura 3-14c) presenta la evolución del vector F_{ABCD}^2 para los moduladores DPWM2 y DPWMMAX que emplean de manera exclusiva el vector V_7 dentro del primer sector. Esta superficie caracteriza a cualquier modulador discontinuo que dentro del primer sector emplee de manera exclusiva al vector V_7 . Por último, en la Figura 3-14d) se presenta la superficie de flujo armónico descrita por el modulador DPWM3 como una combinación entre las superficies de las Figura 3-14a) y Figura 3-14c) de acuerdo a la distribución de estados cero empleada.

Como característica común de los moduladores discontinuos se aprecia una tendencia hacia la misma distribución de superficie en $M = 1.15$, distribución que presenta amplitudes menores a las ilustradas para los algoritmos continuos (ver Figura 3-13)

En las superficies presentadas en las Figura 3-13 y Figura 3-14 se aprecia la superioridad del algoritmo SY-SVPWM en bajos rangos de M , no obstante para alta modulación el desempeño de los algoritmos discontinuos se incrementa y en algunos puntos llega a superar a SY-SVPWM.

El análisis comparativo del factor F_{ABCD}^2 indica que no existe un único algoritmo PWM de características armónicas superiores en alta modulación, sin embargo, sí existen algoritmos superiores en el contexto local.

Con el fin de encontrar el algoritmo que presenta el mejor desempeño en cada índice de modulación, en la sección 3.1.2.2 se presentará la definición del Factor de distorsión armónica total [51], la cual se basa en las definiciones de rizado de flujo de estator presentadas hasta el momento.

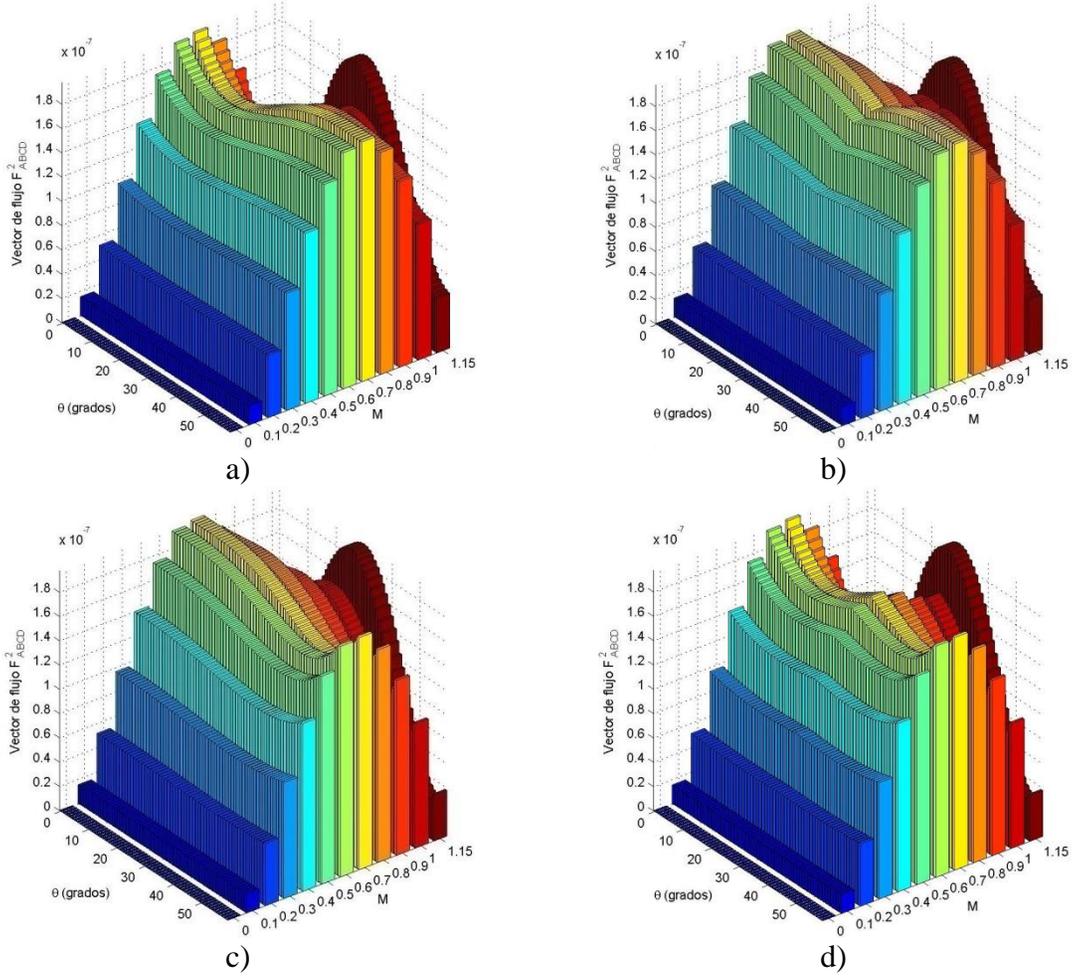


Figura 3-14. Evolución del vector de flujo RMS F_{ABCD}^2 para los algoritmos de modulación discontinuos. a) DPWM0, DPWMMIN. b) DPWM1. c) DPWM2, DPWMMAX. d) DPWM3.

3.1.2.2. El Factor de distorsión armónica total (F_{DIST})

El Factor de distorsión armónica total F_{DIST} es definido como el rizado de flujo RMS a lo largo del primer sector, normalizado con respecto al flujo fundamental (Ψ_1). La expresión para el cálculo de F_{DIST} se presenta en (3.22).

$$F_{Dist} = \sqrt{\sum_{\theta=0}^{60^\circ} \frac{F_{ABCD}^2}{N} \Psi_1^2} \quad (3.22)$$

En donde, Ψ_1 es el flujo fundamental, calculado mediante la expresión:

$$\Psi_1 = \frac{M}{2\pi f_m}$$

N es el índice de frecuencias.

Con este factor es posible evaluar cuantitativamente a cada modulador a lo largo de los 60° del primer sector y realizar una curva de desempeño (M , F_{Dist}) que caracterice a cada algoritmo de modulación.

Con el fin de comparar el desempeño armónico de los algoritmos PWM se presenta la Figura 3-15 con las tendencias del índice F_{Dist} para los 8 algoritmos de modulación de interés. Los parámetros empleados en esta Figura son: $f_s = 864 \text{ Hz}$ y dos frecuencias fundamentales: $f_m = 2.4 \text{ Hz}$ y $f_m = 36 \text{ Hz}$.

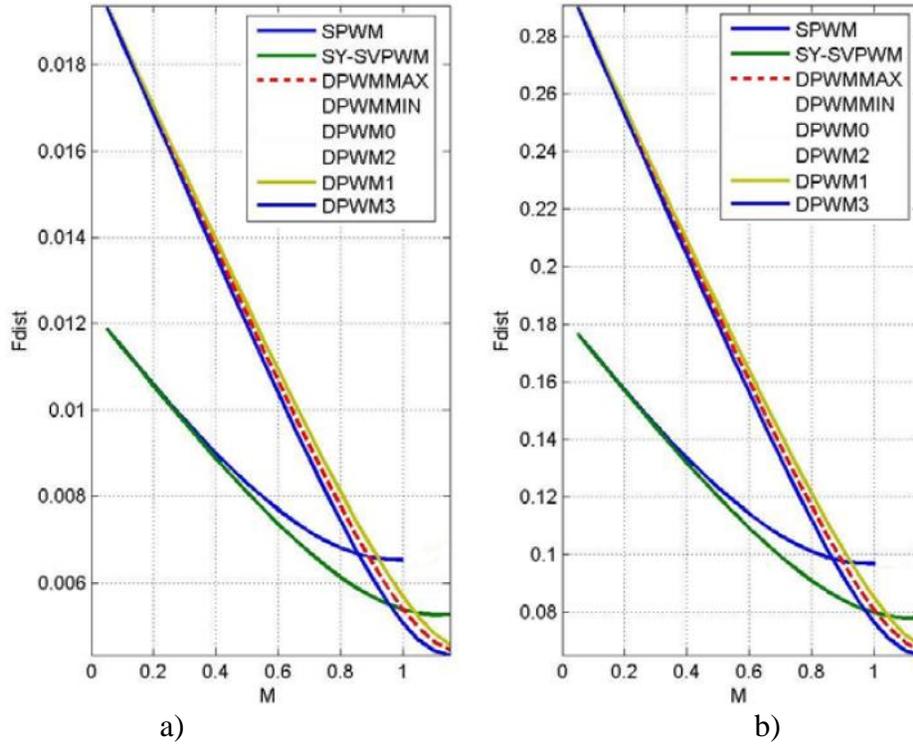


Figura 3-15. Evolución de F_{Dist} para los algoritmos PWM. a) Frecuencia fundamental= 2.4Hz ($N = 360$)
b) Frecuencia fundamental = 36 Hz ($N = 24$).

La Figura 3-15 indica que existe una relación constante entre los desempeños de los algoritmos de modulación para las dos frecuencias fundamentales, dicha tendencia marca una superioridad de los algoritmos de modulación continuos sobre los discontinuos para índices de modulación M menores a 0.8 siendo comparativamente superior el SY-SVPWM. Para índices de modulación M mayores a 0.8 el desempeño armónico de los algoritmos discontinuos mejora superando al algoritmo SY-SVPWM. Adicionalmente, se puede apreciar cómo los algoritmos de modulación discontinuos que emplean un único vector cero dentro del primer sector (DPWMMAX, DPWM0, DPWM2 y DPWMMIN) comparten la misma evolución de F_{Dist} . La Figura muestra además que para todos los algoritmos de modulación PWM existe una relación inversamente proporcional entre el índice de frecuencias N y la amplitud del factor F_{Dist} .

La tendencia presentada en la Figura 3-15 se realizó analizando el sector I , sin embargo, las conclusiones obtenidas pueden ser generalizadas para todo el ciclo fundamental con ayuda del comportamiento simétrico de los algoritmos de modulación en análisis [4],[51].

3.1.2.2.1. Consideraciones sobre el factor de distorsión armónica total F_{DIST} .

- La Figura 3-15 muestra una reducción en el desempeño de los algoritmos de modulación continuos con respecto a las tendencias mostradas en la Figura 3-9.

- En la Figura 3-15 el algoritmo SY-SVPWM presenta el mejor desempeño armónico en aproximadamente un 82% del rango de operación M comprendido entre $[0.1 - 0.95]$.
- En el rango de modulación $[0.95 - 1.15]$ el algoritmo de mejor desempeño armónico es el DPWM3.
- Aunque en zona de alta modulación el algoritmo que presentó las menores amplitudes de flujo armónico fue el DPWM3, la diferencia respecto a los otros algoritmos discontinuos no es significativa y la selección del algoritmo de mejor desempeño puede basarse en otros criterios tales como pérdidas por conmutación y factor de potencia de la carga.
- El algoritmo SPWM presenta desempeño armónico superior respecto a los algoritmos discontinuos en el rango de modulación $[0.1 - 0.87]$. Sin embargo, su reducido rango de operación lineal (ver Tabla 2-1) lo pone en desventaja frente a los algoritmos discontinuos.
- Los resultados obtenidos a través del factor de distorsión armónica total F_{DIST} son más confiables que los obtenidos con el índice V_{WTHD} para efectos de comparación del desempeño entre algoritmos PWM; esto se debe a que el desarrollo de F_{DIST} toma en cuenta la diferencia de conmutaciones de los algoritmos continuos respecto a los discontinuos.

3.2. Conclusiones

En este capítulo se describieron y aplicaron dos de los índices más comunes en la literatura para la evaluación del desempeño armónico de los algoritmos de modulación PWM con el fin de encontrar el esquema de modulación que garantice el menor contenido armónico. El primero, conocido como índice de distorsión armónica de corriente V_{WTHD} permitió comprobar que la configuración de mejor desempeño armónico entre las estudiadas es la regular asimétrica con control de flanco doble (*double edge*), debido a que ésta presenta la mayor cantidad de cancelaciones de armónicos. Se concluyó además, que este índice no es apropiado para realizar comparaciones de desempeño armónico entre los algoritmos de modulación continuos y discontinuos. El segundo, corresponde al factor de distorsión armónica total F_{DIST} . Éste permitió comprobar que no existe un algoritmo de modulación superior en todo el rango de operación del modulador, sin embargo, el algoritmo SY-SVPWM presenta un desempeño superior en casi un 82% del rango de operación M . En el rango de modulación $[0.95 < M < 1.15]$ el desempeño del SY-SVPWM es superado por los algoritmos discontinuos. Dentro del marco expuesto se concluye que el esquema de modulación que teóricamente garantiza el mínimo contenido armónico es el indicado en la Tabla 3-3, por lo tanto, su superioridad será evaluada experimentalmente en el Capítulo 4

Componentes del Esquema PWM	Alternativa
Algoritmo de Modulación	SY-SVPWM.
Control de Flanco	Double edge
Sincronismo	Sincrónico
Simetría	Asimétrico.
Enfoque	Basado en vectores espaciales (SV-PWM).

Tabla 3-3. Esquema de modulación PWM de mejor desempeño armónico..

Capítulo 4. Validación experimental

En el Capítulo 3 se concluyó que *teóricamente* el esquema de modulación que garantiza mínimo contenido armónico es el presentado en la Tabla 3-3. Con el fin de validar este resultado *experimentalmente*, se ha optado por desarrollar una investigación comparativa entre el desempeño armónico del algoritmo SY-SVPWM frente a los algoritmos discontinuos discutidos en esta tesis. Dentro de dicha investigación no se tomará en cuenta el algoritmo SPWM que aunque presenta un buen desempeño armónico, posee una importante limitación respecto a su rango de operación lineal (ver Tabla 2-1).

En este capítulo se describe el hardware y software empleado en el desarrollo del prototipo experimental del modulador PWM, se presentan las modificaciones hechas al modelo de simulación donde se incluyen las restricciones de implementación, se exponen y discuten los resultados experimentales y simulados del desempeño armónico de los algoritmos de interés y se efectúa una comparación confrontando el desempeño armónico experimental del SY-SVPWM frente al de los algoritmos discontinuos.

Es importante aclarar que tanto el modelo de implementación como el de simulación no incorpora las no linealidades físicas propias de un inversor práctico, entre ellas: el tiempo muerto de conmutación introducido para prevenir corto circuitos en la línea DC y los tiempos finitos de encendido y apagado de los conmutadores. Adicionalmente, el diseño propuesto fue evaluado exclusivamente en zona de operación lineal.

4.1. Obtención de resultados experimentales

4.1.1. Diseño del algoritmo de implementación

El algoritmo de implementación que da soporte al esquema de modulación planteado en el Capítulo 3 se puede definir con base en los siguientes requerimientos:

- Modulación basada en vectores espaciales.
- Control de flanco doble (*double edge*).
- Actualización de ciclos útiles cada medio ciclo de conmutación ($T_s/2$).

Previendo algunos aspectos necesarios para la toma de datos experimentales, se adiciona a la lista anterior los siguientes requerimientos:

- Frecuencia de conmutación f_s constante.
- Flexibilidad para cambios de algoritmos de modulación.
- Variación del índice de modulación M y de la frecuencia fundamental f_m en pasos que permitan la obtención de gráficas de desempeño precisas a lo largo del rango de operación del modulador.
- Fácil acceso a las 6 señales PWM generadas.

El cumplimiento de los requerimientos establecidos, puede ser descompuesto en dos tareas, la primera encargada de la *modulación SV-PWM double edge regular asimétrica* y la segunda encargada de la *atención de la entrada y salida de datos del algoritmo de implementación*. A continuación se plantea la solución a éstas dos tareas.

4.1.1.1. Tarea 1. Modulación SV-PWM regular asimétrica

Esta tarea debe ser ejecutada cada medio ciclo de conmutación y su procesamiento no debe exceder los $T_s/2$ segundos. Su alcance se puede dividir en las sub-tareas de la Figura 4-1.

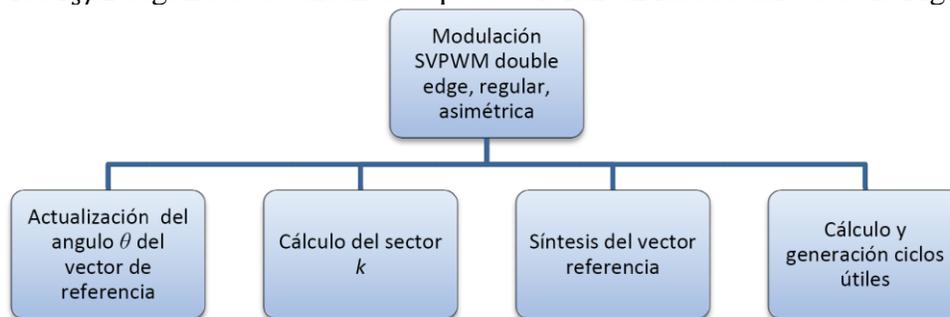


Figura 4-1. Subdivisiones de la Tarea 1.

Actualización del ángulo de referencia (θ). Con el fin de reducir el número de rutinas del proceso, se establece que la actualización del ángulo de referencia se realice simultáneamente al cálculo de los ciclos útiles, es decir cada medio ciclo de conmutación. Para ello se diferencian dos cálculos:

- El cálculo del incremento del ángulo de referencia (θ_{step}), dependiente de la frecuencia fundamental empleada.
- La actualización de θ mediante suma acumulativa.

Cálculo del sector. Este cálculo es relativamente corto, pues solo precisa de la aplicación de la ecuación (4.1) al ángulo de referencia.

$$k = \text{floor} \left(\frac{\theta}{60} + 1 \right) \quad (4.1)$$

Síntesis del vector referencia \vec{V}^* . Con el fin de garantizar la flexibilidad para cambios de algoritmos de modulación se propone implementar la síntesis del vector referencia mediante los siguientes cálculos:

- *Cálculo del partidador de estados cero K_0 :* Éste depende del algoritmo de modulación empleado y puede ser resuelto con las expresiones en la Tabla 2-5.
- *Cálculo de los tiempos de los vectores T_i ($i = 0,1,2,7$):* Para este cálculo es necesario desarrollar la función trigonométrica $\sin(\theta)$ y posteriormente aplicar las ecuaciones de síntesis en (2.29) y (2.33). Respecto al desarrollo del $\sin(\theta)$, se propone como primera opción el uso de tablas de búsqueda que agilicen el proceso, debido a la restricción de latencia establecida en la Tarea 1.

Cálculo y generación de ciclos útiles. Esta tarea se descompone en 3 procesos:

1. *Actualización de los 3 generadores de ciclo útil:* Se realiza con base en el sector k y los tiempos T_i calculados, puede ser resuelta con las expresiones en la Tabla 2-4.
2. *Cálculo de los ciclos útiles de los 6 canales PWM:* A partir de los valores de los generadores de ciclo útil, se deben calcular los ciclos útiles de los 6 canales PWM garantizando:
 - Salidas complementarias entre los canales PWM que se conectarán a una misma rama.
 - Limitación superior e inferior del ciclo útil que permita un muestreo adecuado de las señales de interés.
3. *Generación de las señales PWM.* Finalmente, se deben generar las 6 señales de ancho variable que cumplan con los ciclos útiles calculados y las restricciones planteadas.

Diagrama de Bloques. Para implementar la Tarea 1 se propone el esquema de modulación basado en vectores espaciales de la Figura 4-2. El esquema presentado, implementa las funciones básicas expuestas en el Capítulo 2 para realizar la modulación SV-PWM y cumple con las sub-tareas establecidas en la sección anterior.

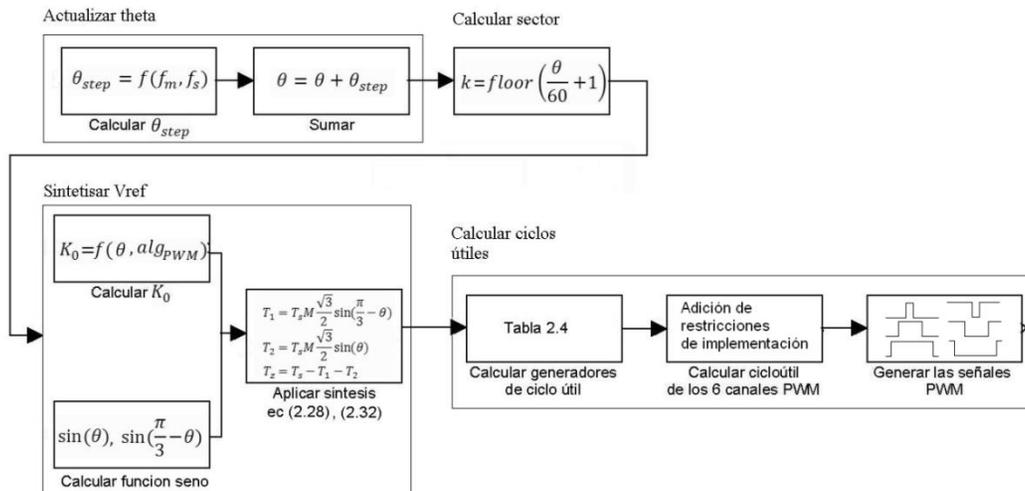


Figura 4-2. Diagrama de bloques del modulador.

4.1.1.2. Tarea 2. Operación de entrada y salida de datos del sistema

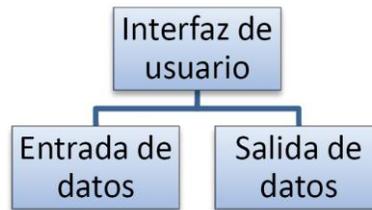


Figura 4-3. Operación de entrada y salida de datos del sistema

La operación de entrada y salida de datos del sistema, se basa en el esquema de la Figura 4-3. Éste se describe a continuación.

Entrada de datos. Respecto a los requerimientos establecidos, existen 3 parámetros que pueden ser modificados por el usuario en la operación del modulador, estos corresponden a:

1. **El índice de modulación M .** Para la obtención de gráficas de desempeño precisas dentro del rango de operación del modulador se propone la variación del índice de modulación en pasos de 0.05 dentro del rango $[0 - 1.15]$.
2. **La frecuencia fundamental f_m .** Con el fin de disponer de un conjunto de frecuencias que posteriormente pueda suplir las necesidades de un controlador de velocidad del motor de inducción dentro de un entorno experimental, se estableció como rango útil la variación entre $[1.2 - 43.2 \text{ Hz}]$ con pasos de 1.2 Hz . A partir de esta selección se estableció la frecuencia de conmutación $f_s = 864 \text{ Hz}$.
3. **El algoritmo de modulación PWM.** Buscando realizar pruebas experimentales sobre varios algoritmos, se propone la implementación de 7 de los algoritmos de modulación PWM de la Tabla 2-5.

Salida de datos. Se plantean dos tareas en salida de datos:

1. La reserva de 6 puntos de medición que contengan las señales PWM generadas.
2. La programación de indicadores que permitan monitorear el cambio de los parámetros hechos por el usuario.

4.1.1.3. Requerimientos del dispositivo en el que se programe el modulador

El diseño planteado implica los siguientes requerimientos para el dispositivo que alojará el algoritmo de modulación SV-PWM:

1. El procesador debe ser capaz de realizar los procesos de la Tarea 1 en tiempos menores a $T_s/2$ ya que en el esquema regular asimétrico éste es el tiempo de muestreo del vector referencia.
2. Debe permitir la configuración de un módulo PWM con las siguientes características:
 - 6 salidas PWM.
 - Configuración de las salidas en modo complementario.
 - Configuración *double edge* con actualización de los ciclos útiles de los canales PWM cada $T_s/2$.

3. La memoria de programa del dispositivo debe ser capaz de almacenar las tablas trigonométricas necesarias para la implementación.
4. Debe tener al menos 4 pines reservados para entradas digitales que se encarguen de atender las variaciones de las señales de referencia por parte del usuario.
5. Debe tener al menos 2 pines dedicados a indicadores del cambio de referencias.
6. Debe ofrecer alternativas de depuración.
7. Debe ofrecer herramientas de desarrollo al alcance del presupuesto del proyecto.

4.1.2. Dispositivo seleccionado

El dispositivo que más se adecuó a los requerimientos establecidos fue el procesador digital de señales *dsPIC30F2010* de Microchip®. Éste se empleó junto con la tarjeta de evaluación *dsPICDEM 28-pin* fabricada también por Microchip®, la cual contiene como elemento principal, el *dsPIC30F2010*, además de un reloj de 7.37 MHz, una interface de comunicación RS-232, una interfaz de programación y/o depuración con el *MPLAB ICD2* y algunos periféricos (ver sección C.1 del apéndice C). Con respecto al software de desarrollo, se empleó el *MPLAB IDE*, el cual brinda la posibilidad de desarrollar el código tanto en lenguaje ensamblador como en lenguaje C. En el presente proyecto se elige el lenguaje C debido a la relativa facilidad con la que se puede realizar la programación, permitiendo la generación de un código compacto. Asimismo, se empleó el programa *MPLAB®C30* para compilar el código y generar el archivo de salida *.hex* que finalmente es el que permanece almacenado en la memoria del dsPIC.

Para la depuración del código, así como para su descarga en la memoria flash del dsPIC se empleó el programador *MPLAB ICD2*.

La implementación de las tareas establecidas se basó en gestión de interrupciones. La Tarea 1 se realizó empleando el módulo de control PWM descrito en la sección C.1.1, habilitando su rutina de interrupción cada medio ciclo de conmutación e incluyendo en tal rutina el cálculo y actualización de los ciclos útiles de los canales PWM. Respecto a la Tarea 2, la atención de los datos de entrada se implementó mediante el módulo *input change notification* (CN) (Ver sección C.1.1) el cual permite generar una interrupción cuando existe el cambio de estado en uno de los pines de entrada asociados. En este caso se decidió emplear los pines RB0 a RB3 (CN2-CN5) para recibir las señales de entrada. La distribución empleada se ilustra en la Tabla 4-1.

RB3	RB2	RB1	RB0	PORTB	Acción
0	1	1	1	7	Decremento en f_m
1	0	1	1	11	Incremento en f_m
1	1	0	1	13	Decremento en M
1	1	1	0	14	Incremento en M
0	0	1	1	3	Incremento en algoritmo PWM
1	1	0	0	12	Decremento en algoritmo PWM

Tabla 4-1. Distribución empleada para la atención de datos de entrada.

El diagrama de flujo que implementa el diseño establecido se ilustra en la Figura 4-4 y puede resumirse de la siguiente forma:

- Inicialmente se configuran los registros que permiten la depuración en tiempo real, se definen e inicializan las variables globales incluyendo la tabla de búsqueda que contienen la información para solucionar la función $\sin(\theta)$, se configuran los puertos de entrada y salida así como los módulos CN y PWM habilitando sus interrupciones.
- Posteriormente se entra en un ciclo infinito que solo es alterado por la generación de las interrupciones provenientes desde el módulo CN y el módulo PWM.

Rutina de interrupción del módulo CN. Ésta se encarga de actualizar los valores de las variables relacionadas con las señales de referencia M , f_m y algoritmo de modulación, garantizando que no salgan de los rangos establecidos. Su diagrama de flujo se presenta en la sección C.2.1 y sus funciones se resumen en la siguiente lista.

- Actualizar el valor del índice de modulación M de acuerdo a las entradas RB0 y RB1.
- Asegurar que M no salga del rango establecido [0-1.15].
- Actualizar el valor de la frecuencia fundamental f_m de acuerdo a las entradas RB2 y RB3.
- Actualizar el algoritmo de modulación a emplear.
- Calcular el incremento del ángulo de referencia (θ_{step}).
- Indicar el cambio en las señales de referencia.

Rutina de interrupción del módulo PWM. Ésta se encarga de actualizar los generadores de ciclos útiles, el diagrama de flujo empleado se presenta en la sección C.2.2 y sus funciones se resumen en la siguiente lista:

- Actualizar el valor del ángulo θ garantizando que no quede fuera del rango [0-360].
- Calcular el valor del partididor de estados cero K_0 .
- Calcular las funciones trigonométricas $\sin(\theta)$ y $\sin(60 - \theta)$
- Calcular los tiempos de activación de vectores T_i ($i = 0,1,2,7$).
- Encontrar el sector k en que se ubica el vector referencia.
- Calcular el valor de los ciclos útiles para los generadores de las tres fases incluyendo las restricciones establecidas.

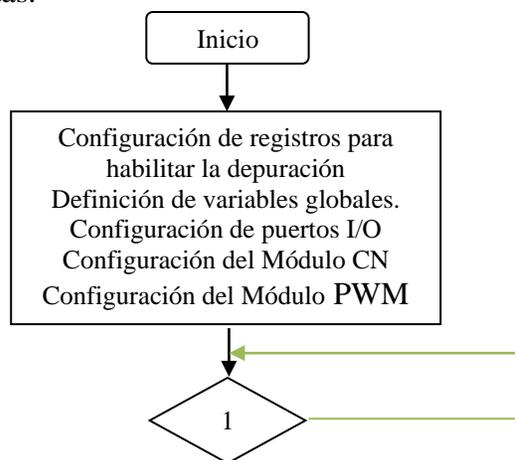


Figura 4-4. Diagrama correspondiente a la función principal del diseño.

El código mediante el cual se implementan los flujogramas referidos anteriormente se anexa en la sección C.3.

4.1.3. Metodología experimental.

El indicador elegido para determinar el desempeño armónico de los algoritmos de modulación PWM fue el V_{WTHD} debido a su facilidad de obtención en un entorno experimental con respecto al F_{DIST} .

Aunque en la sección 3.1.1.2 se había restringido la utilidad del índice V_{WTHD} al momento de comparar desempeños entre algoritmos de modulación discontinuos y continuos, dicha restricción pierde validez en la implementación, en donde es necesario limitar la duración máxima y mínima de los ciclos útiles en la salida del dsPIC de acuerdo al mínimo tiempo de muestreo que puede soportar el dispositivo de medida utilizado; esta situación conlleva a que no existan ciclos útiles de 0% o de 100% y en consecuencia no se presentan las saturaciones propias de los algoritmos discontinuos; por lo tanto, podemos asegurar que los algoritmos continuos y discontinuos tienen el mismo número de conmutaciones en un entorno experimental.

Habiendo establecido el indicador se planteó el siguiente objetivo: *Medición del índice V_{WTHD} sobre los voltajes línea a línea de salida del modulador.* El alcance de este objetivo se dividió en las siguientes etapas:

- Determinación de los puntos de operación y las muestras necesarias para la obtención del índice V_{WTHD} .
- Obtención y almacenamiento del voltaje línea a línea.
- Obtención de los componentes armónicos de voltaje línea a línea.
- Cálculo del V_{WTHD} .

Determinación de los puntos de operación y las muestras necesarias para la obtención del índice V_{WTHD} .

Respecto a la selección de los puntos de operación se establecieron los siguientes criterios:

- Asegurar un índice de frecuencias N mayor de 21, con el fin de evitar la combinación entre sub-armónicos y armónicos de portadora. (ver sección 2.1.1.3).
- Evaluar los algoritmos de modulación bajo condiciones de alta y baja resolución en lo que se refiere al número de muestras del vector de referencia por ciclo de fundamental, es decir con valores altos de N y valores bajos de N . (ver sección 2.1.1.3).
- Limitar la modulación a la zona de operación lineal (ver sección 2.1.1.6).
- Mantener sincronismo en la modulación. Al haber concluido en la sección 3.1.1.2 que no existe una mejora teórica identificable en el espectro armónico al considerar moduladores sincrónicos o asincrónicos, es posible inclinarse por un esquema de modulación sincrónico que facilite el procesamiento de datos en la implementación.
- Variación del índice de modulación M en todo el rango de operación lineal y en pasos adecuados para desarrollar gráficas de desempeño armónico precisas.

Bajo estos criterios se establecieron los puntos de operación de acuerdo a dos variables:

El índice de frecuencias N y el índice de modulación M . Con respecto a N se eligieron dos valores: $N = 360$, un índice de alta resolución que contiene cerca de 720 muestras del vector de referencia por ciclo de fundamental y un sincronismo de modulación; $N = 24$, un índice de baja resolución que garantiza sincronismo.

Con respecto a M se eligió una variación entre 0.05 y 1.15 en pasos de 0.05, para cada los dos índices de frecuencia establecidos.

Respecto a los algoritmos de modulación, se decidió realizar el análisis tanto para los algoritmos continuos como para los discontinuos buscando obtener gráficas comparativas entre los desempeños armónicos del conjunto estudiado.

En síntesis se plantea la toma de datos para siete algoritmos de modulación, en dos índices de frecuencia N y con 23 tomas en cada punto, para un total de 322 mediciones.

Obtención y almacenamiento del voltaje línea a línea. Para este fin se debió muestrear las señales PWM: v_a y v_b correspondientes a la fase a y fase b respectivamente, durante al menos un ciclo de fundamental y posteriormente mediante resta algebraica obtener la señal línea a línea v_{ab} . Como herramienta de muestreo se empleó el osciloscopio digital *Lecroy 9310CM* ubicado en el Laboratorio de Física de Bajas Temperaturas (ver sección C.4). Este equipo tan solo estableció una limitación en la implementación y fue la referente al *limite superior e inferior del ciclo útil* del modulador.

Respecto al almacenamiento de datos se debió acondicionar un bus de mediciones *GPIB* entre el osciloscopio y el PC. Esto implicó el desarrollo de códigos de adquisición y de un driver de comunicaciones entre el *Toolbox* de control de instrumentos de MATLAB y la tarjeta de control GPIB instalada en el PC (ver sección C.5).

Obtención de los componentes armónicos de voltaje línea a línea. A partir de las muestras de la señal PWM v_{ab} se aplicó una rutina diseñada en MATLAB, útil para el cálculo de transformadas rápidas de Fourier (FFT) sobre el voltaje v_{ab} . De esta manera se obtuvieron los componentes armónicos de voltaje línea - línea.

Los parámetros empleados para la aplicación de esta rutina fueron:

- Cálculo en 1 ciclo de fundamental.
- Frecuencia máxima que incluya los 15 primeros múltiplos de portadora, asegurando como mínimo 30 componentes armónicas laterales.
- Tiempo de inicio cero.
- Amplitud de los voltajes armónicos normalizada.

Cálculo del V_{WTHD} . Partiendo de los componentes armónicos de voltaje v_{ab} se evaluó la expresión (3.9) para el cálculo del índice V_{WTHD} . En la Figura 4-5 se muestra el esquema básico de medición del índice V_{WTHD} .

Para la toma de datos planteada, es necesario realizar mediciones de voltaje a través del osciloscopio en dos puntos del sistema, como se aprecia en la Figura 4-5. Los pulsos correspondientes a la fase a y b superiores se miden directamente empleando un par de sondas de osciloscopio.

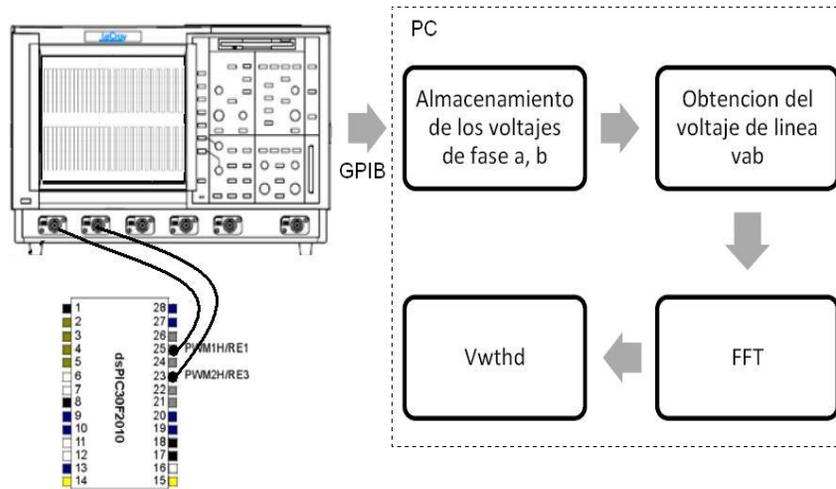
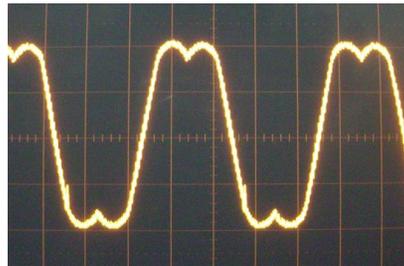


Figura 4-5. Esquema básico de medición del índice V_{WTHD} .

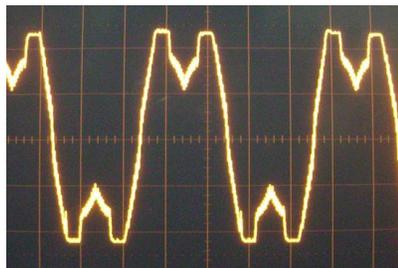
4.2. Resultados experimentales.

A continuación se ilustran los resultados obtenidos a partir de la implementación del modelo descrito.

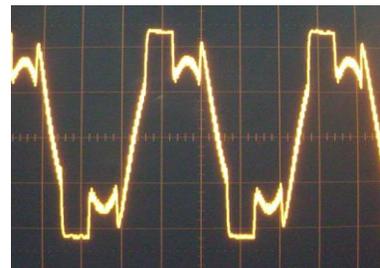
En la Figura 4-6 se presentan las señales de salida del modulador tomadas directamente del dsPIC a través de un filtro RC. Éstas permiten corroborar el correcto funcionamiento cada uno de los algoritmos de modulación PWM.



SY-SVPWM



DPWM3



DPWM0

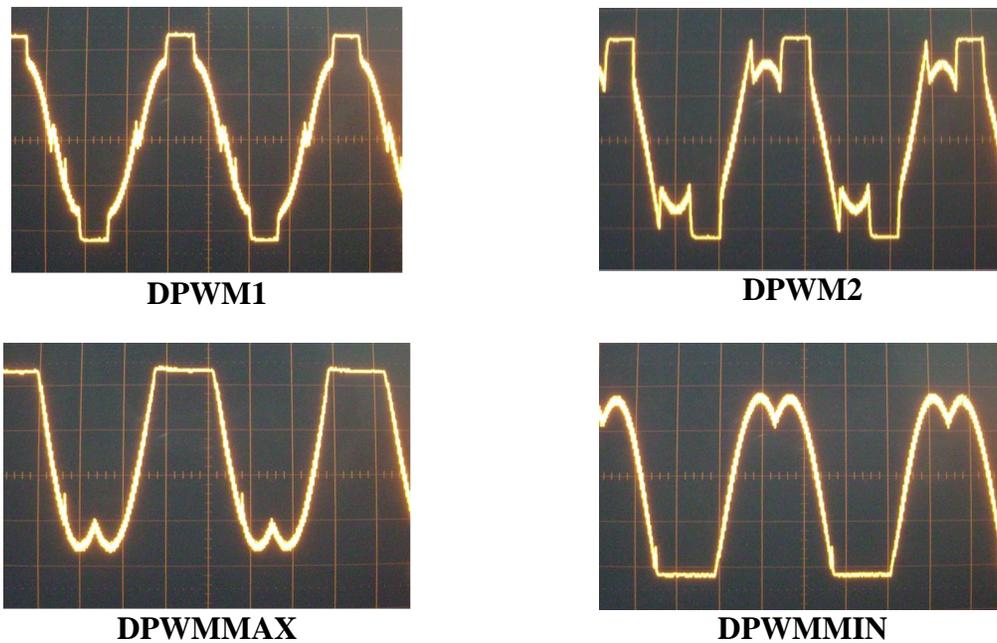


Figura 4-6. Señales de fase filtradas a la salida del modulador para cada algoritmo PWM. $M = 1$, $f_m = 2.4\text{Hz}$

En la Figura 4-6, se aprecia claramente la variación esperada de los voltajes de fase para cada uno de los algoritmos PWM marcada por una inyección de señal triangular en el caso de SY-SVPWM y la saturaciones de las señal de fase durante 120° del periodo fundamental para el caso de los algoritmos discontinuos; estas formas de onda fueron corroboradas con las obtenidas por medio de simulación en el Capítulo 2.

En la Figura 4-7 y Figura 4-8 se presenta la evolución del espectro de potencia de la señal v_{ab} y la evolución del factor de distorsión armónica de voltaje V_{WTHD} respectivamente, en $N = 360$ y $N = 24$ para el algoritmo SY-SVPWM. Los resultados correspondientes a los algoritmos restantes se muestran en la sección D.2 del apéndice D.

La Figura 4-7 contiene la evolución del espectro de potencia de la señal v_{ab} en el rango $[0 - 9\text{KHz}]$ en pasos de 2.4Hz para $N = 360$ (ver Figura 4-7a) y en pasos de 36Hz para $N = 24$ (ver Figura 4-7b)). En ambos casos se han despreciado los componentes fundamentales, con el fin de concentrar la atención sobre los componentes considerados distorsión armónica. Como se esperaba a partir de las conclusiones en la sección 3.1.1.2 no existen armónicos medibles en la frecuencia de portadora, sus múltiplos y las bandas laterales pares/impares alrededor de los múltiplos enteros pares/impares. Las bandas laterales son aproximadamente simétricas alrededor de la frecuencia de portadora, presentándose además las cancelaciones correspondientes a las bandas triples. Adicionalmente, en las figuras presentadas se aprecian niveles DC parásitos y algunos sub-armónicos de baja amplitud, originados probablemente por la resolución finita del modulador empleado [62].

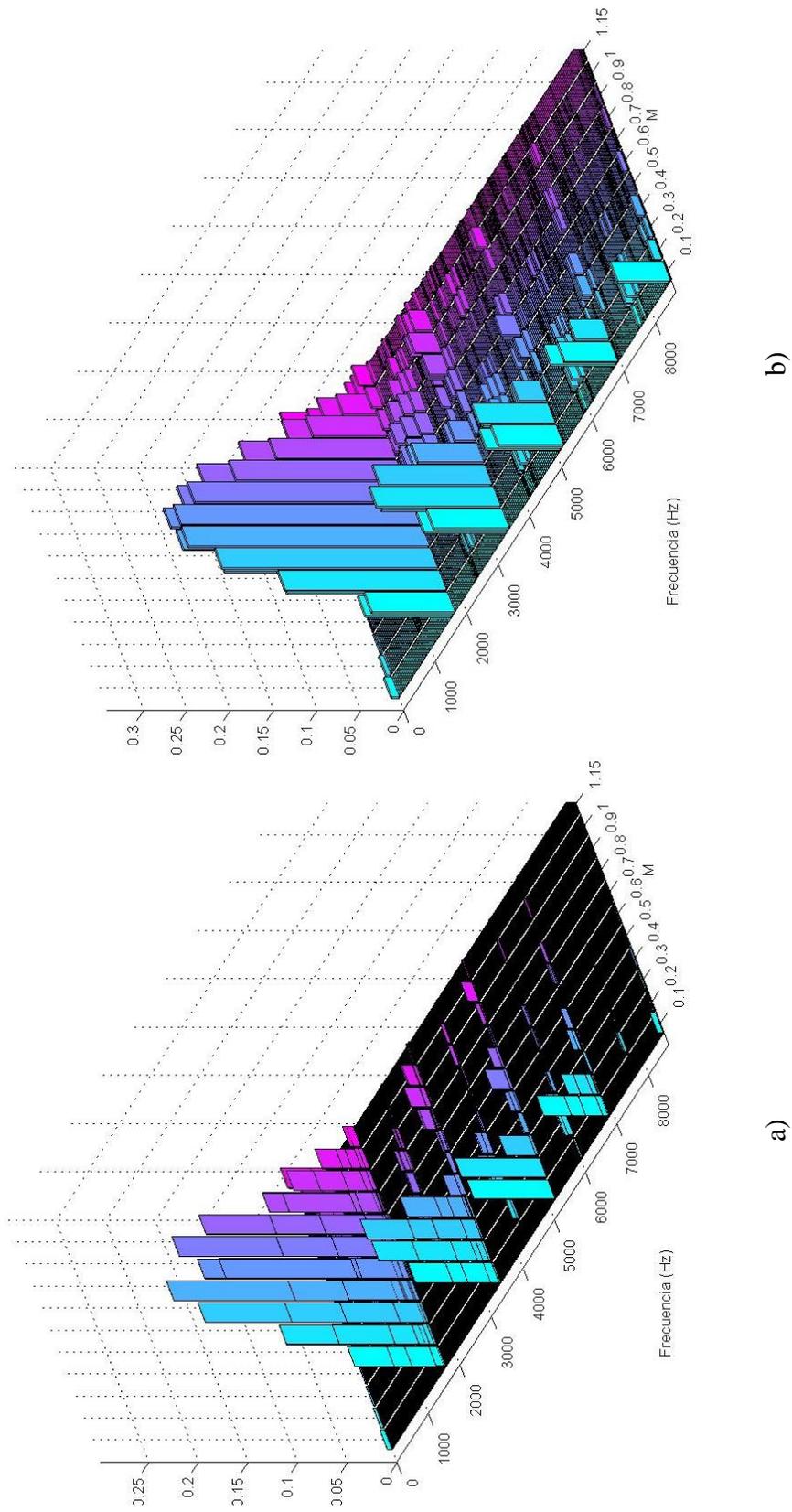


Figura 4-7. Evolución del espectro armónico experimental de la señal v_{ab} modulada mediante el algoritmo SY-SVPWM. a) Punto de alta resolución, $N = 360$.b) Punto de baja resolución, $N = 8100$

La Figura 4-8 contiene la evolución del índice V_{WTHD} calculada a partir de los espectros en la Figura 4-7. En la Figura 4-8a) se ilustra el desempeño armónico para $N = 360$ y en la Figura 4-8b) para $N = 24$. En ambos casos las tendencias obtenidas son similares a las expuestas en el análisis teórico del Capítulo 3, su evolución es decreciente e inversamente proporcional a M . Comparativamente, las tendencias descritas presentan cierta similitud en su forma con algunos sobresaltos para $N = 360$ en $[0.2 < M < 0.35]$ y $[0.65 < M < 0.75]$ debidos probablemente a errores de medición. Adicionalmente, el desempeño en $N = 360$ es superior puesto que presenta amplitudes de V_{WTHD} menores en todo el rango de operación.

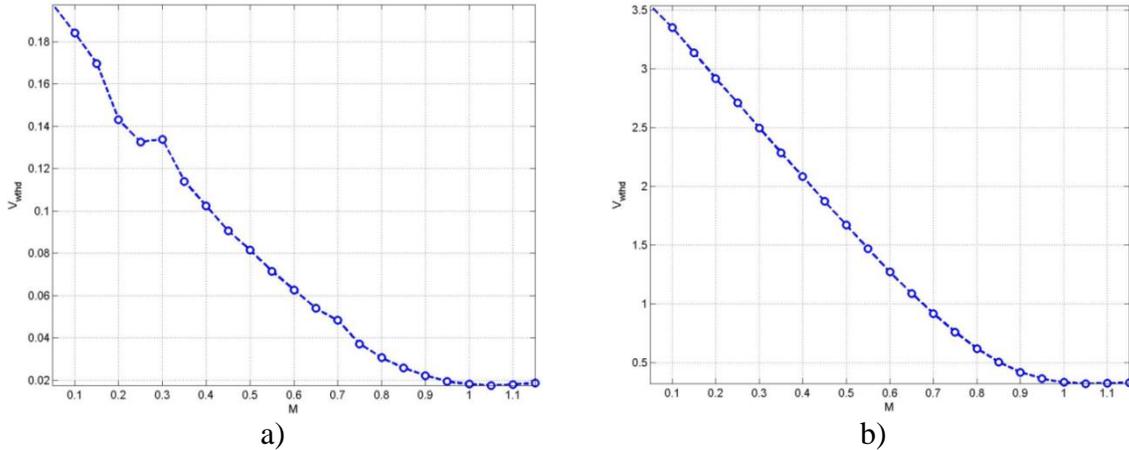


Figura 4-8. Evolución experimental del índice V_{WTHD} para el algoritmo SY-SVPWM a) Alta resolución $N = 360$. b) Baja resolución $N = 24$.

4.3. Obtención de resultados simulados

Con el fin de calcular los errores de medición los diferentes algoritmos de modulación fueron simulados bajo el esquema presentado en la sección D.1 del apéndice D, con este propósito, fue necesario incluir algunas restricciones impuestas por la implementación para obtener resultados confiables. Estas restricciones se resumen en la siguiente lista:

- Limitación superior e inferior de los ciclos útiles.
- Tiempos de simulación múltiplos de 1, 2 y 5 ms
- Frecuencia de muestreo de 500KHz para $N = 360$ y 5MHz para $N = 24$.
- Escalización de los ciclos útiles de los canales PWM.
- Utilización de enteros de 16 bits para la representación de los ciclos útiles de los canales PWM.
- Tiempos de muestreo constante.

Bajo este esquema de simulación, se compilaron los diferentes algoritmos de modulación PWM en los puntos de operación establecidos almacenando el mismo número de muestras que en el esquema experimental. Posteriormente, se calcularon los componentes armónicos y el índice de distorsión V_{WTHD} .

4.4. Resultados Simulados

En esta sección se ilustran los resultados para el algoritmo SY-SVPWM obtenidos a partir de la simulación del esquema planteado; Los resultados correspondientes a los algoritmos restantes se exponen en la sección D.3 del apéndice D.

En la Figura 4-9 se presenta el espectro de potencia de la señal de voltaje línea a línea v_{ab} modulada mediante SY-SVPWM para los dos índices de frecuencia de interés. Nuevamente, el rango de frecuencias fue de $[0 - 9KHz]$ en pasos de $2.4Hz$ para $N = 360$ (ver Figura 4-9a)) y en pasos de $36Hz$ para $N = 24$ (ver Figura 4-9b)). Para destacar los armónicos considerados como distorsión no se ilustran los componentes fundamentales. Los resultados son altamente similares a los experimentales presentados en la Figura 4-7, ilustrando las cancelaciones armónicas esperadas.

En la Figura 4-10 se presenta la evolución del índice V_{WTHD} a lo largo del índice de modulación M , para $N = 2.4$ en la Figura 4-10a) y para $N = 360$ en la Figura 4-10b). Las tendencias obtenidas son similares a las expuestas en la Figura 4-8, su evolución es igualmente decreciente e inversamente proporcional a M . Se reconoce además una equivalencia entre las formas que describen la evolución del V_{WTHD} para los dos índices de frecuencia y se ratifica la superioridad del desempeño armónico en el punto de alta resolución ($N = 360$).

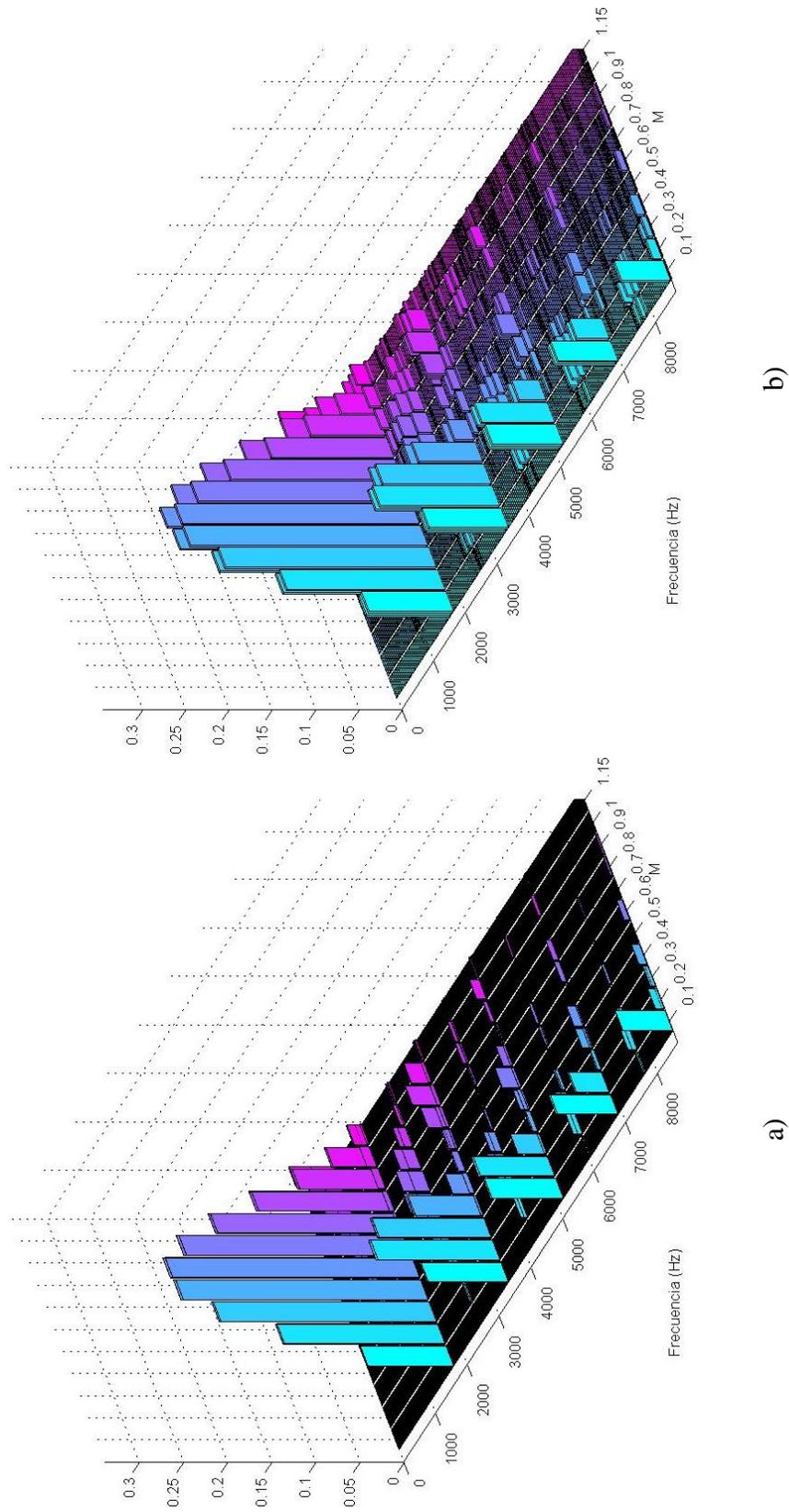


Figura 4-9. Evolución del espectro armónico simulado de la señal v_{ab} modulada mediante el algoritmo SY-SVPWM. a). Alta resolución $N = 360$ b) Baja resolución $N = 24$.

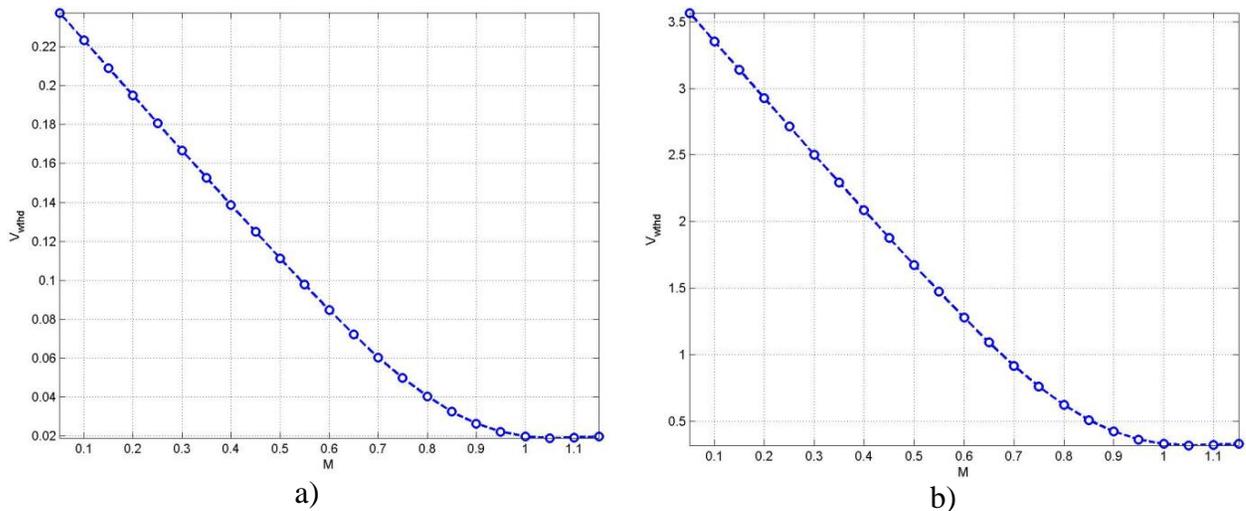


Figura 4-10. Evolución del índice V_{WTHD} simulada para el algoritmo SY-SVPWM. a) Alta resolución $N = 360$. b) Baja resolución $N = 24$.

4.5. Comparación experimental entre el desempeño armónico del SY-SVPWM y los algoritmos de modulación discontinuos.

Antes de desarrollar la comparación experimental entre el SY-SVPWM y los algoritmos de modulación discontinuos, se calcularon los errores de medición de cada algoritmo de modulación, buscando garantizar resultados confiables que den validez a la investigación. Los resultados obtenidos arrojan que el mayor error entre los resultados medidos y las predicciones teóricas es del 19.74% para $N = 360$ y 5.21% para $N = 24$. Dicha evaluación se anexa en la sección D.4 del apéndice D.

En la Figura 4-11, Figura 4-12 y Figura 4-13 se compara el desempeño armónico experimental del algoritmo de modulación SY-SVPWM frente al desempeño armónico experimental de los algoritmos de modulación discontinuos; para ello se confronta la evolución del índice de distorsión armónica V_{WTHD} del SY-SVPWM frente a la generada por los algoritmos discontinuos.

La Figura 4-11 contiene la comparación en $N = 360$ ($fm = 2.4$) y la Figura 4-12 en $N = 24$ ($fm = 36$). Cada una de estas Figuras se divide en 6 partes; cada parte contiene una comparación individual entre la evolución del V_{WTHD} del SY-SVPWM y uno de los algoritmos discontinuos. Adicionalmente, se ha incluido en línea punteada delgada el valor medio del V_{WTHD} con el fin de presentar con mayor claridad las diferencias entre los desempeños armónicos. Los resultados ilustrados, evidencian la superioridad del algoritmo SY-SVPWM frente a todos los algoritmos discontinuos, en la mayor parte del rango de operación y para los dos índices de frecuencia. Como se esperaba, solo en alta modulación algunos algoritmos discontinuos igualan y/o superan el desempeño del SY-SVPWM.

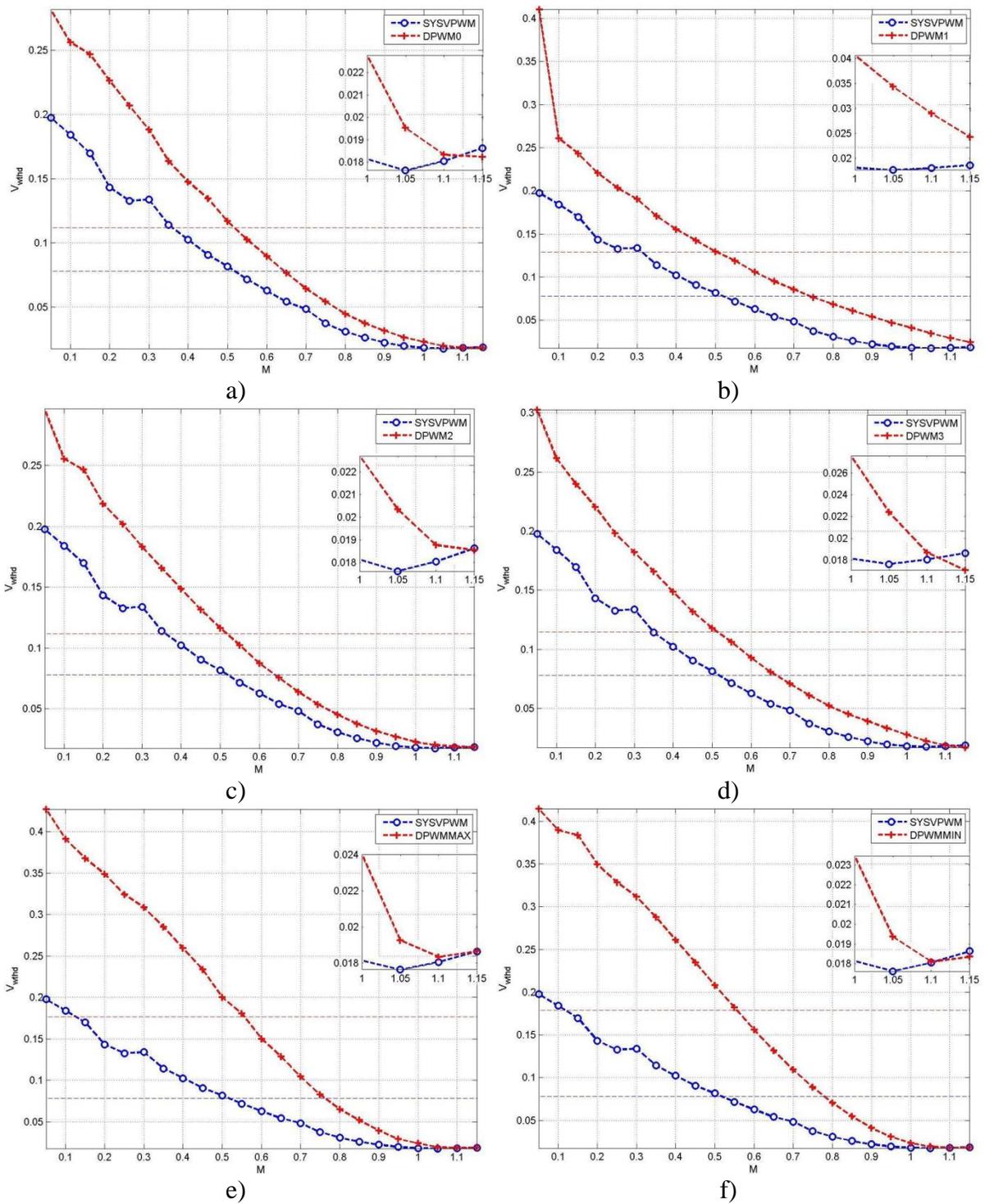


Figura 4-11. Comparación del desempeño armónico experimental de los algoritmos PWM discontinuos frente a SY-SVPWM. Para $N = 360$. a) DPWM0. b) DPWM1. c) DPWM2. d) DPWM3. e) DPWMMAX. f) DPWMMIN.

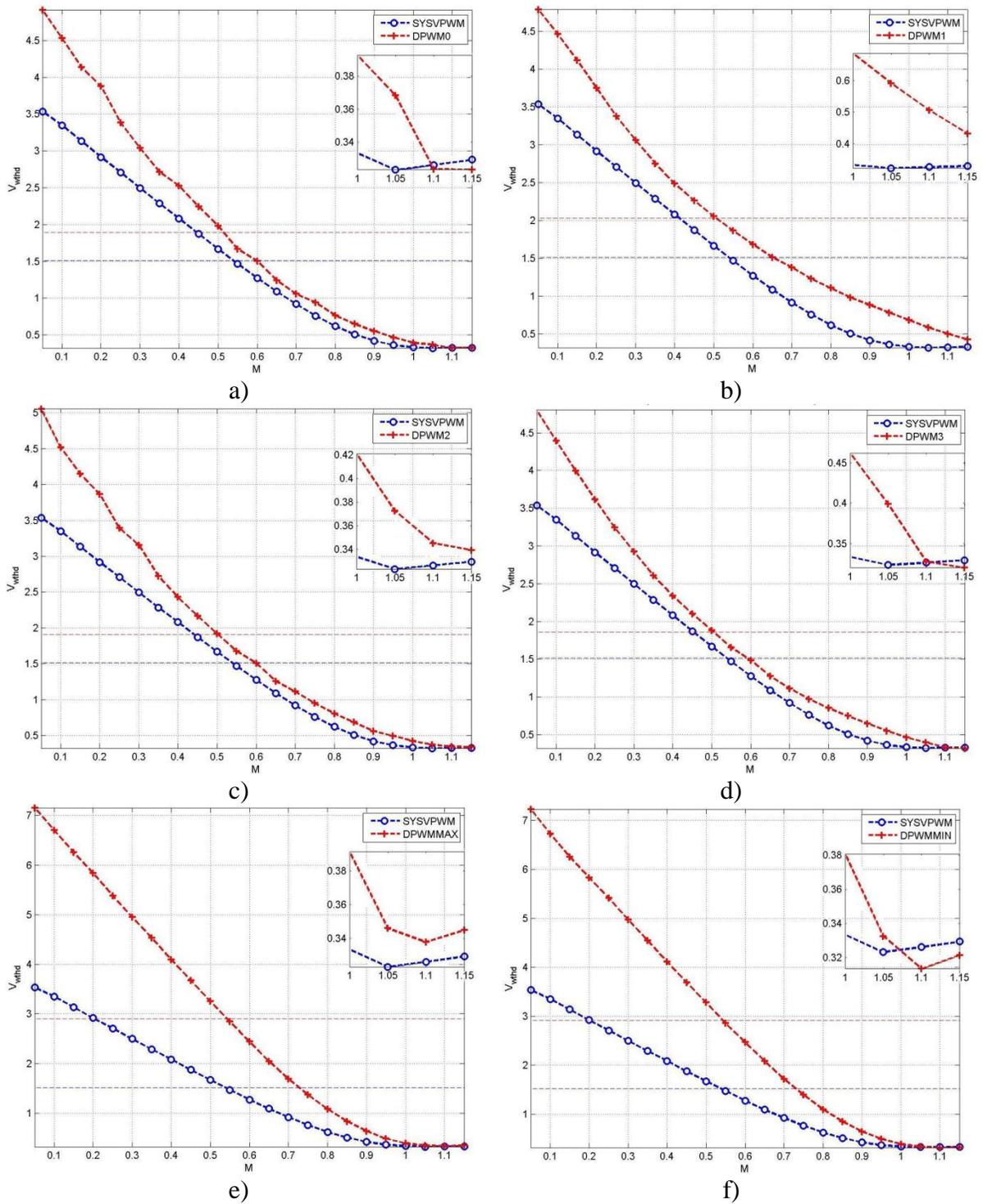


Figura 4-12. Comparación del desempeño armónico experimental de los algoritmos PWM discontinuos frente a SY-SVPWM. Para $N = 24$. a) DPWM0. b) DPWM1. c) DPWM2. d) DPWM3. e) DPWMMAX. f) DPWMMIN.

Con el fin de comparar el desempeño armónico en todo el rango de modulación, en la Figura 4-13 se grafica el valor medio del V_{WTHD} para cada algoritmo de modulación. Los resultados obtenidos respaldan la superioridad del desempeño armónico del algoritmo SY-SVPWM en los dos índices de frecuencia y muestran a los algoritmos DPWMMIN y DPWMMAX como los de desempeño armónico inferior. Cabe resaltar que la diferencia de desempeños armónicos entre los algoritmos PWM estudiados es pequeña.

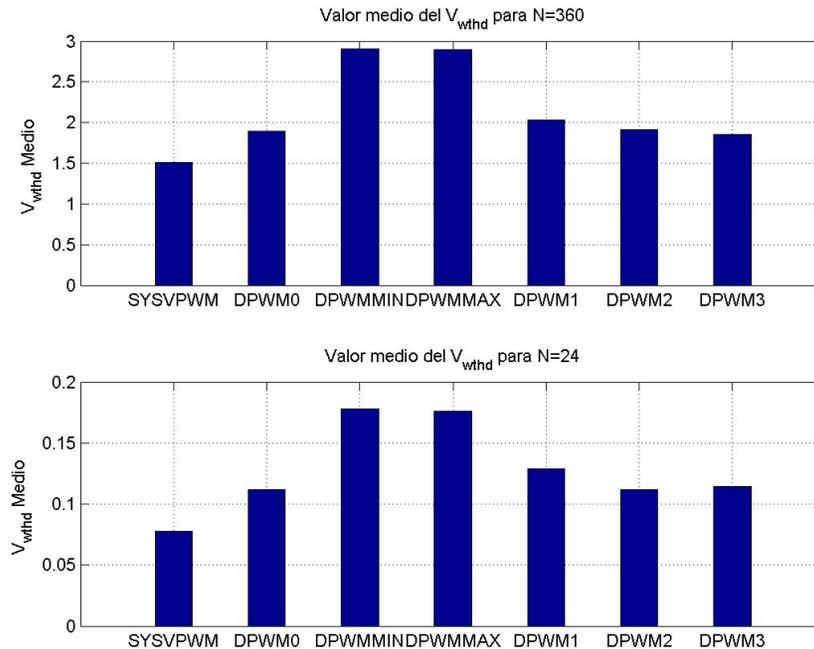


Figura 4-13. Comparación del valor medio del V_{WTHD} experimental de los algoritmos de modulación PWM para $N = 360$ y $N = 24$.

4.6. Conclusiones.

En este capítulo se desarrolló un prototipo de modulador PWM basado en vectores espaciales diseñado para validar experimentalmente la superioridad del desempeño armónico del esquema de modulación seleccionado en el Capítulo 3. El desarrollo del prototipo incluyó la descripción de: requerimientos, componentes hardware, software y documentación de los códigos empleados.

Adicionalmente, se expuso el proceso de medición del índice de desempeño armónico V_{WTHD} seguido de resultados experimentales; dichos resultados fueron comparados con resultados de simulación con el fin de determinar índices de error de medición. Los índices de error obtenidos fueron satisfactorios. Posteriormente, se realizó una comparación entre los desempeños armónicos experimentales del SY-SVPWM y los algoritmos de modulación discontinuos la cual permitió validar la superioridad del SY-SVPWM en los puntos de operación analizados.

Capítulo 5. El esquema de modulación PWM Híbrido Discontinuo.

La comparación experimental entre los desempeños armónicos del algoritmo SY-SVPWM y los algoritmos de modulación discontinuos desarrollada en el Capítulo 4 permitió validar la superioridad del esquema de modulación seleccionado en el Capítulo 3. Sin embargo, con la investigación realizada dentro de este Trabajo de Grado, fue posible identificar algunas características que pueden llegar a mejorar el desempeño armónico alcanzado por dicho esquema de modulación.

En este capítulo se exponen algunas de las características susceptibles de mejoramiento identificadas sobre el esquema de modulación seleccionado en el Capítulo 3; adicionalmente se desarrolla una de estas características, logrando proponer un esquema de modulación compuesto por un algoritmo híbrido, con desempeño armónico teórico y experimental superior al de los algoritmos evaluados en el Capítulo 4.

5.1. Características susceptibles de mejoramiento identificadas.

En los procesos de caracterización armónica, diseño e implementación de los algoritmos de modulación estudiados, se identificaron características que pueden llegar a mejorar el desempeño armónico de los moduladores PWM, entre ellas se destacan:

1. En la sección 3.1.2.1, el análisis comparativo del factor F_{ABCD}^2 indicó que no existe un único algoritmo PWM de características armónicas superiores en alta modulación, sin embargo, sí existen algoritmos superiores en el contexto local. Por lo tanto, existe la posibilidad de que un esquema de modulación híbrido capaz de seleccionar en línea el algoritmo de modulación de menor distorsión armónica en cada punto de operación (M, θ) sea una alternativa que supere el desempeño armónico del algoritmo SY-SVPWM presentado en el Capítulo 4.
2. En toda aplicación digital es importante prestar atención a los errores causados por el redondeo y la cuantización. Este proyecto no es ajeno a dichos errores, por lo tanto, para lograr una mejora en el desempeño armónico de los algoritmos PWM se pueden incluir algunas formas de compensación de errores de redondeo que resultan esenciales en la clarificación del espectro de las señales de salida, y deberían ser empleadas junto con algoritmos de supresión de los rizados de voltaje de salida [62].
3. La secuencia de conmutación empleada en un algoritmo de modulación influye de manera directa en el desempeño armónico del mismo. En esta investigación se hizo uso de secuencias de conmutación convencionales; sin embargo, de acuerdo a la literatura consultada [51],[61],[63] el desempeño armónico de un algoritmo PWM puede ser mejorado a partir de la utilización de secuencias novedosas como: 0121, 1210, 7212, 2127, 0212, 2721, 1012 donde se realizan particiones dobles de uno de los estados activos.
4. Los resultados del Capítulo 3 y el Capítulo 4 evidencian que las configuraciones con altos índices de frecuencia N presentan mejor desempeño armónico; a partir de esta condición se podría concluir que una buena alternativa para mejorar el desempeño armónico es la de elevar el índice de frecuencias N , sin embargo, hay que tener en cuenta que en la práctica no siempre es posible incrementar este valor, pues los efectos adversos como pérdidas por conmutación y las restricciones dadas por hardware⁵ no permiten configuraciones de altos índices de frecuencia.

⁵ Reducción de la precisión del procesador, limitaciones de velocidad de conmutación de los interruptores de potencia

5.2. Solución de una de las características identificadas.

Después de analizar las características susceptibles de mejoramiento identificadas, se decidió desarrollar una de ellas y verificar el cumplimiento de la mejora esperada. La característica elegida fue la de aprovechar la superioridad local en el desempeño armónico de algunos algoritmos. Ésta involucra el desarrollo de un esquema de modulación híbrido capaz de mejorar el desempeño armónico de los algoritmos de modulación evaluados en el Capítulo 4. En la siguiente sección se presenta el diseño del esquema de modulación híbrido.

5.3. Diseño del esquema de modulación híbrido.

Para el diseño del esquema de modulación híbrido se definió el siguiente objetivo: *Mejorar el desempeño armónico del modulador PWM mediante combinación de los algoritmos de modulación estudiados*. Dicho objetivo se alcanza mediante las siguientes actividades:

1. Diseño del algoritmo de modulación híbrido.
2. Validación del diseño propuesto.

5.3.1. Diseño del algoritmo de modulación híbrido.

En el Capítulo 2 se abrió la posibilidad de implementar algoritmos de modulación híbridos capaces de mejorar alguna característica de desempeño en particular. Dentro del marco expuesto, el índice F_{ABCD}^2 (sección 3.1.2.1) presentado en el Capítulo 3 resulta útil como herramienta de selección de los algoritmos que conforman una solución híbrida que permita reducir el contenido armónico.

Algunas de las razones por las que el índice F_{ABCD}^2 resulta conveniente son:

- La variedad de tendencias que este índice presenta (sección 3.1.2.1) permite una buena segmentación de los desempeños de los algoritmos de modulación PWM para todo el rango de operación.
- Este índice permite la partición de puntos de operación por ángulo de referencia.
- Es apropiado para analizar esquemas de modulación basados en vectores espaciales.
- Toma en cuenta las diferencias de conmutación entre algoritmos continuos y discontinuos, lo que permite realizar comparaciones de desempeño entre estos.

5.3.1.1. Metodología

Partiendo de la herramienta de selección establecida se realizó una búsqueda de los algoritmos PWM de mejor desempeño armónico en cada punto de operación del sistema.

Los puntos de operación se conformaron respecto a 2 variables: El índice de modulación M variando entre 0.05 y 1.15 en pasos de 0.05 y la orientación del vector referencia θ variando entre 0 - 60° en pasos de 1°. El proceso de selección se resume en cuatro etapas:

Etapa 1: Consiste en determinar las superficies F_{ABCD}^2 de cada uno de los algoritmos PWM que posiblemente harán parte de la solución híbrida. El desarrollo de esta etapa se abordó en la sección 3.1.2.1 y los resultados se ilustraron en la Figura 3-13 y Figura 3-14.

Etapa 2: Encontrar la superficie F_{ABCD}^2 de menor amplitud en cada punto de operación. Para el desarrollo de esta etapa, se compararon las superficies en la Figura 3-13 y Figura 3-14 y se seleccionaron las menores amplitudes. La superficie resultante se presenta en la Figura 5-1, ésta contiene las amplitudes mínimas del índice F_{ABCD}^2 dentro del primer sector.

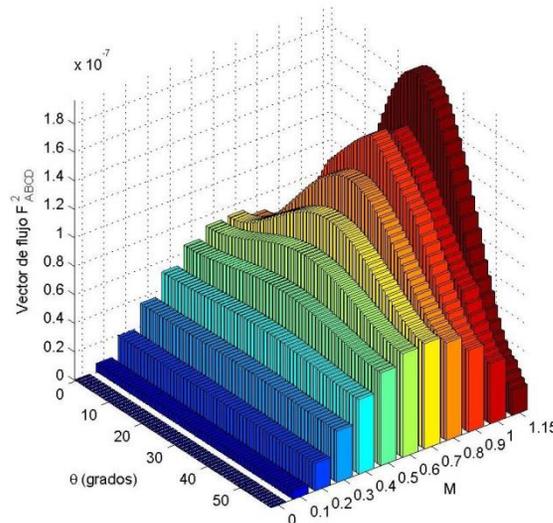


Figura 5-1. Evolución del índice F_{ABCD}^2 de amplitud mínima.

Etapa 3: Identificar los algoritmos PWM que conforman la superficie mínima encontrada. En esta etapa, fue necesario identificar el algoritmo al que pertenecía cada una de las amplitudes F_{ABCD}^2 en la Figura 5-1, obteniendo como resultado la partición ilustrada en la Figura 5-2. Esta última indica los algoritmos PWM que conforman la solución híbrida y los puntos de transición dentro del primer sector.

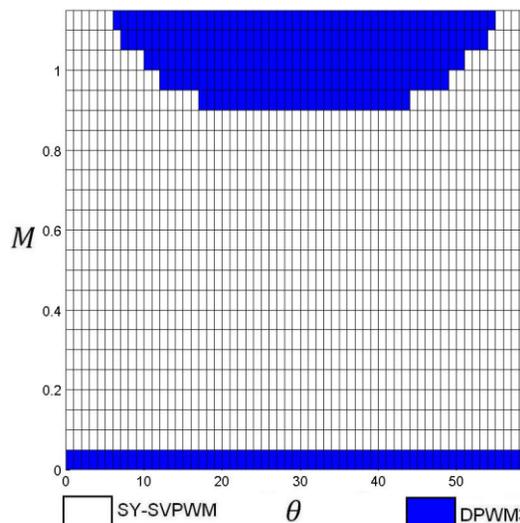


Figura 5-2. Partición de puntos de operación en el sector I.

Etapa 4: Encontrar la partición para el ciclo de fundamental. Debido a la simetría presentada por el hexágono del inversor (ver Figura 2-29), es posible generalizar los resultados del sector I , y encontrar la partición ilustrada en la Figura 5-3 válida para el ciclo de fundamental. Esta partición se caracteriza por presentar una simetría de 120° y emplear en el rango de modulación $[0.05 < M < 0.9]$ el algoritmo SY-SVPWM y en alta modulación una combinación de algoritmos continuos y discontinuos dependiente de la orientación del vector referencia. Los algoritmos discontinuos PWM que constituyen la solución híbrida son: DPWM3, DPWM2 y DPWM1. Es preciso anotar que la distribución encontrada es independiente del índice de frecuencias N , estableciendo una ventaja en la implementación de aplicaciones que impliquen frecuencias fundamentales variables.

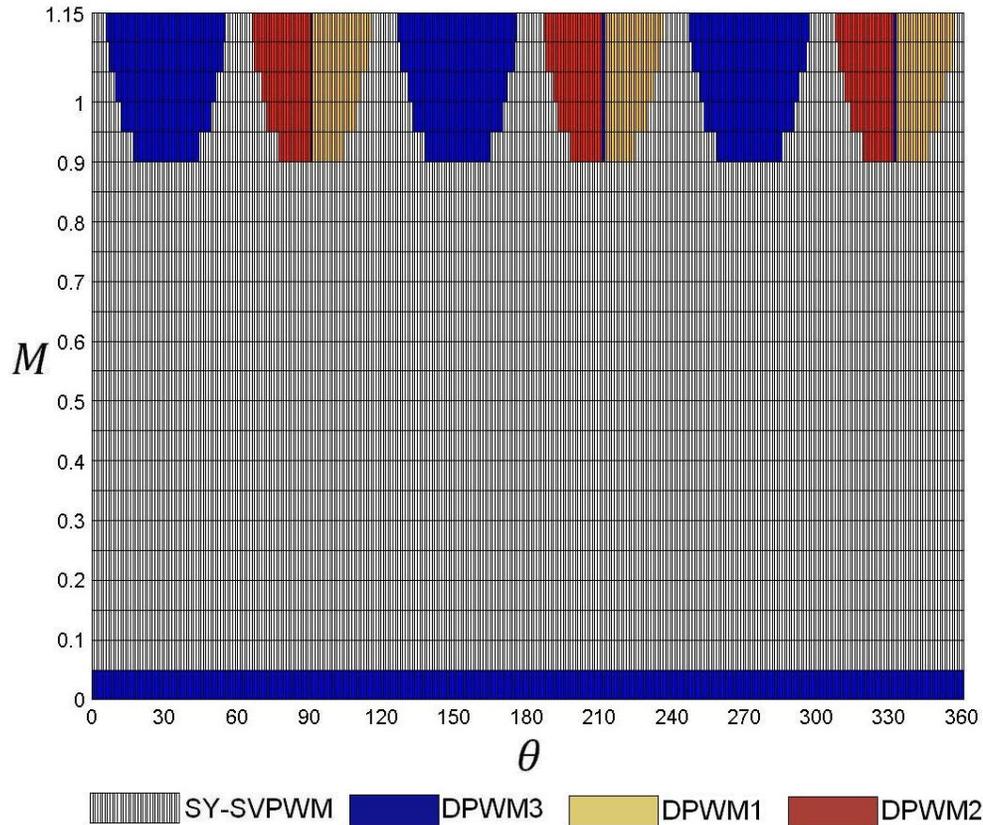


Figura 5-3 Partición de algoritmos de modulación para la estrategia de modulación híbrida.

5.3.2. Validación del algoritmo diseñado.

Los puntos de operación seleccionados para la validación del algoritmo diseñado se conformaron respecto a dos variables: El índice de modulación M variando entre 0.05 y 1.15 en pasos de 0.05 y el índice de frecuencias N con valores de 24 y 360. La validación se realizó teóricamente mediante el cálculo del factor de distorsión armónica total F_{Dist} y experimentalmente mediante medición del índice de distorsión armónica de corriente V_{WTHD} .

5.3.2.1. Validación teórica

Mediante aplicación de la ecuación (3.22) sobre las amplitudes del factor F_{ABCD}^2 presentadas en la Figura 5-1 se obtuvieron las tendencias en la Figura 5-4. En ellas se corrobora el buen desempeño armónico teórico de la estrategia diseñada para los dos índices de frecuencia N evaluados. Como se esperaba a partir de la distribución en la Figura 5-3, en el rango $M < 0.95$ la estrategia híbrida sigue la evolución del algoritmo SY-SVPWM y solo en alta modulación mejora el desempeño armónico de los algoritmos continuos y discontinuos.

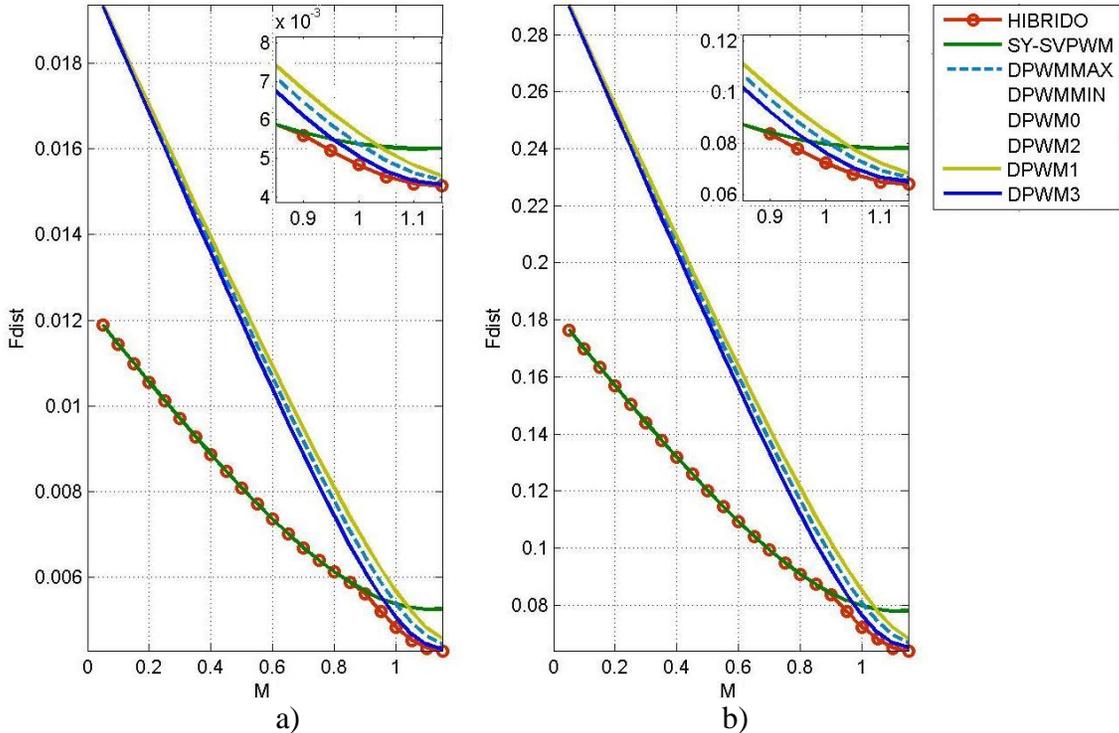


Figura 5-4. Comparación teórica del índice F_{dist} entre los algoritmos PWM y el algoritmo de modulación híbrido PWM. a) Alta resolución $N = 360$ ($f_m = 2.4\text{Hz}$). b) Baja resolución $N = 24$ ($f_m = 36\text{Hz}$).

5.3.2.2. Validación Experimental.

El algoritmo de modulación híbrido planteado, fue implementado sobre el modulador desarrollado en el Capítulo 4. El indicador de desempeño armónico adoptado fue el V_{WTHD} debido a su facilidad de obtención en un entorno experimental, por esta razón, fue necesario establecer límites de ciclo útil superiores e inferiores en la implementación con el fin de validar la utilización de este índice en la comparación entre algoritmos continuos y discontinuos. La validación se realizó con base en el algoritmo SY-SVPWM puesto que en el Capítulo 4 se concluyó la superioridad experimental de este algoritmo sobre los algoritmos discontinuos. Adicionalmente, el rango de variación de M se eligió entre 0.9 y 1.15 puesto que la solución híbrida planteada difiere del SY-SVPWM a partir de $M = 0.95$. Los resultados obtenidos se resumen en la Figura 5-5.

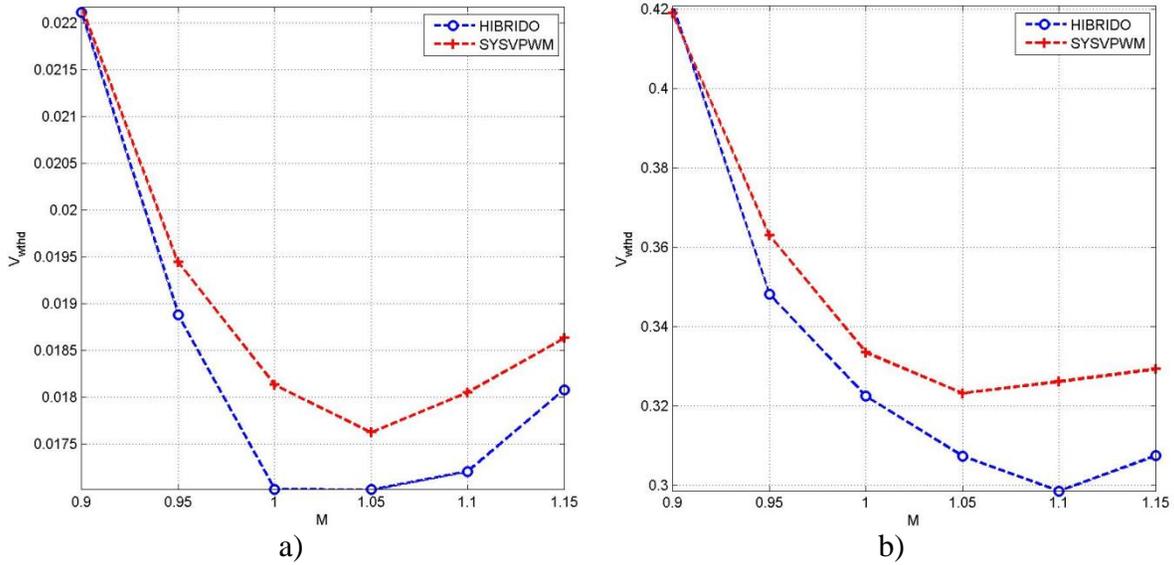


Figura 5-5. Comparación experimental del índice V_{WTHD} entre los algoritmos: Híbrido y SY-SVPWM. a) $N = 360$ ($f_m = 2.4\text{Hz}$). b) $N = 24$ ($f_m = 36\text{Hz}$).

La Figura 5-5 muestra la evolución del índice de distorsión V_{WTHD} para $N = 360$ (ver Figura 5-5a)) y $N = 24$ (ver Figura 5-5b)). Las tendencias resultantes ratifican la superioridad armónica experimental del algoritmo híbrido diseñado, sobre el desempeño armónico del algoritmo SY-SVPWM y por ende sobre los algoritmos discontinuos.

5.4. Conclusiones.

En este capítulo se identificaron algunas oportunidades de mejora sobre el esquema de modulación evaluado en el Capítulo 4. Posteriormente, se propuso desarrollar una de las características identificadas la cual implicaba el diseño de un esquema de modulación híbrido capaz de superar el desempeño armónico establecido para el algoritmo SY-SVPWM en el Capítulo 4. Dicha estrategia fue desarrollada con base en la evolución del valor medio del vector de flujo armónico del estator F_{ABCD}^2 y posteriormente implementada y validada. La validación se realizó teóricamente mediante cálculo del factor de distorsión armónica total F_{dist} y experimentalmente mediante medición del índice de distorsión armónica de corriente V_{WTHD} , obteniendo resultados bastante favorables y acordes con las predicciones teóricas.

Las principales conclusiones y aportes en este capítulo, se resumen a continuación:

- Se definió una metodología de selección de algoritmos PWM en el diseño de esquemas híbridos que permiten mejorar el desempeño armónico. Esta metodología se basa en la comparación del rizado del flujo del estator (F_{ABCD}^2) generado por cada algoritmo de modulación PWM. Según lo presentado en [51], dicha metodología puede ser extendida para secuencias de conmutación no convencionales y para la zona de sobremodulación.

- La estrategia de modulación diseñada, demostró superioridad en alta modulación al ser evaluada mediante dos indicadores armónicos diferentes, el F_{Dist} en la validación teórica y el V_{WTHD} en la validación experimental.
- Se validó la capacidad del prototipo diseñado en el Capítulo 4 para alojar algoritmos de modulación híbridos.
- El resultado de la partición híbrida presentado en la Figura 5-3 es independiente del índice de frecuencias N ; esta condición establece una ventaja en la implementación de aplicaciones que precisen frecuencias fundamentales variables.

El nuevo algoritmo de modulación PWM desarrollado como parte de los resultados de este Trabajo de Grado se propone llamar **HDPWM** (*Hybrid Discontinuous PWM*).

Capítulo 6. Conclusiones

6.1. Conclusiones Generales.

El objetivo primordial de esta investigación fue evaluar experimentalmente el desempeño armónico de los algoritmos de modulación PWM más comunes en los accionamientos eléctricos de motores de inducción. Para ello, el presente trabajo se dividió en dos fases principales. La primera dedicada a los siguientes temas:

- Seleccionar la topología inversora adecuada para la investigación.
- Estudiar los algoritmos de modulación PWM reportados en la literatura.
- Investigar el desempeño armónico teórico de los esquemas de modulación PWM más comunes.
- Seleccionar el esquema de modulación PWM de mejor desempeño armónico.

La segunda fase se centra en la validación experimental del esquema seleccionado y aborda los siguientes temas:

- Diseño e implementación de los algoritmos de modulación PWM.
- Validación del esquema de modulación seleccionado mediante pruebas experimentales.
- Identificación de características susceptibles de mejora sobre el esquema de modulación seleccionado.

Para el desarrollo de la primera fase, se realizó una revisión de la literatura existente en relación con los temas: topologías convencionales de inversores, principio de funcionamiento de los algoritmos de modulación PWM y evaluación analítica del desempeño armónico de los algoritmos PWM; Dicha revisión permitió establecer lo siguiente:

- En el caso de la selección de la topología inversora el esquema apropiado es el VSI trifásico de dos niveles en puente completo. Esta selección se justificó por el manejo de cargas trifásicas en baja potencia, flexibilidad en el control de voltaje, facilidad de modulación digital, calidad de los voltajes generados y utilización de un número reducido de componentes.
- Respecto al estudio de los algoritmos de modulación reportados en la literatura, se fundamentaron sus principios básicos de operación, se establecieron modelos de simulación aptos para la investigación de sus características de desempeño (rango de operación lineal, pérdidas por conmutación y desempeño armónico) y se resumieron las diferentes alternativas de modulación PWM dentro de un único esquema.

- Respecto al análisis teórico del desempeño armónico se estableció la superioridad del esquema de modulación en la Tabla 3-3 justificada por dos de los indicadores de desempeño armónico mas comunes reportados en la literatura; el primero (V_{WTHD}), basado en la evolución del espectro de potencia de las señales PWM y el segundo (F_{DIST}), basado en el análisis del rizado de flujo del estator

El desarrollo de la segunda fase implicó procesos de implementación y simulación. La implementación se concentró en 3 actividades:

- La construcción del prototipo modulador asistida por el procesador de señales *dsPIC30F2010* y su tarjeta de entrenamiento *dsPICDEM 28-pin* de Microchip®.
- La programación de los algoritmos PWM realizada con base en los modelos establecidos en el Capítulo 2 y Capítulo 3.
- La adquisición de datos y cálculo de índices armónicos asistida por una comunicación GPIB y los toolbox: *instrument control* para la adquisición de datos y *signal processing* para el cálculo de los coeficientes e índices armónicos, ambos de MATLAB.

Respecto a la simulación, ésta fue necesaria para establecer índices de error de medición, desarrollar una mejora sobre el esquema evaluado y validar teóricamente dicha mejora. Estos procesos en conjunto permitieron validar los resultados teóricos al demostrar experimentalmente la superioridad del desempeño armónico del algoritmo SY-SVPWM y diseñar un algoritmo de modulación híbrido capaz de superar el desempeño armónico del SY-SVPWM en alta modulación.

6.2. Aportes.

La principal contribución del presente trabajo de grado es el desarrollo e implementación del algoritmo de modulación híbrido HDPWM, capaz de mejorar el desempeño armónico de los algoritmos estudiados, incluyendo al algoritmo SY-SVPWM en alta modulación. Otras contribuciones importantes son las siguientes:

- Un análisis detallado de los principios de funcionamiento de algoritmos de modulación PWM en zona lineal reportados en la literatura.
- La caracterización armónica de los algoritmos de modulación PWM estudiados mediante dos índices de distorsión armónica complementarios: V_{WTHD} y F_{DIST} .
- El diseño e implementación sobre un DSP de un prototipo modulador basado en vectores espaciales apto para el desarrollo de pruebas experimentales y el posible control de inversores trifásicos VSI de dos niveles en puente completo.
- La implementación de drivers de comunicación GPIB (Standard IEEE 488.2) para la adquisición y almacenamiento de datos en procesos de investigación.
- La evaluación experimental del desempeño armónico de los algoritmos de modulación PWM reportados en la literatura.
- La validación experimental de la superioridad del desempeño armónico del algoritmo SY-SVPWM sobre los algoritmos reportados en la literatura.

- Diseño de una metodología de selección de los algoritmos PWM en la conformación de esquemas híbridos útiles en la mejora del desempeño armónico a la salida de un inversor.
- La elaboración de un artículo titulado: “Modulación PWM aplicada a inversores trifásicos dentro del esquema de accionamientos AC”. Disponible en: http://www.ai.unicauca.edu.co/publicaciones/ISAShow_Diaz.pdf
- Divulgación de los resultados parciales de la investigación en el: I congreso tecnológico de automatización- ISA Show andino 2007.
- Elaboración de un artículo titulado “Nuevo algoritmo PWM híbrido de desempeño armónico superior” que resume el aporte principal de este Trabajo de Grado.

6.3. Recomendaciones para Trabajos Futuros.

En relación al trabajo desarrollado en la presente investigación, se proponen los siguientes temas como referencia para trabajos futuros:

- Desarrollo de código más eficiente para la implementación en DSP, con el fin de minimizar el tiempo de procesamiento del modulador e incrementar el tiempo disponible para la adición de un controlador de posición, velocidad y/o aceleración de un motor de inducción.
- Investigación experimental del desempeño armónico del SY-SVPWM en sobremodulación.
- Evaluación experimental del desempeño armónico de las nuevas secuencias de conmutación reportadas en la literatura, incluyendo aquellas que realizan particiones de vectores activos.
- Evaluación experimental de las variaciones de modulación PWM reportadas recientemente en aplicaciones de convertidores de potencia, como la Pd-PWM (*Predistorted Pulse Width Modulation*) [64].
- Construcción de un banco de trabajo que permita la investigación del desempeño armónico y sus efectos sobre: el controlador, los sensores, el inversor, el motor y cargas mecánicas variables.
- Evaluación de la metodología de selección para topologías VSI multinivel.
- Cuantificación de los beneficios del HDPWM sobre el motor de inducción, su controlador y las cargas mecánicas.
- Investigación del desempeño armónico del HDPWM en esquemas de modulación realimentados.
- Investigación del desempeño del HDPWM en otros aspectos (por ejemplo: pérdidas por conmutación, rango lineal) y en zonas de sobremodulación.

Bibliografía

- [1] PARDO, A y DIAZ, J. "Aplicaciones de los convertidores de frecuencia. Estrategias PWM". JAVA E.U ISBN:958-33-6768-0 .Pamplona , 2004.
- [2] BOSE, B. "Energy, environment and advances in power electronics". In: IEEE Transaction on Power Electronics .Vol. 15, 2000.
- [3] MOHAN, N. "Electric drives: An integrative approach". ISBN-10:0971529256 . MNPERE, 2004.
- [4] HAVA, A. "Carrier Based PWM-VSI Drives In The Overmodulation Region". Ph.D. dissertation. University of Wisconsin. Madison, 1998.
- [5] Colciencias. Directorio de Grupos Colombianos de Investigación Científica y Tecnológica e Innovación. Grupo de Investigación en Conversión de Energía CONVERGÍA. Resumen Grupo. [Base de datos en Línea]. [Consultado Julio 2006] Disponible en Internet en:
<http://zulia.colciencias.gov.co:8081/digicyt.war/search/EnGrupoInvestigacion/xmlInfo.do?jsessionid=93459EE61EFE7C8ED841A3C43D5FBF05?nro_id_grupo=01463044A3I4IP#integrantes>.
- [6] Universidad de Antioquia. Grupo de Investigación en Manejo Eficiente de la Energía Eléctrica (GIMEL). Proyectos en Ejecución. [Base de datos en Línea]. [Consultado Julio 2006]. Disponible en Internet en:
<http://gimel.udea.edu.co/index.php?option=com_content&task=view&id=13&Itemid=27>
- [7] HOOMAN, D. "Optimal Voltage Harmonic Mitigation in Single-Phase Pulse Width Modulation". Technical Article. Centre for Renewable Energy and Sustainable Technologies. Cresta, 2001.
- [8] MARTÍNEZ, D. "Acoustic noise in vector controlled induction motor drives". Licentiate's Thesis. Department of Industrial Electrical Engineering and Automation. Institute of Technology. Lund, 2001.
- [9] CAPITANEANU, S. *et al.* "Graphical and algebraic synthesis for PWM methods". In: EPE Journal. Vol 11. #3, 2001.
- [10] TÉLLEZ, E. Programa de ahorro de energía: Distorsión armónica. Watergy México: Eficiencia integral en Agua y Energía. [Consultado Febrero 2008] Disponible en Internet en:
www.watergymex.org/.../Optimizando%20la%20Operacion%20y%20el%20Mantenimiento/Distorsion%20Armonica.pdf

- [11] MASET, E. Introducción a la electrónica de potencia. Ingeniería técnica de telecomunicaciones. Universidad de Valencia. Material Multimedia. [Consultado Julio 2006] Disponible en Internet en:
www.uv.es/emaset/iep00/temas/IEP11_0506.pdf
- [12] VAN DER BROECK, H. “Analytical analysis of the harmonic effects of a PWM AC drive”. In: IEEE Transaction on Power Electronics, 1988.
- [13] RODRÍGUEZ, P. “Aportaciones a los acondicionadores activos de corriente en derivación para redes trifásicas de cuatro hilos”. Tesis Doctoral. Universidad Politécnica de Catalunya. Barcelona, 2005.
- [14] KWAK, S. “Design and Analysis of Modern Three-phase AC/AC Power Converters for AC Drives and Utility Interface”. Ph.D. dissertation. Texas A&M University, 2005.
- [15] WOOD, P. “Switching Power Converters”. Van Nostrand Reinhold. New York , 1981.
- [16] MASET, E. Introducción a la electrónica de potencia. Ingeniería técnica de telecomunicaciones. Universidad de Valencia. Material Multimedia. [Consultado Julio 2006] Disponible en Internet en:
www.uv.es/emaset/iep00/descargas/INVERSORES%20SQW.pdf
- [17] MARTÍN PRATS, M. “Nuevas técnicas de modulación vectorial para convertidores electrónicos de potencia multinivel”. Tesis Doctoral. Universidad de Sevilla. Sevilla, 2003.
- [18] GARCIA, L. Electrónica de potencia II. Departamento de Ingeniería electrónica. Escuela Superior de Ingenieros. Universidad de Sevilla. Material Multimedia [Consultado Julio 2006] Disponible en Internet en:
http://woody.us.es/~leopoldo/Store/tsp_16.pdf
http://woody.us.es/~leopoldo/Store/tsp_17.pdf
- [19] LOZANO, J . “Compensador estático serie para el mejoramiento de la calidad de energía en redes eléctricas”. Tesis de Maestría. Centro de Investigación y de Estudios Avanzados del I.P.N Unidad Guadalajara. Jalisco, 2006.
- [20] HAYASHI, Y. “A novel control of a current source active filter for AC power system Harmonic compensation”. In: IEEE Transaction on Industrial Applications. Vol. 27, 1991.
- [21] FUKUDA, S. “Control method for a combined active filter system employing a current source inverter and a high pass filter”. In: IEEE Transaction on Industrial Applications. Vol. 31, 1995.
- [22] AKAGI, H. “Trends in active power line conditioners”. In: IEEE Transaction on Power Electronics. Vol. 9, 1994.
- [23] —. “New trends in active filters”. In: Europe conference: Power electronic and Applications EPE’95 , 1995.

- [24] HOLMES, G and McGRATH, B. "*Opportunities for Harmonic Cancellation with Carrier Based PWM for Two-Level and Multi-Level Cascaded Inverters*". Department of Electrical and Computer Systems Engineering. Monash University. Australia, 2003.
- [25] PENG, F. "*A generalized multilevel inverter topology with self voltage balancing*". In : IEEE Transactions on Industrial Applications, vol. 37, 2001.
- [26] SAUDEMONT, C. "*Study of floating source dynamic behaviour in imbricated cell converter*". In : International Conference on Power Electronics and Variable Speed Drives, 1998.
- [27] SONG, B. "*A soft-switching highvoltage active power filter with flying capacitors for urban maglev system applications*". In: Industry Applications Conference, 2001.
- [28] SCHÖNUNG, A and STEMMLER, H. "*Static frequency changers with subharmonic control in conjunction with reversible variable speed AC drives*". In: Brown Boveri Review, 1964.
- [29] HOLTZ, J. "*Pulsewidth modulation for electronic power conversion*". Wuppertal University : Proceedings of the IEEE. Vol. 82. Germany, 1994.
- [30] SVENSON, J. "*Pulse Width Modulation Techniques*". University of Technology. Electric Power Engineering, Chalmers, 1999.
- [31] HOLMES, G. "*A General Analytical Method for Determining the Theoretical Harmonic Components of Carrier Based PWM Strategies*". IEEE. Australia, 1998.
- [32] MOYNIHAN J, "*Theoretical spectra of space-vector-modulated waveforms*". USA : In: IEEE Transaction on Power Electronics .Vol. 145, 1998.
- [33] ZHOU, K. "*Relationship between space-vector modulation and three-phase carrier-based PWM: A comprehensive analysis*". In: IEEE transactions on Industrial Electronics. Vol. 49, 2002.
- [34] BERGAS, J i JOAN, G. "*Control del motor d inducció considerant els límits del convertidor i del motor*". Tesi Doctoral. Universidad Politècnica de Catalunya. Barcelona, 2000.
- [35] MALINOWSKI, M. "*Sensorless Control Strategies for Three-Phase PWM Rectifiers*". Ph.D. Thesi. University of Technology. Institute of Control and Industrial Electronics. Faculty of Electrical Engineering. Warsaw, 2001.
- [36] KING, K. "*A three phase transistor class-b inverter with sinewave output and high efficiency*". In: Institute of Electronic Engineering Publication #123, 1974.

- [37] BUJA, G and INDRI, G. “*Improvement of pulse width modulation techniques*”. Archiv für Elektrotechnik # 57, 1975.
- [38] BOWES, S and MIDOUN, A. “*New PWM switching strategy for microprocessor controlled inverter drives*”. Proceedings of the IEEE Vol. 133, 1986.
- [39] VAN DER BROECK, H. “*Analysis and realization of a pulse width modulator based on voltage space vectors*”. In IEEE-IAS Conf. Records. USA. 1986.
- [40] DEPENDROCK, M. “*Pulse width control of a 3-phase inverter with nonsinusoidal phase voltages*”. In: IEEE-International Semiconductor Power Conversion Conference Records. 1977.
- [41] TANIGUCHI, K. *et al.* “*PWM technique for power MOSFET inverter*”. In: IEEE Transaction on Power Electronics, 1988.
- [42] OGASAWARA, S. *et al.* “*A novel PWM scheme of voltage source inverter based on space vector theory*”. In: European Power Electronics Conference Records. Germany, 1989.
- [43] KENJO, T. “*Power Electronics for the Microprocessor Age*”. Oxford University Press, 1990.
- [44] KOLAR, J. *et al.* “*Minimization of the harmonic RMS content of the mains current of a PWM converter system based on the solution of an extreme value problem*”. In: ICHPC Conference Records. Budapest, 1990.
- [45] NARAYANAN, G. “*Synchronised Pulsewidth Modulation Strategies based on Space Vector Approach for Induction Motor Drives*”. Thesis submitted for the degree of Doctor of Philosophy. Indian Institute of Science. Department of Electrical Engineering. Bangalore, 1999.
- [46] PARK, R. “*Two-reaction theory of synchronous machines. Generalized method of analysis—Part I,*”. A. I. E. E. Transactions. Vol. 48, 1929.
- [47] CLARKE, E. “*Circuit Analysis of AC Power Systems*”. Vol. 1. New York, 1958.
- [48] PFAFF, G *et al.* “*Design and Experimental Result of a Brushless AC Servo Drive*”. In: IEEE Transactions on Industry Applications. Vol IA-22. 1984.
- [49] MOHAN, N. “*Advanced Electric Drives: Analysis, Control and Modelling using Simulink®*”. ISBN-10:0971529205 . Minneapolis: MNPERE, 2001.
- [50] BLASKO, V. “*Analysis of a hybrid PWM based on modified space-vector and triangle-comparison method*” . In: IEEE transactions on Industrial Electronics. Vol 33, 1997.

- [51] NARAYANAN, G and RANGANATHAN, T. “*Analytical Evaluation of Harmonic Distortion in PWM AC Drives Using the Notion of Stator Flux Ripple.*” In: IEEE Transactions on power electronics. Vol. 20. India, 2005.
- [52] WELLS, J. “*Generalized selective harmonic control*”. Ph.D. dissertation. University of Illinois. Urbana, 2006.
- [53] LIPO, T. “*An Improved Weighted Total Harmonic Ddistortion Iindex for Induction Motor Drives*”. University of Wisconsin. USA, 2000.
- [54] TOOTH, D. *et al.* “*Fourier Theory of Jumps applied to Converter Harmonic Analysis*”. In: IEEE transactions on aerospace and electronic systems. Vol. 37. Scotland, 2001.
- [55] HANDLEY, J. “*Harmonic analysis of space vector modulated PWM waveforms*”. IEEE Proceedings. Vol. 137. New Zealand, 1990.
- [56] BIRD, S. “*Novel Approach to the analysis and synthesis of modulation processes in power converters*”. IEE Proceedings. Vol. 122. London, 1975.
- [57] BENNETT, W. “*New results in the calculation of modulation products*”. In: The Bell System Technical Journal, Vol. 12, 1933.
- [58] BLACK, H. “*Modulation Theory*”. New York : Van Nostrand, 1953.
- [59] BIERHOFF, M. “*Theoretical Output Current Spectra of Three Phase Current Source Converters*”. Germany, 2005.
- [60] MURPHY, J. *et al.* “*Theoretical spectra of space-vector-modulated waveforms*”. IEE Proceedings on line no. 19981564, Vol. 145, 1998.
- [61] NARAYANAN, G. *et al.* “*Advanced bus-clamping PWM techniques based on space vector aproach*”. In: IEEE Transactions on power electronics. 2006
- [62] VUKOSAVIĆ, S and STOJIĆ, M. “*Reduction of Parasitic Spectral Components of Digital Space Vector Modulation by Real-Time Numerical Methods*”. In: IEEE Transactions on power electronics. 1995.
- [63] NARAYANAN, G. *et al.* “*Space vector methods for AC drives to achieve high efficiency and superior waveform quality*”. Final report submitted to office of naval research. Arizona State University. Arizona, 2004.
- [64] GENG, X *et al.* “*Predistorted Pulse Width Modulation Technique for Switching Signal Spectrum Management*”. University of Illinois. Department of Electrical and Computer Engineering. Urbana, 2007.