

ANÁLISIS DEL DESEMPEÑO DE UN SISTEMA DE COMUNICACIONES CON CODIFICACIÓN BCH BINARIA BASADO EN HARDWARE RECONFIGURABLE



APÉNDICE A, B, C, D y E

Aura Cristina Tobar Collazos
Diana Patricia Sánchez Mulcué

Universidad del Cauca

Facultad de Ingeniería Electrónica y Telecomunicaciones
Departamento de Telecomunicaciones
GRIAL – Grupo de Radio e InALámbricas
GNTT – Grupo I+D Nuevas Tecnologías en Telecomunicaciones
Señales y Sistemas de Acceso y Difusión Basados en Radio
Gestión Integrada de Redes, Servicios y Arquitecturas de
Telecomunicaciones
Popayán, 2015

EJEMPLO DEL PROCESO DE CODIFICACIÓN Y DECODIFICIÓN BCH BINARIA



APÉNDICE A

Aura Cristina Tobar Collazos
Diana Patricia Sánchez Mulcué

Director: Harold Armando Romo Romero.

Universidad del Cauca

Facultad de Ingeniería Electrónica y Telecomunicaciones
Departamento de Telecomunicaciones
GRIAL – Grupo de Radio e InALámbricas
GNTT – Grupo I+D Nuevas Tecnologías en Telecomunicaciones
Señales y Sistemas de Acceso y Difusión Basados en Radio
Gestión Integrada de Redes, Servicios y Arquitecturas de
Telecomunicaciones
Popayán, 2015



APÉNDICE A. EJEMPLO DEL PROCESO DE CODIFICACIÓN Y DECODIFICACIÓN BCH BINARIA

A.1. Ejemplo de codificación del código BCH(15, 5).

Inicialmente se toma el campo $GF(2^4)$, $m = 4$ y una capacidad correctora de $t = 3$, que da como resultado:

$$n = (2^4 - 1),$$
$$n = (2^4 - 1) = 15.$$

- Siendo β un elemento primitivo y raíz del polinomio $x^4 + x + 1$ en $GF(2^4)$, cumple con $\beta^n = \beta^{15} = 1$.
- Las $2t$ potencias consecutivas de β se obtienen a partir de $t = 3$, donde $2t = 6$ potencias, que equivalen a $\{\beta, \beta^2, \beta^3, \beta^4, \beta^5, \beta^6\}$.
- Los polinomios mínimos de $\{\beta, \beta^2, \beta^3, \beta^4, \beta^5, \beta^6\}$, para $x^4 + x + 1$, corresponden a los dados por la tabla B.2 del anexo B.

$$\text{Para } \beta, \beta^2 \text{ y } \beta^4 \quad M_1(x) = x^4 + x + 1,$$
$$\text{Para } \beta^3 \text{ y } \beta^6 \quad M_3(x) = x^4 + x^3 + x^2 + x + 1,$$
$$\text{Para } \beta^5 \quad M_5(x) = x^2 + x + 1.$$

- El Cómputo del *m. c. m* de estos polinomios mínimos da como resultado:

$$g(x) = M_1(x)M_3(x)M_5(x),$$
$$g(x) = (x^4 + x + 1)(x^4 + x^3 + x^2 + x + 1)(x^2 + x + 1),$$
$$g(x) = x^{10} + x^8 + x^5 + x^4 + x^2 + x + 1.$$

Entonces $k = (n - \text{grado del polinomio } g(x)) = 15 - 10 = 5$, por lo tanto es un codificador BCH(15,5). Por medio de las ecuaciones. 1.14 y 1.15, se obtiene:

$$c(x) = x^{n-k}d(x) + b(x) = x^{10}d(x) + b(x),$$

$$d(x) = 0,$$



$$b(x) = \text{Res} \left[\frac{x^{10} \cdot 0}{x^{10} + x^8 + x^5 + x^4 + x^2 + x + 1} \right] = 0,$$

$$c(x) = 0.$$

- e) Finalmente se obtiene la palabra código $c = 000000000000000$, donde los cinco dígitos menos significativos corresponden a la palabra binaria del dato $d = 00000$.

A.2. Ejemplo de decodificación del código BCH(15, 5).

Para este proceso se toman los datos dados por la tabla A.1.

Tabla A.1 Parámetros para la Decodificación BCH binaria.

Codificador BCH binario	BCH(15, 5)
Número de errores	: $t = 3$
Polinomio primitivo	: $p(x) = x^4 + x + 1$
Polinomio generador	: $g(x) = x^{10} + x^8 + x^5 + x^4 + x^2 + x + 1$
Polinomio código	: $c(x) = 0; c = 000000000000000$
Polinomio recibido	: $r(x) = x^{12} + x^5 + x^3; r = 000101000000100$

- **Cálculo del síndrome**

Para encontrar los $2t = 6$ componentes del síndrome, se hace la evaluación de los α^i en el polinomio recibido $r(x) = x^{12} + x^5 + x^3$, de esta forma se obtienen de $s_i = r(\alpha^i)$ los seis síndromes:

$$\begin{aligned} s_1 &= r(\alpha) = \alpha^{12} + \alpha^5 + \alpha^3 = 1, \\ s_2 &= r(\alpha^2) = \alpha^{24} + \alpha^{10} + \alpha^6 = 1, \\ s_3 &= r(\alpha^3) = \alpha^{36} + \alpha^{15} + \alpha^9 = \alpha^{10}, \\ s_4 &= r(\alpha^4) = \alpha^{48} + \alpha^{20} + \alpha^{12} = 1, \\ s_5 &= r(\alpha^5) = \alpha^{60} + \alpha^{25} + \alpha^{15} = \alpha^{10}, \\ s_6 &= r(\alpha^6) = \alpha^{72} + \alpha^{30} + \alpha^{18} = \alpha^5. \end{aligned}$$

La simplificación polinomial se puede apreciar en la sección 1.2.5. Detallando el caso del s_2 se tiene:



$$s_2 = r(\alpha^2),$$

$$s_2 = (\alpha^2)^{12} + (\alpha^2)^5 + (\alpha^2)^3,$$

$$s_2 = \alpha^{24} + \alpha^{10} + \alpha^6,$$

$$s_2 = \alpha^{24-15} + \alpha^{10} + \alpha^6 = \alpha^9 + \alpha^{10} + \alpha^6,$$

$$s_2 = \alpha + \alpha^3 + 1 + \alpha + \alpha^2 + \alpha^2 + \alpha^3,$$

$$s_2 = 1.$$

- **Determinación del polinomio localizador de error $\Lambda(x)$**

Aplicación del algoritmo BM, con base en los distintos síndromes previamente calculados, como se muestra a continuación.

✓ **Iteración 1**

a) Inicializador:

$$\mu = 0, L_0 = 0, B_{(x)} = x, \Lambda^0(x) = 1, j = 0,$$

$$\mu = \mu + 1,$$

$$\mu = 1,$$

b) Cómputo del error en el siguiente síndrome:

$$d_\mu = S_\mu + \sum_{l=1}^{L_{\mu-1}} \Lambda_l S_{\mu-l},$$

$$d_1 = s_1 + \sum_{l=1}^0 \Lambda_l s_{1-l} = s_1 + \Lambda_1 s_0 = s_1 + 0 \cdot s_0 = s_1,$$

$$d_1 = s_1 = 1,$$

como $d = 1 \neq 0$, significa que hay discrepancia, por la tanto se debe hacer el cómputo de $T(x)$.

$$T_{(x)} = \Lambda^{\mu-l}(x) + d_\mu B(x).$$

Como $\mu = 1$, $B(x) = x$ y $d_1 = 1$, entonces:

$$T_{(x)} = \Lambda^0(x) + d_1 B(x),$$

$$T_{(x)} = 1 + x.$$



Ahora se procede a verificar si:

$$\begin{aligned}L_{\mu-1} &< \mu - j, \\L_0 &< 1 - 0, \\0 &< 1.\end{aligned}$$

Como la desigualdad se cumple, se procede a normalizar y actualizar a $B(x)$ y las derivaciones de los LFSR son modificadas por los coeficientes de $T(x)$.

c) Extensión del registro de corrimiento

Primero se almacena el antiguo registro de corrimiento y se normaliza $B(x)$.

$$\begin{aligned}B(x) &\leftarrow (d_\mu)^{-1} \Lambda^{\mu-1}(x), \\B(x) &\leftarrow (d_1)^{-1} \Lambda^0(x), \\B(x) &= 1^{-1} \cdot 1 = 1.\end{aligned}$$

Ahora se actualiza los registros de corrimiento:

$$\begin{aligned}\Lambda^\mu(x) &\leftarrow T(x), \\ \Lambda^1(x) &= 1 + x.\end{aligned}$$

Por último se actualiza la longitud:

$$\begin{aligned}T_\mu &\leftarrow \mu - j, \\j &\leftarrow \mu - L_{\mu-1}, \\L_\mu &\leftarrow T_\mu.\end{aligned}$$

Reemplazando se tiene:

$$\begin{aligned}T_1 &= 1 - 0 = 1, \\j &= 1 - 0 = 1, \\L_1 &= 1.\end{aligned}$$

d) Obtención del polinomio actualizado

$$\begin{aligned}B(x) &\leftarrow xB(x), \\B(x) &= x.\end{aligned}$$

Se verificar si $\mu = 2t$, entonces $\mu = 1$ y $2t = 6$. Como no se cumple la identidad entonces se debe seguir con la siguiente iteración partiendo de los valores obtenidos en la iteración anterior.



✓ **Iteración 2.**

a) Inicializadores con iteración anterior

$$\mu = 1; B_{(x)} = x, \Lambda^1(x) = 1 + x, L_1 = 1, j = 1$$

$$\mu = \mu + 1,$$

$$\mu = 2.$$

b) Cómputo del error en el siguiente síndrome

$$d_{\mu} = s_{\mu} + \sum_{l=1}^{L_{\mu-1}} \Lambda_l s_{\mu-l},$$
$$d_2 = s_2 + \sum_{l=1}^1 \Lambda_l s_{2-l} = s_2 + \Lambda_1 s_1 = 1 + 1 \cdot 1,$$
$$d_2 = 0,$$

como $d = 0$ significa que no hay discrepancia, por la tanto procedemos a obtener el polinomio actualizado.

c) Obtención del polinomio actualizado

$$B_{(x)} \leftarrow xB_{(x)},$$

$$B_{(x)} = x^2.$$

Se verificar si $\mu = 2t$; $\mu = 2$ y $2t = 6$. Como no se cumple la identidad entonces se debe seguir con la siguiente iteración partiendo de los valores obtenidos en la iteración anterior. En las tablas A.2, A.3, A.4 y A.5 se describen las iteraciones restantes.



Tabla A.2 Algoritmo BM con Iteración $\mu = 2$.

Con: $\mu = 2$; $B_{(x)} = x^2$, $\Lambda^2(x) = 1 + x$, $L_2 = 1$, $j = 1$		
$\mu = \mu + 1$ $\mu = 3$	$d_3 = S_3 + \sum_{l=1}^2 \Lambda_l S_{3-l} = S_3 + \Lambda_1 S_2$ $d_3 = S_3 + \Lambda_1 S_2 = \alpha^{10} + 1 = \alpha^5$	$\zeta d = 0 ?$ $d = \alpha^5 \neq 0$
	$T_{(x)} = \Lambda^2(x) + d_3 B(x) = 1 + x + \alpha^5 x^2$	$\zeta L_{\mu-1} < \mu - j ?$ $1 < 2$
	$B_{(x)} \leftarrow (d_3)^{-1} \Lambda^2(x)$ $B_{(x)} = (\alpha^5)^{-1} (1 + x)$ <p>Por la propiedad del inverso multiplicativo donde $a \cdot a^{-1} = a^{-1} \cdot a = 1$ se tiene que el inverso de (α^5) es $\alpha^{10} \left(\frac{\alpha^{15}}{\alpha^5} \right)$.</p> $B_{(x)} = \alpha^{10} (1 + x)$	$B_{(x)} = \alpha^{10} (1 + x)$
	$\Lambda^3(x) \leftarrow T_{(x)}$ $\Lambda^3(x) = 1 + x + \alpha^5 x^2$	$\Lambda^3(x) = 1 + x + \alpha^5 x^2$
	$T_\mu \leftarrow \mu - j$ $T_3 = 3 - 1$ $T_3 = 2$	$L_\mu \leftarrow T_\mu$ $L_3 = 2$
	$j \leftarrow \mu - L_{\mu-1}$ $j = 3 - 1$	$j = 2$
	$B_{(x)} \leftarrow x B_{(x)}$	$B_{(x)} = x(\alpha^{10} (1 + x))$ $B_{(x)} = \alpha^{10} (x + x^2)$
		$\mu = 3 \neq 6$

Tabla A.3 Algoritmo BM con Iteración $\mu = 3$.

Con: $\mu = 3$; $B_{(x)} = \alpha^{10}(x + x^2)$, $\Lambda^3(x) = 1 + x + \alpha^5 x^2$, $L_3 = 2$, $j = 2$		
$\mu = \mu + 1$ $\mu = 4$	$d_4 = S_4 + \sum_{l=1}^2 \Lambda_l S_{4-l} = S_4 + \Lambda_1 S_3 + \Lambda_2 S_2$ $d_4 = 1 + \alpha^{10} + \alpha^5 = 0$	$\zeta d = 0 ?$ $d = 1 + \alpha^{10} + \alpha^5$ $d = 0$
	$B_{(x)} \leftarrow x B_{(x)}$	$B_{(x)} = \alpha^{10} (x^2 + x^3)$
		$\mu = 4 \neq 6$



Tabla A.4 Algoritmo BM con Iteración $\mu = 4$.

Con: $\mu = 4$; $B(x) = \alpha^{10}(x^2 + x^3)$, $\Lambda^4(x) = 1 + x + \alpha^5x^2$, $L_4 = 2$, $j = 2$		
$\mu = \mu + 1$ $\mu = 5$	$d_5 = s_5 + \sum_{l=1}^2 \Lambda_l s_{5-l} = s_5 + \Lambda_1 s_4 + \Lambda_2 s_3$ $d_5 = \alpha^{10} + 1 + \alpha^5 \alpha^{10} \alpha^{10} + 1 + \alpha^{15} = \alpha^{10}$	$\zeta d = 0?$ $d = \alpha^{10} \neq 0$
	$T(x) = \Lambda^4(x) + d_5 B(x)$ $T(x) = 1 + x + \alpha^5 x^3$	$\zeta L_{\mu-1} < \mu - j?$ $2 < 3$
	$B(x) \leftarrow (d_5)^{-1} \Lambda^4(x)$ $B(x) = (\alpha^{10})^{-1} (1 + x + \alpha^5 x^2)$ $B(x) = \alpha^5 (1 + x + \alpha^5 x^2)$	$B(x) = \alpha^5 (1 + x + \alpha^5 x^2)$
	$\Lambda^5(x) \leftarrow T(x)$ $\Lambda^5(x) = 1 + x + \alpha^5 x^3$	$\Lambda^3(x) = 1 + x + \alpha^5 x^3$
	$T_\mu \leftarrow \mu - j$ $T_5 = 5 - 2 = 3$	$L_\mu \leftarrow T_\mu$ $L_5 = 3$
	$j \leftarrow \mu - L_{\mu-1}$ $j = 5 - L_{5-1}$ $j = 5 - 2 = 3$	$j = 3$
	$B(x) \leftarrow x B(x)$	$B(x) = \alpha^{10} x^3 + \alpha^5 (x^2 + x)$
		$\mu = 5 \neq 6$

Tabla A.5 Algoritmo BM con Iteración $\mu = 5$.

Con: $\mu = 5$; $B(x) = \alpha^{10}x^3 + \alpha^5(x^2 + x)$, $\Lambda^5(x) = 1 + x + \alpha^5x^3$, $L_5 = 3$, $j = 3$		
$\mu = \mu + 1$ $\mu = 6$	$d_6 = s_6 + \sum_{l=1}^3 \Lambda_l s_{6-l} = s_6 + \Lambda_1 s_5 + \Lambda_2 s_4 + \Lambda_3 s_3$ $d_6 = 1 + \alpha^{10} + \alpha^5 = 0$	$\zeta d = 0?$ $d = 1 + \alpha^{10} + \alpha^5$ $d = 0$
	$B(x) \leftarrow x B(x)$	$B(x) = \alpha^{10} x^4 + \alpha^5 (x^3 + x^2)$
		$\mu = 6 = 6$

A continuación, la tabla A.6 resumen los datos entregados por las diferentes iteraciones, con el fin de ver el polinomio localizador de error $\Lambda(x)$.



Tabla A.6 Resultados obtenidos del algoritmo iterativo de Berlekamp Massey.

μ	d_μ	$B_{(x)}$	$\Lambda^\mu(x)$	j	L_μ
0		x	1	0	0
1	1	x	$1 + x$	1	1
2	0	x^2	$1 + x$	1	1
3	α^5	$\alpha^{10}x^2 + \alpha^{10}x$	$1 + x + \alpha^5x^2$	2	2
4	0	$\alpha^{10}x^3 + \alpha^{10}x^2$	$1 + x + \alpha^5x^2$	2	2
5	α^{10}	$\alpha^{10}x^3 + \alpha^5x^2 + \alpha^5x$	$1 + x + \alpha^5x^3$	3	3
6	0	$\alpha^{10}x^4 + \alpha^5x^3 + \alpha^5x^2$	$1 + x + \alpha^5x^3$	3	3

Finalmente, el polinomio localizador del error es $\Lambda(x) = 1 + x + \alpha^5x^3$.

- **Determinación de los localizadores de error. Búsqueda de Chien**

En este proceso se deben determinar las raíces por medio de la búsqueda de Chien. Se deben evaluar todos los distintos elementos no cero $\alpha, \alpha^2, \alpha^3, \dots, \alpha^{15}$ del campo mayor, reemplazándolos en el polinomio localizador y ubicar aquellos que den $\Lambda = 0$.

Con 1

$$\Lambda(1) = 1 + 1 + \alpha^5 \cdot 1$$

$$\Lambda(1) = 1 + 1 + \alpha^5$$

$$\Lambda(1) = \alpha^5 \neq 0$$

Con α

$$\Lambda(\alpha) = 1 + \alpha + \alpha^5\alpha^3$$

$$\Lambda(\alpha) = 1 + \alpha + \alpha^8$$

$$\Lambda(\alpha) = 1 + \alpha + 1 + \alpha^2$$

$$\Lambda(\alpha) = \alpha + \alpha^2 \neq 0$$

Con α^2

$$\Lambda(\alpha^2) = 1 + \alpha^2 + (\alpha^2)^3\alpha^5$$

$$\Lambda(\alpha^2) = 1 + \alpha^2 + \alpha^{11}$$

$$\Lambda(\alpha^2) = 1 + \alpha^2 + \alpha + \alpha^2 + \alpha^3$$

$$\Lambda(\alpha^2) = \alpha^7 \neq 0$$

Por lo tanto 1 no es una raíz.

Por lo tanto α no es una raíz.

Por lo tanto α^2 no es una raíz.

Este procedimiento se repite con todos los elementos no cero $\alpha^2, \alpha^3, \dots, \alpha^{15}$, el cual arroja que los siguientes valores si son raíces del polinomio localizador del error.

Con α^3

$$\Lambda(\alpha^3) = 1 + \alpha^3 + \alpha^5(\alpha^3)^3$$

$$\Lambda(\alpha^3) = 1 + \alpha^3 + \alpha^{14}$$

$$\Lambda(\alpha^3) = 0$$

Con α^{10}

$$\Lambda(\alpha^{10}) = 1 + \alpha^{10} + (\alpha^{10})^3\alpha^5$$

$$\Lambda(\alpha^{10}) = 1 + \alpha^{10} + \alpha^{35}$$

$$\Lambda(\alpha^3) = 0$$

Con α^{12}

$$\Lambda(\alpha^{10}) = 1 + \alpha^{12} + (\alpha^{12})^3\alpha^5$$

$$\Lambda(\alpha^{10}) = 1 + \alpha^{12} + \alpha^{41}$$

$$\Lambda(\alpha^{10}) = 0$$

- **Determinación polinomio patrón del error $e(x)$.**

Una vez se obtienen los valores de las raíces, se calculan sus recíprocos, debido a que sus inversos indican la posición de los errores dentro de la palabra recibida $r(x)$.

$$\Lambda(\alpha^3) = \frac{1}{\alpha^3} = \frac{\alpha^{15}}{\alpha^3} = \alpha^{12},$$



$$\Lambda(\alpha^{10}) = \frac{1}{\alpha^{10}} = \frac{\alpha^{15}}{\alpha^{10}} = \alpha^5,$$
$$\Lambda(\alpha^{12}) = \frac{1}{\alpha^{12}} = \frac{\alpha^{15}}{\alpha^{12}} = \alpha^3.$$

Estos valores encontrados son las ubicaciones de los errores, por lo tanto el polinomio patrón de error es:

$$e(x) = x^{12} + x^5 + x^3.$$

- **Corrección del error**

Se realiza la suma del polinomio patrón del error y el polinomio recibido:

$$c(x) = e(x) + r(x),$$
$$c(x) = (x^{12} + x^5 + x^3) + (x^{12} + x^5 + x^3).$$

Y finalmente la palabra que se transmitió fue:

$$c(x) = 0$$
$$c = 0000000000000000$$



LÓGICA DE DISEÑO DEL CÓDIGO BCH BINARIO Y ADICIONALES



APÉNDICE B

Aura Cristina Tobar Collazos
Diana Patricia Sánchez Mulcué

Director: Harold Armando Romo Romero.

Universidad del Cauca

Facultad de Ingeniería Electrónica y Telecomunicaciones
Departamento de Telecomunicaciones
GRIAL – Grupo de Radio e InALámbricas
GNTT – Grupo I+D Nuevas Tecnologías en Telecomunicaciones
Señales y Sistemas de Acceso y Difusión Basados en Radio
Gestión Integrada de Redes, Servicios y Arquitecturas de
Telecomunicaciones
Popayán, 2015

APÉNDICE B. LÓGICA DE DISEÑO DEL CÓDIGO BCH BINARIO Y ADICIONALES

B.1. Diagrama de flujo del algoritmo BM.

En la figura B.1, se muestra el diagrama de flujo del algoritmo BM.

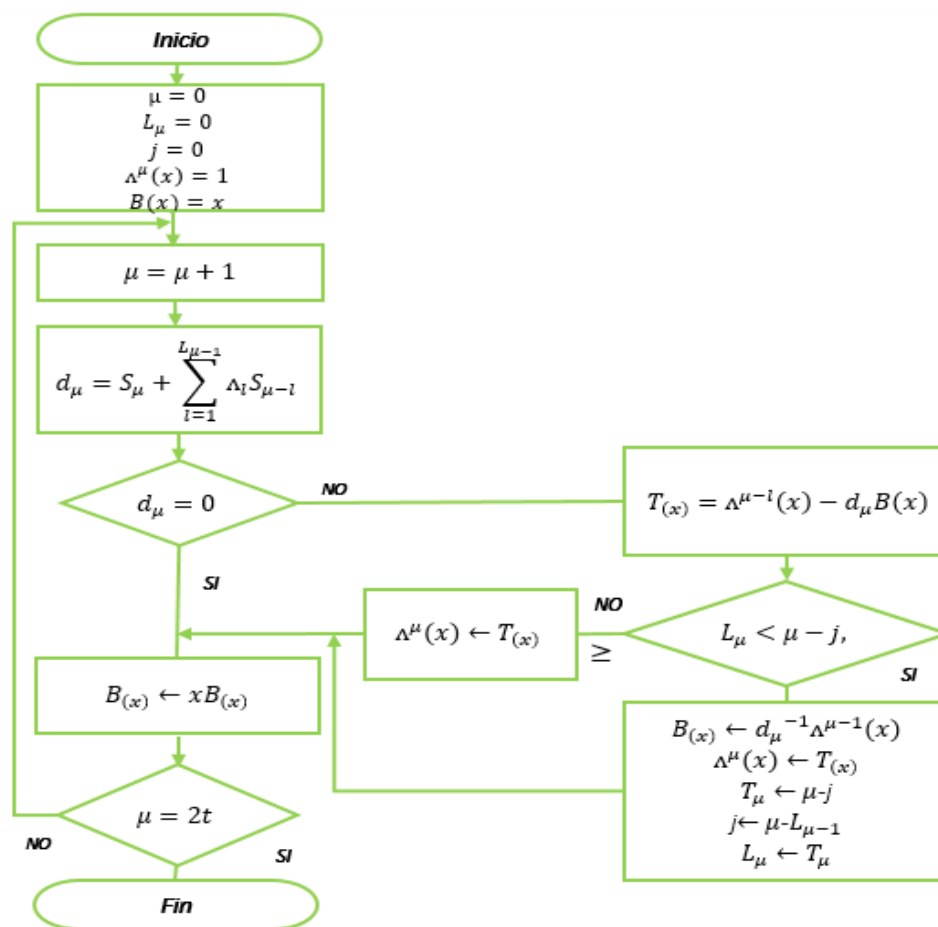


Figura B.1 Diagrama de flujo del algoritmo BM.

B.2. Máquinas de estados utilizadas en el módulo *BCH DECODER*.

La figura B.2 muestra el diagrama de estados utilizado para hacer cálculo del polinomio localizador error.

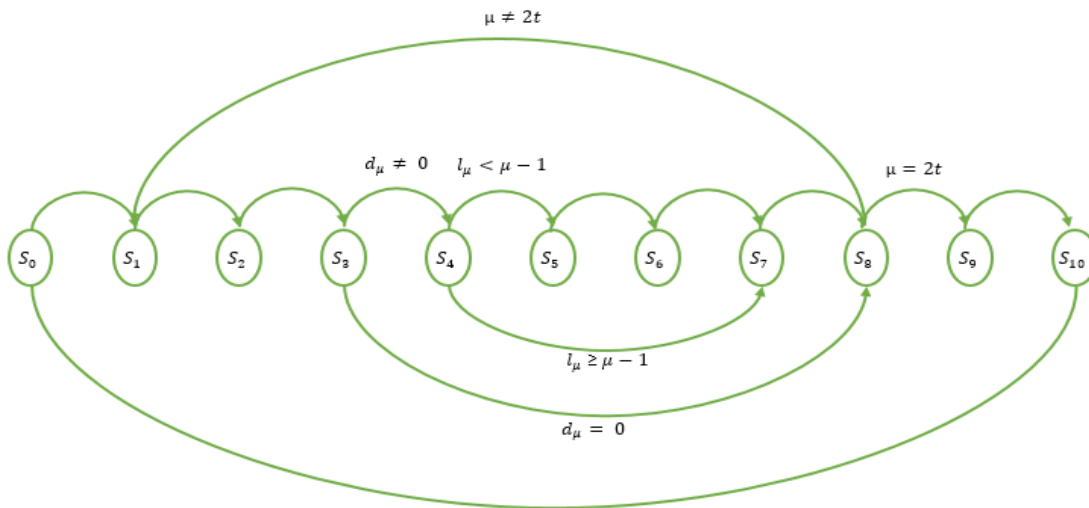


Figura B.2 Diagrama de estados Polinomio Localizador de Error.

Sean,

- L_μ , grado del polinomio localizador de error $\Lambda^\mu(x)$ para el paso por la $\mu - 1$ -ésima iteración.
- d_μ , $\mu - 1$ -ésima discrepancia.
- $T_{(x)}$, nuevo polinomio de conexión para el caso de $d_\mu = 1$.
- $B_{(x)}$, antiguo polinomio de conexión.
- j , ubicación del símbolo más antiguo dentro del diagrama de estados a partir de la posición donde éste falló en su secuencia, teniendo en cuenta que los coeficientes de los polinomios de conexión determinan las derivaciones de los registros de corrimiento.

S0: Estado inicial, donde todas las variables del algoritmo Berlekamp-Massey se inicializan.

S1: Inicia la secuencia de iteraciones, desde $\mu = 1$ hasta $\mu = 2t$.

S2: Este estado realiza el cálculo de la discrepancia d_μ .

S3: Este estado verifica si $d_\mu = 0$, para generar el nuevo polinomio actualizado $B_{(x)}$, en caso contrario si $d_\mu \neq 0$ se obtiene el nuevo polinomio de conexión $T_{(x)}$.

S4: Genera el nuevo polinomio de conexión $T_{(x)}$, y verifica si $L_\mu < \mu - j$, para continuar con el siguiente estado $S5$, en caso contrario si $L_\mu \geq \mu - j$ se actualiza $\Lambda^\mu(x)$.

S5: Este estado normaliza y actualiza a $B_{(x)}$ y modifica las longitudes de j y L_μ .

S6: En estado se actualizan los registros de corrimiento T_μ y la longitud L_μ .

S7: En este estado se actualiza $\Lambda^\mu(x)$ con los valores de $T_{(x)}$.

S8: Genera el nuevo polinomio actualizado $B_{(x)}$ y verifica si $\mu = 2t$.

S9: Habilita la variable ENA ; que se encarga de habilitar el subsistema *Chien Search*.

S10: Mantiene $ENA=1$ y reinicia el sistema.

En la figura B.3 se muestra la lógica del bloque Chien Search.

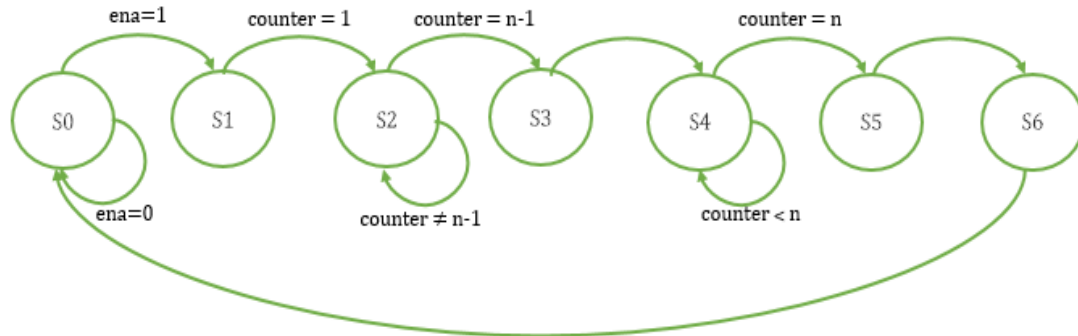


Figura B.3 Diagrama de estados Chien Search.

Sean,

- *ena*, señal habilitadora de cada uno de los estados.
- *counter*, señal que indica si la cuenta llega a $n - 1$.
- *reg*, registro que guarda los valores de las raíces.
- *reg2*, registro que guarda el inverso de los valores de las raíces; este resultado corresponde a los términos que conforman el patrón de error.
- $n - 1$, valor máximo de las potencias de los elementos no cero del campo de Galois en los cuales se evalúa el polinomio localizador de error $\Lambda(x)$.

S0: Estado inicial donde se espera la activación de la señal *en*, para comenzar el proceso y guardar los términos del polinomio $\Lambda(x)$.

S1: Guarda las entradas de los términos de $\Lambda(x)$, en los registros.

S2: Verifica las posiciones de error si existe. Para ello, evalúa cada una de las potencias de α en cada término de $\Lambda(x)$, hasta $n - 1$.

S3: Reinicia el *reg2*.

S4: Calcula los inversos de los valores de las raíces.

S5: Corrige la posición de error menos significativa, debido a que la posición de error cero al ser invertida está en la posición $n - 1$, la cual corresponde a la posición 0 en el campo de Galois.

S6: Activa la señal *ena*.

B.3. Máquina de estados de los módulos adicionales.

La figura B.4 se muestra la lógica que tiene el bloque diseñado para calcular la WER/BER.

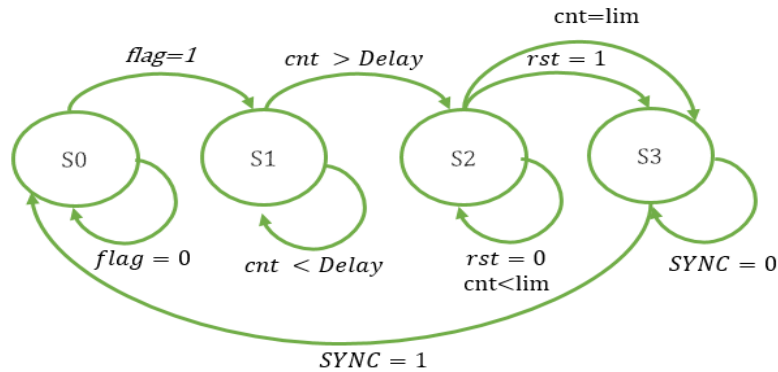


Figura B.4 Diagrama de estados Calculador WER/BER.

Sean,

- **Flag**, bandera que indica si entra bits.
- **Acm**, acumulador de bits errados.
- **Cnt**, contador.
- **Delay**, número de retardos del sistema que corresponde a 9 palabras. En el caso del cálculo de bits errados. Este retardo está dado por $9 \times k$
- **Rst**, conteo de error.
- **SYNC**, indica el total de errores calculados.

S0: Inicializador de variables.

S1: Estado de retardo. Descarta información del cálculo de error, que debido a esta no ha sido afectada por la desviación con el Eb no seleccionado.

S2: Estado de acumulación de errores.

S3: Reinicio de variables y sincronización del sistema.

La figura B.5 se muestra la lógica que tiene el bloque *SERIAL CONTROL*.

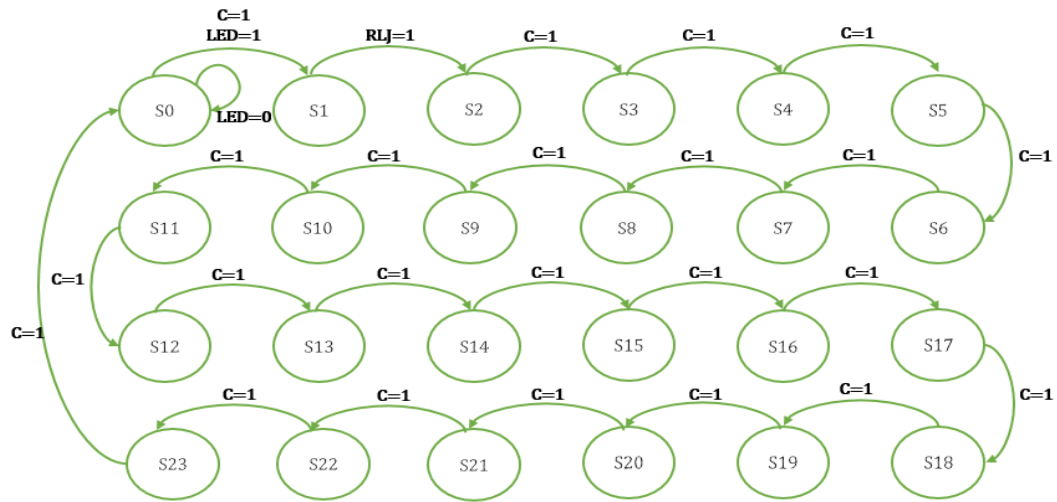


Figura B.5 Diagrama de estados para el bloque SERIAL CONTROL.

Sean,

- **C**, señal de control.
- **led**, señal que indica en qué momento se transmite una información completa.
- **Load**, indicador cuando hay información para transmitir.

S0: Estado inicial, donde se espera a que la señal LED tenga un valor alto.

S1: Se selecciona la entrada del multiplexor 18.

S2: Se selecciona la entrada del multiplexor 18.

S3: Se selecciona la entrada del multiplexor 17.

S4: Se selecciona la entrada del multiplexor 17.

S5: Se selecciona la entrada del multiplexor 17.

S6: Se selecciona la entrada del multiplexor 17.

S7: Se selecciona la entrada del multiplexor 0.

S8: Se selecciona la entrada del multiplexor 1.

S9: Se selecciona la entrada del multiplexor 2.

S10: Se selecciona la entrada del multiplexor 3.

S11: Se selecciona la entrada del multiplexor 4.

S12: Se selecciona la entrada del multiplexor 5.

S13: Se selecciona la entrada del multiplexor 6.

S14: Se selecciona la entrada del multiplexor 7.

S15: Se selecciona la entrada del multiplexor 8.

S16: Se selecciona la entrada del multiplexor 9.

S17: Se selecciona la entrada del multiplexor 10.

S18: Se selecciona la entrada del multiplexor 11.

S19: Se selecciona la entrada del multiplexor 12.



S20 Se selecciona la entrada del multiplexor 13.

S21: Se selecciona la entrada del multiplexor 14.

S22 Se selecciona la entrada del multiplexor 15.

S23: Se selecciona la entrada del multiplexor 16.

IMPLEMENTACIÓN FÍSICA DEL SISTEMA CON EL PAQUETE DE XILINX



APÉNDICE C

Aura Cristina Tobar Collazos
Diana Patricia Sánchez Mulcué

Director: Harold Armando Romo Romero.

Universidad del Cauca

Facultad de Ingeniería Electrónica y Telecomunicaciones
Departamento de Telecomunicaciones
GRIAL – Grupo de Radio e InALámbricas
GNTT – Grupo I+D Nuevas Tecnologías en Telecomunicaciones
Señales y Sistemas de Acceso y Difusión Basados en Radio
Gestión Integrada de Redes, Servicios y Arquitecturas de
Telecomunicaciones
Popayán, 2015

APÉNDICE C. IMPLEMENTACIÓN FÍSICA DEL SISTEMA CON EL PAQUETE DE XILINX

C.1. Implementación física del sistema con el paquete de Xilinx.

a. Generación del archivo de programación bitstream (.bit)

A través del símbolo *System Generator*, se configuran los parámetros principales de implementación según el FPGA utilizado (Spartan 3A). La figura C.1 muestra la ventana de configuración para generar el archivo *.xise*, necesario para generar el archivo *.bit*. La generación se lleva a cabo cuando se pulse el botón *Generate*.

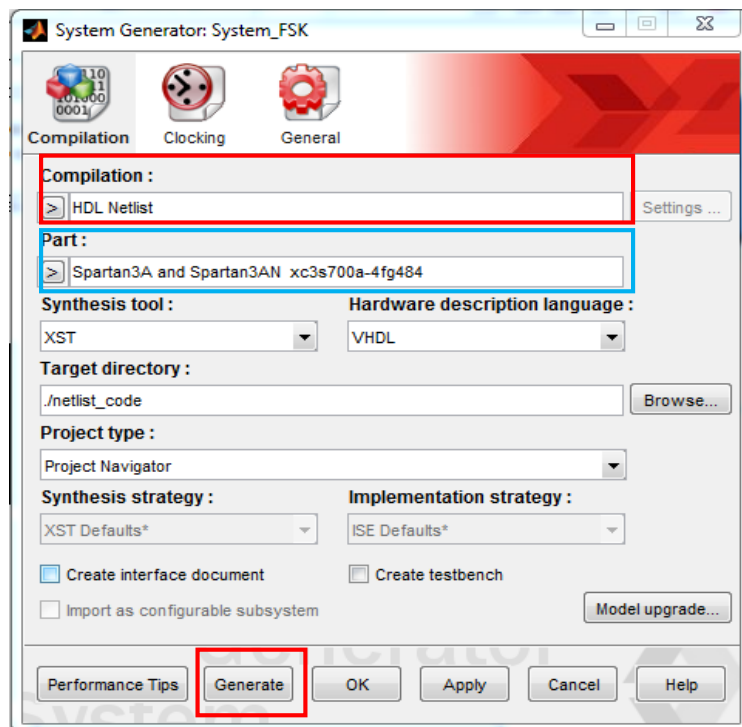


Figura C.1 Configuración de System Generator.

Un indicador de que la generación se realizó satisfactoriamente, es el lanzamiento del mensaje *Generation Completed* de la figura C.2.



Figura C.2 Generación Completada.

Una vez generado este archivo satisfactoriamente, se procede a cargar el archivo .xise en la herramienta *Project Navigator*, que se encarga de la sintetización, implementación del diseño y generación del archivo .bit, cuando se compila el sistema y además permite observar los recursos utilizados por el sistema diseñado en la FPGA y los errores de diseño que puedan presentarse a lo largo de la compilación del sistema. La figura C.3 muestra el resultado para un sistema con un esquema de codificación BCH(15,5), generado de forma exitosa.

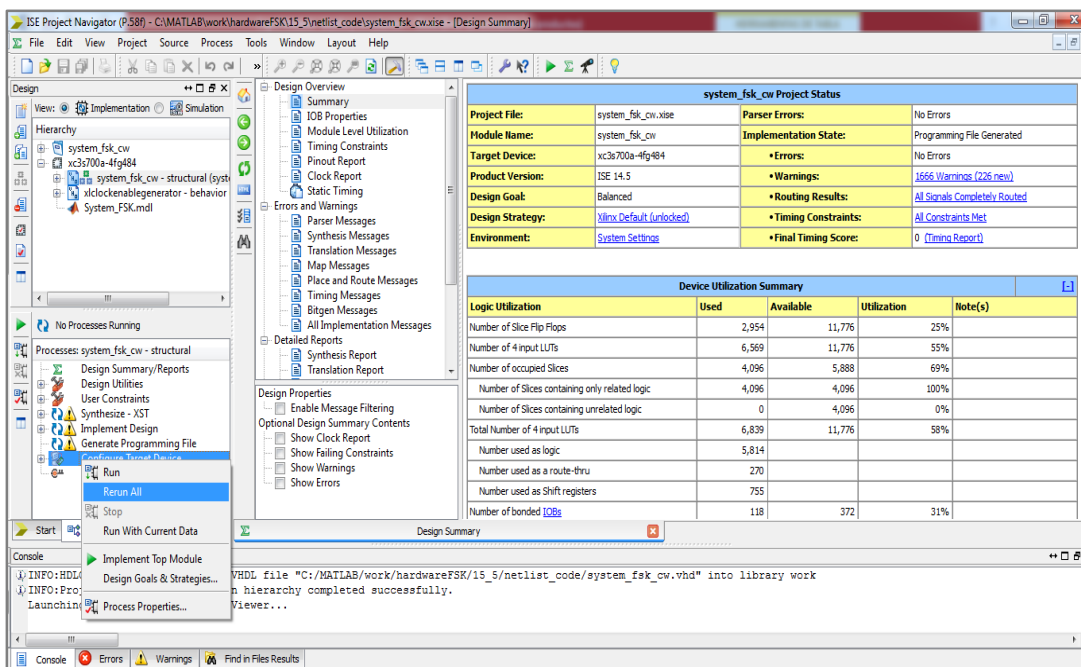


Figura C.3 Interfaz Project Navigator.

Finalmente se procede a cargar el archivo .bit sobre el FPGA por medio de la herramienta *IMPACT*, como primer paso se hace un reconocimiento del dispositivo seleccionando *Initialize Chain* como se ve en la figura C.4.

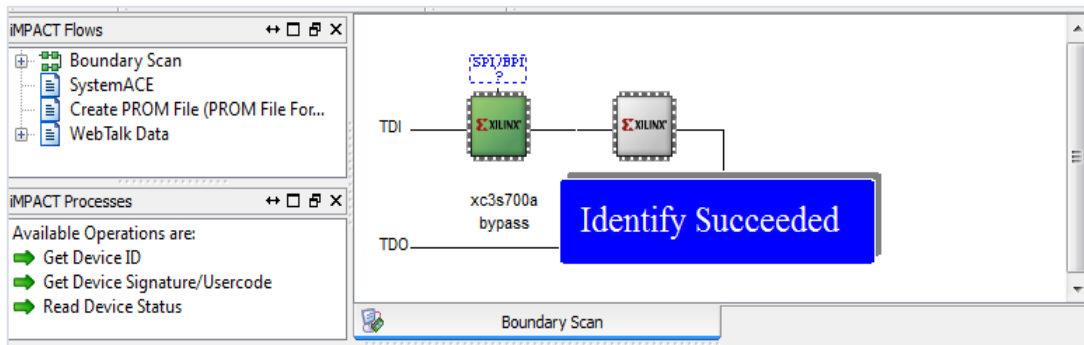


Figura C.4 Reconocimiento FPGA.

Una vez la detección se haga correctamente, se procede a grabar el código, como se observa en las figuras C.5 y C.6.

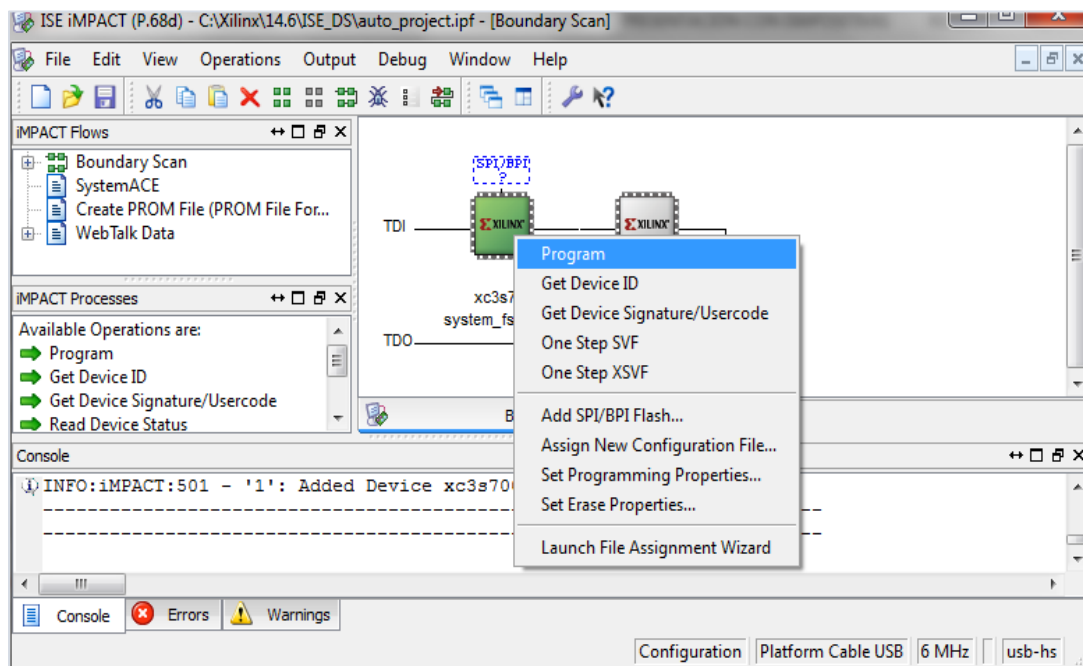


Figura C.5 Programación del FPGA con bitstream.

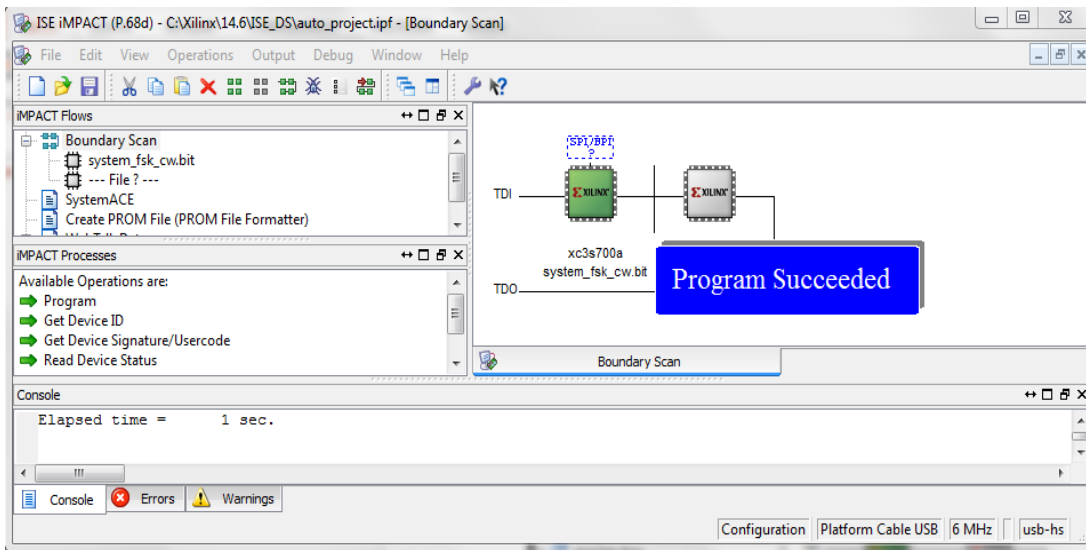


Figura C.6 Programación exitosa del FPGA.

Y se hace el envío de datos por medio del puerto serial de la FPGA a la aplicación de escritorio *Serial Communication*, que se encarga de capturar los datos del sistema implementado.

VALORES PROMEDIOS OBTENIDOS DE SIMULINK, SYSTEM GENERATOR Y FPGA A NIVEL DE BER Y WER PARA LOS CÓDIGOS BCH BINARIOS



APÉNDICE D

Aura Cristina Tobar Collazos
Diana Patricia Sánchez Mulcué

Director: Harold Armando Romo Romero.

Universidad del Cauca

Facultad de Ingeniería Electrónica y Telecomunicaciones
Departamento de Telecomunicaciones
GRIAL – Grupo de Radio e InALámbricas
GNTT – Grupo I+D Nuevas Tecnologías en Telecomunicaciones
Señales y Sistemas de Acceso y Difusión Basados en Radio
Gestión Integrada de Redes, Servicios y Arquitecturas de
Telecomunicaciones
Popayán, 2015



APÉNDICE D. VALORES PROMEDIOS OBTENIDOS DE SIMULINK, SYSTEM GENERATOR Y FPGA A NIVEL DE BER Y WER PARA LOS CÓDIGOS BCH BINARIOS

D.1. Valores obtenidos del FPGA y Simulink a nivel de BER y WER para BCH(7, 4) para la validación del sistema diseñado.

En la tabla D.1 se presentan los valores de BER y WER para el esquema de modulación MSK.

Tabla D.1 Valores de BER y WER del código $BCH(7,4)$ para MSK.

Eb/No (dB)	FPGA		SIMULINK	
	BER	WER	BER	WER
0	1,76E-01	3,80E-01	1,78E-01	3,83E-01
1	1,33E-01	2,88E-01	1,34E-01	2,91E-01
2	9,19E-02	2,00E-01	9,34E-02	2,03E-01
3	5,83E-02	1,27E-01	5,92E-02	1,29E-01
4	3,24E-02	7,07E-02	3,30E-02	7,21E-02
5	1,57E-02	3,42E-02	1,62E-02	3,54E-02
6	6,15E-03	1,34E-02	6,56E-03	1,43E-02
7	1,95E-03	4,24E-03	2,15E-03	4,67E-03
8	5,22E-04	1,13E-03	5,38E-04	1,17E-03
9	8,79E-05	1,91E-04	9,12E-05	1,98E-04
10	1,24E-05	2,77E-05	9,42E-06	2,15E-05
11	1,19E-06	1,91E-06	0,00E+00	0,00E+00

En la tabla D.2 se presentan los valores de BER y WER para el esquema de modulación FSK $h = 0.5$.



Tabla D. 2 Valores de BER y WER del código $BCH(7,4)$ para FSK con $h = 0.5$.

Eb/No (dB)	IMPLEMENTADA		SIMULINK	
	BER	WER	BER	WER
0	1,76E-01	3,80E-01	1,78E-01	3,83E-01
1	1,33E-01	2,88E-01	1,34E-01	2,91E-01
2	9,19E-02	2,00E-01	9,37E-02	2,04E-01
3	5,83E-02	1,27E-01	5,94E-02	1,29E-01
4	3,24E-02	7,07E-02	3,33E-02	7,25E-02
5	1,57E-02	3,42E-02	1,62E-02	3,53E-02
6	6,15E-03	1,34E-02	6,51E-03	1,42E-02
7	1,95E-03	4,24E-03	2,12E-03	4,60E-03
8	5,22E-04	1,13E-03	5,23E-04	1,15E-03
9	8,79E-05	1,91E-04	9,25E-05	2,02E-04
10	1,24E-05	2,77E-05	1,17E-05	2,43E-05
11	1,19E-06	1,91E-06	9,54E-07	1,91E-06
12	0,00E+00	0,00E+00	0,00E+00	0,00E+00

En la figura D.3 se presentan los valores de BER y WER para el esquema de modulación FSK $h = 0.25$.

Tabla D.3 Valores de BER y WER del código $BCH(7,4)$ FSK con $h = 0.25$.

Eb/No (dB)	IMPLEMENTADA		SIMULINK	
	BER	WER	BER	WER
0	2,83E-01	5,83E-01	2,12E-01	4,52E-01
1	2,43E-01	5,08E-01	1,75E-01	3,78E-01
2	1,99E-01	4,22E-01	1,40E-01	3,03E-01
3	1,55E-01	3,33E-01	1,06E-01	2,33E-01
4	1,13E-01	2,46E-01	7,67E-02	1,68E-01
5	7,63E-02	1,68E-01	5,14E-02	1,13E-01
6	4,65E-02	1,03E-01	3,16E-02	6,91E-02
7	2,53E-02	5,67E-02	1,73E-02	3,80E-02
8	1,24E-02	2,77E-02	8,31E-03	1,82E-02
9	4,77E-03	1,08E-02	3,30E-03	7,22E-03
10	1,50E-03	3,42E-03	1,05E-03	2,30E-03
11	3,89E-04	8,75E-04	2,66E-04	5,80E-04
12	6,20E-05	1,44E-04	4,30E-05	9,35E-05



D.2. Valores promedios de BER y WER obtenidos de Simulink, System Generator y FPGA a nivel de BER y WER para los códigos BCH binarios.

En las tablas D.4 y D.5 se observan los valores de BER y WER obtenidos de Simulink para el esquema de modulación MSK.

Tabla D.4 Valores obtenidos de Simulink a nivel de la BER del código BCH binario para la modulación MSK.

BER para el esquema de Modulación MSK							
Eb/No	BCH(7,4)	BCH(15,11)	BCH(15,7)	BCH(15,5)	BCH(31,26)	BCH(31,21)	BCH(31,16)
	t=1	t=1	t=2	t=3	t=1	t=2	t=3
0	1,78E-01	1,76E-01	1,07E-01	9,78E-02	1,65E-01	1,46E-01	1,34E-01
1	1,34E-01	1,34E-01	6,43E-02	5,73E-02	1,27E-01	9,84E-02	8,79E-02
2	9,37E-02	9,50E-02	3,28E-02	2,86E-02	9,05E-02	5,63E-02	4,91E-02
3	5,93E-02	6,10E-02	1,36E-02	1,16E-02	5,89E-02	2,59E-02	2,21E-02
4	3,33E-02	3,46E-02	4,42E-03	3,69E-03	3,40E-02	9,07E-03	7,59E-03
5	1,61E-02	1,69E-02	1,06E-03	8,88E-04	1,68E-02	2,29E-03	1,90E-03
6	6,52E-03	6,87E-03	1,73E-04	1,48E-04	6,88E-03	3,84E-04	3,23E-04
7	2,12E-03	2,23E-03	1,85E-05	1,60E-05	2,25E-03	4,24E-05	3,39E-05
8	5,25E-04	5,46E-04	1,36E-06	1,40E-06	5,55E-04	2,40E-06	2,12E-06
9	9,21E-05	9,70E-05	7,75E-08	0,00E+00	9,86E-05	9,54E-08	0,00E+00
10	1,08E-05	1,17E-05	0,00E+00	0,00E+00	1,17E-05	0,00E+00	0,00E+00

Tabla D. 5 Valores obtenidos de Simulink a nivel de la WER del código BCH binario para la modulación MSK

WER para el esquema de Modulación MSK							
Eb/No	BCH(7,4)	BCH(15,11)	BCH(15,7)	BCH(15,5)	BCH(31,26)	BCH(31,21)	BCH(31,16)
	t=1	t=1	t=2	t=3	t=1	t=2	t=3
0	3,84E-01	6,80E-01	2,98E-01	2,24E-01	9,14E-01	6,96E-01	6,10E-01
1	2,91E-01	5,54E-01	1,83E-01	1,32E-01	8,24E-01	5,12E-01	4,31E-01
2	2,04E-01	4,13E-01	9,47E-02	6,67E-02	6,82E-01	3,14E-01	2,54E-01
3	1,29E-01	2,76E-01	3,97E-02	2,72E-02	5,00E-01	1,52E-01	1,19E-01
4	7,26E-02	1,61E-01	1,30E-02	8,75E-03	3,14E-01	5,48E-02	4,19E-02
5	3,52E-02	8,03E-02	3,11E-03	2,09E-03	1,64E-01	1,41E-02	1,06E-02
6	1,42E-02	3,29E-02	5,08E-04	3,51E-04	6,93E-02	2,40E-03	1,81E-03
7	4,63E-03	1,07E-02	5,48E-05	3,85E-05	2,29E-02	2,65E-04	1,89E-04
8	1,14E-03	2,63E-03	3,92E-06	3,25E-06	5,68E-03	1,53E-05	1,15E-05
9	2,01E-04	4,68E-04	2,09E-07	0,00E+00	1,01E-03	5,01E-07	0,00E+00
10	2,34E-05	5,66E-05	0,00E+00	0,00E+00	1,19E-04	0,00E+00	0,00E+00



En las tablas D.6 y D.7 se observan los valores de BER y WER obtenidos de Simulink para el esquema de modulación FSK con $h = 0.5$.

Tabla D.6 Valores obtenidos de Simulink a nivel de la BER del código BCH binario para la modulación FSK con $h = 0.5$.

BER para el esquema de Modulación FSK con $h = 0.5$							
Eb/No	BCH(7,4)	BCH(15,11)	BCH(15,7)	BCH(15,5)	BCH(31,26)	BCH(31,21)	BCH(31,16)
	t=1	t=1	t=2	t=3	t=1	t=2	t=3
0	1,78E-01	1,76E-01	1,07E-01	9,78E-02	1,65E-01	1,46E-01	1,34E-01
1	1,34E-01	1,34E-01	6,42E-02	5,73E-02	1,27E-01	9,85E-02	8,79E-02
2	9,37E-02	9,51E-02	3,28E-02	2,86E-02	9,05E-02	5,63E-02	4,91E-02
3	5,93E-02	6,10E-02	1,36E-02	1,16E-02	5,89E-02	2,59E-02	2,21E-02
4	3,33E-02	3,46E-02	4,40E-03	3,71E-03	3,39E-02	9,10E-03	7,60E-03
5	1,61E-02	1,69E-02	1,05E-03	8,79E-04	1,68E-02	2,28E-03	1,90E-03
6	6,51E-03	6,88E-03	1,76E-04	1,42E-04	6,87E-03	3,91E-04	3,07E-04
7	2,11E-03	2,24E-03	1,77E-05	1,51E-05	2,25E-03	4,45E-05	3,31E-05
8	5,22E-04	5,53E-04	9,78E-07	9,54E-07	5,58E-04	2,73E-06	2,25E-06
9	9,20E-05	9,81E-05	1,19E-08	4,17E-08	9,76E-05	1,19E-07	0,00E+00
10	1,10E-05	1,08E-05	0,00E+00	0,00E+00	1,15E-05	0,00E+00	0,00E+00
11	5,84E-07	7,63E-07	0,00E+00	0,00E+00	5,72E-07	0,00E+00	0,00E+00
12	1,19E-08	2,38E-08	0,00E+00	0,00E+00	5,36E-08	0,00E+00	0,00E+00

Tabla D.7 Valores obtenidos de Simulink a nivel de la WER del código BCH binario para la modulación FSK con $h = 0.5$.

WER para el esquema de Modulación FSK con $h = 0.5$							
Eb/No	BCH(7,4)	BCH(15,11)	BCH(15,7)	BCH(15,5)	BCH(31,26)	BCH(31,21)	BCH(31,16)
	t=1	t=1	t=2	t=3	t=1	t=2	t=3
0	3,84E-01	6,80E-01	2,98E-01	2,23E-01	9,14E-01	6,96E-01	6,10E-01
1	2,91E-01	5,54E-01	1,83E-01	1,33E-01	8,24E-01	5,12E-01	4,31E-01
2	2,04E-01	4,14E-01	9,47E-02	6,68E-02	6,82E-01	3,14E-01	2,54E-01
3	1,29E-01	2,76E-01	3,97E-02	2,74E-02	5,00E-01	1,52E-01	1,19E-01
4	7,26E-02	1,61E-01	1,29E-02	8,77E-03	3,14E-01	5,49E-02	4,19E-02
5	3,52E-02	8,01E-02	3,10E-03	2,09E-03	1,64E-01	1,40E-02	1,06E-02
6	1,42E-02	3,29E-02	5,19E-04	3,37E-04	6,91E-02	2,43E-03	1,73E-03
7	4,61E-03	1,08E-02	5,24E-05	3,60E-05	2,29E-02	2,76E-04	1,85E-04
8	1,14E-03	2,66E-03	2,67E-06	2,32E-06	5,70E-03	1,65E-05	1,24E-05
9	2,01E-04	4,71E-04	4,17E-08	1,19E-07	9,99E-04	6,26E-07	0,00E+00
10	2,42E-05	5,28E-05	0,00E+00	0,00E+00	1,17E-04	0,00E+00	0,00E+00
11	1,36E-06	3,80E-06	0,00E+00	0,00E+00	5,89E-06	0,00E+00	0,00E+00
12	4,77E-08	1,31E-07	0,00E+00	0,00E+00	4,65E-07	0,00E+00	0,00E+00



En las tablas D.8 y D.9 se observan los valores de BER y WER obtenidos de Simulink para el esquema de modulación *FSK* con $h = 0.25$.

Tabla D.8 Valores obtenidos de Simulink a nivel de la BER del código BCH binario para la modulación FSK con $h = 0.25$.

BER para el esquema de Modulación FSK con $h = 0.25$							
Eb/No	BCH(7,4)	BCH(15,11)	BCH(15,7)	BCH(15,5)	BCH(31,26)	BCH(31,21)	BCH(31,16)
	t=1	t=1	t=2	t=3	t=1	t=2	t=3
0	2,12E-01	2,16E-01	1,59E-01	1,48E-01	2,05E-01	1,94E-01	1,82E-01
1	1,75E-01	1,79E-01	1,14E-01	1,05E-01	1,70E-01	1,52E-01	1,40E-01
2	1,40E-01	1,44E-01	7,57E-02	6,79E-02	1,36E-01	1,10E-01	9,94E-02
3	1,06E-01	1,10E-01	4,52E-02	3,98E-02	1,05E-01	7,28E-02	6,41E-02
4	7,66E-02	7,98E-02	2,38E-02	2,07E-02	7,69E-02	4,22E-02	3,64E-02
5	5,14E-02	5,38E-02	1,08E-02	9,23E-03	5,25E-02	2,08E-02	1,77E-02
6	3,16E-02	3,32E-02	4,09E-03	3,45E-03	3,26E-02	8,40E-03	7,05E-03
7	1,73E-02	1,82E-02	1,23E-03	1,03E-03	1,81E-02	2,65E-03	2,19E-03
8	8,25E-03	8,73E-03	2,82E-04	2,34E-04	8,74E-03	6,24E-04	5,16E-04
9	3,32E-03	3,53E-03	4,73E-05	3,81E-05	3,52E-03	9,95E-05	8,25E-05
10	1,08E-03	1,14E-03	4,82E-06	4,26E-06	1,15E-03	1,15E-05	9,21E-06
11	2,69E-04	2,80E-04	2,80E-07	2,44E-07	2,86E-04	8,34E-07	5,48E-07
12	4,73E-05	5,08E-05	1,19E-08	1,19E-08	5,14E-05	0,00E+00	0,00E+00

Tabla D.9 Valores obtenidos de Simulink a nivel de la WER del código BCH binario para la modulación FSK con $h = 0.25$.

WER para el esquema de Modulación FSK con $h = 0.25$							
Eb/No	BCH(7,4)	BCH(15,11)	BCH(15,7)	BCH(15,5)	BCH(31,26)	BCH(31,21)	BCH(31,16)
	t=1	t=1	t=2	t=3	t=1	t=2	t=3
0	4,52E-01	7,70E-01	4,38E-01	3,32E-01	9,59E-01	8,33E-01	7,55E-01
1	3,78E-01	6,83E-01	3,22E-01	2,37E-01	9,18E-01	7,17E-01	6,28E-01
2	3,03E-01	5,82E-01	2,17E-01	1,56E-01	8,48E-01	5,66E-01	4,79E-01
3	2,33E-01	4,69E-01	1,31E-01	9,21E-02	7,45E-01	3,98E-01	3,26E-01
4	1,68E-01	3,54E-01	6,97E-02	4,82E-02	6,10E-01	2,43E-01	1,93E-01
5	1,13E-01	2,46E-01	3,18E-02	2,17E-02	4,56E-01	1,24E-01	9,60E-02
6	6,92E-02	1,55E-01	1,21E-02	8,15E-03	3,03E-01	5,12E-02	3,90E-02
7	3,79E-02	8,63E-02	3,63E-03	2,44E-03	1,76E-01	1,64E-02	1,23E-02
8	1,80E-02	4,17E-02	8,31E-04	5,54E-04	8,75E-02	3,89E-03	2,90E-03
9	7,25E-03	1,69E-02	1,39E-04	9,02E-05	3,58E-02	6,21E-04	4,64E-04
10	2,35E-03	5,46E-03	1,38E-05	1,01E-05	1,18E-02	7,16E-05	5,17E-05
11	5,86E-04	1,35E-03	1,00E-06	6,85E-07	2,93E-03	5,38E-06	3,43E-06
12	1,02E-04	2,43E-04	4,17E-08	2,98E-08	5,25E-04	0,00E+00	0,00E+00



En las tablas D.10 y D.11 se observan los valores de BER y WER obtenidos de System Generator para el esquema de modulación MSK.

Tabla D.10 Valores obtenidos de System Generator a nivel de la BER del código BCH binario para la modulación MSK.

BER para el esquema de Modulación MSK							
Eb/No	t=1	t=1	t=2	t=3	t=1	t=2	t=3
	BCH(7,4)	BCH(15,11)	BCH(15,7)	BCH(15,5)	BCH(31,26)	BCH(31,21)	BCH(31,16)
0	1,76E-01	1,74E-01	1,51E-01	1,47E-01	1,63E-01	1,61E-01	1,61E-01
1	1,32E-01	1,33E-01	1,01E-01	9,77E-02	1,25E-01	1,20E-01	1,19E-01
2	9,20E-02	9,35E-02	5,67E-02	5,42E-02	8,89E-02	7,78E-02	7,67E-02
3	5,84E-02	6,00E-02	2,60E-02	2,48E-02	5,80E-02	4,15E-02	4,10E-02
4	3,24E-02	3,37E-02	8,93E-03	8,33E-03	3,32E-02	1,62E-02	1,59E-02
5	1,57E-02	1,65E-02	2,24E-03	2,06E-03	1,62E-02	4,39E-03	4,37E-03
6	6,18E-03	6,50E-03	3,62E-04	3,33E-04	6,57E-03	7,73E-04	7,53E-04
7	1,92E-03	2,04E-03	3,06E-05	3,45E-05	2,01E-03	8,50E-05	7,34E-05
8	4,91E-04	5,23E-04	1,19E-06	1,55E-06	5,30E-04	5,36E-06	4,77E-06
9	8,70E-05	8,83E-05	2,38E-07	0,00E+00	9,01E-05	1,19E-07	0,00E+00
10	8,94E-06	1,45E-05	0,00E+00	0,00E+00	1,22E-05	0,00E+00	0,00E+00

Tabla D.11 Valores obtenidos de System Generator a nivel de la WER del código BCH binario para la modulación MSK.

WER para el esquema de Modulación MSK							
Eb/No	t=1	t=1	t=2	t=3	t=1	t=2	t=3
	BCH(7,4)	BCH(15,11)	BCH(15,7)	BCH(15,5)	BCH(31,26)	BCH(31,21)	BCH(31,16)
0	3,80E-01	6,75E-01	4,75E-01	3,99E-01	9,11E-01	8,54E-01	8,02E-01
1	2,87E-01	5,48E-01	3,27E-01	2,71E-01	8,20E-01	7,21E-01	6,65E-01
2	2,00E-01	4,07E-01	1,88E-01	1,53E-01	6,74E-01	5,20E-01	4,70E-01
3	1,27E-01	2,72E-01	8,73E-02	7,08E-02	4,94E-01	2,98E-01	2,67E-01
4	7,06E-02	1,57E-01	3,02E-02	2,39E-02	3,09E-01	1,22E-01	1,08E-01
5	3,43E-02	7,84E-02	7,61E-03	5,89E-03	1,59E-01	3,36E-02	3,04E-02
6	1,35E-02	3,12E-02	1,23E-03	9,61E-04	6,64E-02	6,05E-03	5,25E-03
7	4,20E-03	9,83E-03	1,08E-04	9,83E-05	2,05E-02	6,43E-04	5,19E-04
8	1,08E-03	2,52E-03	4,17E-06	4,77E-06	5,42E-03	4,26E-05	3,43E-05
9	1,91E-04	4,20E-04	8,34E-07	0,00E+00	9,33E-04	2,50E-06	0,00E+00
10	2,00E-05	6,16E-05	0,00E+00	0,00E+00	1,27E-04	0,00E+00	0,00E+00

En las tablas D.12 y D.13 se observan los valores de BER y WER obtenidos de System Generator para el esquema de modulación FSK con $h = 0.5$.



Tabla D.12 Valores obtenidos de System Generator a nivel de la BER del código BCH binario para la modulación FSK con $h = 0.5$.

BER para el esquema de Modulación FSK con $h = 0.5$							
Eb/No	BCH(7,4)	BCH(15,11)	BCH(15,7)	BCH(15,5)	BCH(31,26)	BCH(31,21)	BCH(31,16)
	t=1	t=1	t=2	t=3	t=1	t=2	t=3
0	1,76E-01	1,74E-01	1,51E-01	1,48E-01	1,64E-01	1,62E-01	1,61E-01
1	1,33E-01	1,33E-01	1,01E-01	9,75E-02	1,25E-01	1,20E-01	1,19E-01
2	9,21E-02	9,35E-02	5,70E-02	5,44E-02	8,87E-02	7,82E-02	7,70E-02
3	5,84E-02	5,99E-02	2,62E-02	2,46E-02	5,80E-02	4,14E-02	4,09E-02
4	3,25E-02	3,39E-02	8,85E-03	8,35E-03	3,32E-02	1,62E-02	1,60E-02
5	1,55E-02	1,64E-02	2,19E-03	2,08E-03	1,62E-02	4,44E-03	4,31E-03
6	6,21E-03	6,55E-03	3,56E-04	3,32E-04	6,54E-03	7,95E-04	7,41E-04
7	1,93E-03	2,03E-03	3,16E-05	3,81E-05	2,04E-03	8,27E-05	7,49E-05
8	4,98E-04	5,36E-04	2,62E-06	3,10E-06	5,13E-04	5,60E-06	6,08E-06
9	9,38E-05	8,32E-05	0,00E+00	0,00E+00	9,29E-05	0,00E+00	1,19E-07
10	8,82E-06	1,01E-05	0,00E+00	0,00E+00	8,82E-06	0,00E+00	0,00E+00
11	0,00E+00	7,15E-07	0,00E+00	0,00E+00	1,55E-06	0,00E+00	0,00E+00
12	0,00E+00	0,00E+00	0,00E+00	0,00E+00	0,00E+00	0,00E+00	0,00E+00

Tabla D.13 Valores obtenidos de System Generator a nivel de la WER del código BCH binario para la modulación FSK con $h = 0.5$.

WER para el esquema de Modulación FSK con $h = 0.5$							
Eb/No	BCH(7,4)	BCH(15,11)	BCH(15,7)	BCH(15,5)	BCH(31,26)	BCH(31,21)	BCH(31,16)
	t=1	t=1	t=2	t=3	t=1	t=2	t=3
0	3,80E-01	6,74E-01	4,75E-01	4,00E-01	9,10E-01	8,55E-01	8,03E-01
1	2,88E-01	5,49E-01	3,28E-01	2,70E-01	8,18E-01	7,22E-01	6,65E-01
2	2,00E-01	4,08E-01	1,89E-01	1,54E-01	6,73E-01	5,23E-01	4,70E-01
3	1,27E-01	2,72E-01	8,78E-02	7,00E-02	4,94E-01	2,98E-01	2,67E-01
4	7,07E-02	1,58E-01	2,99E-02	2,40E-02	3,08E-01	1,21E-01	1,09E-01
5	3,38E-02	7,80E-02	7,43E-03	5,98E-03	1,59E-01	3,41E-02	2,99E-02
6	1,36E-02	3,14E-02	1,20E-03	9,40E-04	6,58E-02	6,19E-03	5,18E-03
7	4,21E-03	9,78E-03	1,13E-04	1,06E-04	2,09E-02	6,31E-04	5,40E-04
8	1,09E-03	2,58E-03	8,34E-06	7,75E-06	5,31E-03	3,76E-05	4,39E-05
9	1,99E-04	4,05E-04	0,00E+00	0,00E+00	9,64E-04	0,00E+00	1,91E-06
10	2,00E-05	4,33E-05	0,00E+00	0,00E+00	8,68E-05	0,00E+00	0,00E+00
11	0,00E+00	2,62E-06	0,00E+00	0,00E+00	1,55E-05	0,00E+00	0,00E+00
12	0,00E+00	0,00E+00	0,00E+00	0,00E+00	0,00E+00	0,00E+00	0,00E+00

En las tablas D.14 y D.15 se observan los valores de BER y WER obtenidos de System Generator para el esquema de modulación FSK con $h = 0.25$.



Tabla D. 14 Valores obtenidos de System Generator a nivel de la BER del código BCH binario para la modulación FSK con $h = 0.25$.

BER para el esquema de Modulación FSK con $h = 0.25$							
Eb/No	BCH(7,4)	BCH(15,11)	BCH(15,7)	BCH(15,5)	BCH(31,26)	BCH(31,21)	BCH(31,16)
	t=1	t=1	t=2	t=3	t=1	t=2	t=3
0	2,83E-01	2,91E-01	2,87E-01	2,87E-01	2,80E-01	2,80E-01	2,80E-01
1	2,43E-01	2,54E-01	2,47E-01	2,47E-01	2,43E-01	2,43E-01	2,43E-01
2	1,99E-01	2,13E-01	2,01E-01	2,00E-01	2,03E-01	2,03E-01	2,03E-01
3	1,55E-01	1,70E-01	1,51E-01	1,50E-01	1,64E-01	1,62E-01	1,62E-01
4	1,13E-01	1,29E-01	1,01E-01	9,93E-02	1,25E-01	1,19E-01	1,20E-01
5	7,65E-02	8,93E-02	5,70E-02	5,55E-02	8,84E-02	7,79E-02	7,75E-02
6	4,64E-02	5,63E-02	2,61E-02	2,50E-02	5,69E-02	4,08E-02	4,05E-02
7	2,52E-02	3,13E-02	8,87E-03	8,46E-03	3,26E-02	1,62E-02	1,58E-02
8	1,23E-02	1,54E-02	2,27E-03	2,18E-03	1,63E-02	4,56E-03	4,50E-03
9	4,75E-03	6,07E-03	3,73E-04	3,42E-04	6,43E-03	7,66E-04	7,60E-04
10	1,50E-03	1,97E-03	3,74E-05	3,37E-05	2,11E-03	9,20E-05	8,27E-05
11	3,81E-04	4,90E-04	1,91E-06	1,67E-06	5,23E-04	6,79E-06	3,81E-06
12	5,92E-05	7,64E-05	0,00E+00	0,00E+00	7,62E-05	4,77E-07	1,19E-07

Tabla D.15 Valores obtenidos de System Generator a nivel de la WER del código BCH binario para la modulación FSK con $h = 0.25$.

WER para el esquema de Modulación FSK con $h = 0.25$							
Eb/No	BCH(7,4)	BCH(15,11)	BCH(15,7)	BCH(15,5)	BCH(31,26)	BCH(31,21)	BCH(31,16)
	t=1	t=1	t=2	t=3	t=1	t=2	t=3
0	5,84E-01	8,95E-01	8,11E-01	7,31E-01	9,93E-01	9,87E-01	9,70E-01
1	5,08E-01	8,41E-01	7,35E-01	6,55E-01	9,83E-01	9,71E-01	9,45E-01
2	4,21E-01	7,61E-01	6,29E-01	5,51E-01	9,58E-01	9,34E-01	8,98E-01
3	3,33E-01	6,56E-01	4,94E-01	4,26E-01	9,06E-01	8,63E-01	8,15E-01
4	2,46E-01	5,27E-01	3,41E-01	2,90E-01	8,11E-01	7,30E-01	6,79E-01
5	1,68E-01	3,89E-01	1,98E-01	1,66E-01	6,64E-01	5,30E-01	4,84E-01
6	1,04E-01	2,56E-01	9,19E-02	7,57E-02	4,80E-01	3,00E-01	2,70E-01
7	5,68E-02	1,47E-01	3,16E-02	2,60E-02	2,98E-01	1,25E-01	1,10E-01
8	2,77E-02	7,37E-02	8,18E-03	6,75E-03	1,57E-01	3,59E-02	3,19E-02
9	1,08E-02	2,97E-02	1,35E-03	1,07E-03	6,41E-02	6,13E-03	5,42E-03
10	3,55E-03	9,23E-03	1,36E-04	1,03E-04	2,12E-02	7,46E-04	6,03E-04
11	8,65E-04	2,35E-03	6,68E-06	4,77E-06	5,28E-03	6,01E-05	2,86E-05
12	1,24E-04	3,49E-04	0,00E+00	0,00E+00	7,69E-04	5,01E-06	1,91E-06

En las tablas D.16 y D.17 se observan los valores de BER y WER obtenidos al implementar el sistema en el FPGA para el esquema de modulación MSK.



Tabla D. 16 Valores obtenidos del FPGA a nivel de la BER del código BCH binario para la modulación MSK.

BER para el esquema de Modulación MSK							
Eb/No	t=1	t=1	t=2	t=3	t=1	t=2	t=3
	BCH(7,4)	BCH(15,11)	BCH(15,7)	BCH(15,5)	BCH(31,26)	BCH(31,21)	BCH(31,16)
0	1,76E-01	1,74E-01	1,51E-01	1,48E-01	1,64E-01	1,61E-01	1,61E-01
1	1,33E-01	1,33E-01	1,01E-01	9,76E-02	1,25E-01	1,20E-01	1,19E-01
2	9,20E-02	9,35E-02	5,68E-02	5,43E-02	8,90E-02	7,78E-02	7,70E-02
3	5,84E-02	6,01E-02	2,60E-02	2,46E-02	5,80E-02	4,15E-02	4,09E-02
4	3,24E-02	3,38E-02	8,89E-03	8,34E-03	3,31E-02	1,63E-02	1,59E-02
5	1,57E-02	1,64E-02	2,21E-03	2,07E-03	1,63E-02	4,46E-03	4,32E-03
6	6,17E-03	6,50E-03	3,62E-04	3,38E-04	6,53E-03	7,68E-04	7,49E-04
7	1,94E-03	2,06E-03	3,67E-05	3,36E-05	2,06E-03	7,98E-05	7,53E-05
8	4,96E-04	5,25E-04	2,25E-06	2,40E-06	5,32E-04	5,17E-06	4,63E-06
9	8,44E-05	8,73E-05	5,36E-08	6,56E-08	9,00E-05	3,58E-08	2,09E-07
10	9,67E-06	1,02E-05	0,00E+00	0,00E+00	1,08E-05	5,96E-09	0,00E+00

Tabla D.17 Valores obtenidos del FPGA a nivel de la WER del código BCH binario para la modulación MSK.

WER para el esquema de Modulación MSK							
Eb/No	t=1	t=1	t=2	t=3	t=1	t=2	t=3
	BCH(7,4)	BCH(15,11)	BCH(15,7)	BCH(15,5)	BCH(31,26)	BCH(31,21)	BCH(31,16)
0	3,80E-01	6,75E-01	4,75E-01	3,99E-01	9,11E-01	8,55E-01	8,02E-01
1	2,88E-01	5,49E-01	3,27E-01	2,70E-01	8,19E-01	7,22E-01	6,65E-01
2	2,00E-01	4,07E-01	1,88E-01	1,53E-01	6,74E-01	5,21E-01	4,71E-01
3	1,27E-01	2,72E-01	8,73E-02	7,02E-02	4,94E-01	2,98E-01	2,66E-01
4	7,07E-02	1,57E-01	3,01E-02	2,40E-02	3,07E-01	1,22E-01	1,08E-01
5	3,42E-02	7,79E-02	7,51E-03	5,96E-03	1,59E-01	3,42E-02	3,01E-02
6	1,35E-02	3,11E-02	1,23E-03	9,72E-04	6,58E-02	5,95E-03	5,25E-03
7	4,24E-03	9,85E-03	1,23E-04	9,73E-05	2,11E-02	6,24E-04	5,33E-04
8	1,08E-03	2,52E-03	7,93E-06	6,38E-06	5,45E-03	4,14E-05	3,20E-05
9	1,85E-04	4,19E-04	1,67E-07	1,79E-07	9,24E-04	5,01E-07	1,53E-06
10	2,12E-05	4,88E-05	0,00E+00	0,00E+00	1,09E-04	1,25E-07	0,00E+00

En las tablas D.18 y D.19 se observan los valores de BER y WER obtenidos del FPGA para el esquema de modulación FSK con $h = 0.5$.



Tabla D.18 Valores obtenidos del FPGA a nivel de la BER del código BCH binario para la modulación FSK con $h = 0.5$.

BER para el esquema de Modulación FSK con $h = 0.5$							
Eb/No	BCH(7,4)	BCH(15,11)	BCH(15,7)	BCH(15,5)	BCH(31,26)	BCH(31,21)	BCH(31,16)
	t=1	t=1	t=2	t=3	t=1	t=2	t=3
0	1,76E-01	1,74E-01	1,51E-01	1,48E-01	1,64E-01	1,61E-01	1,61E-01
1	1,33E-01	1,33E-01	1,01E-01	9,76E-02	1,25E-01	1,20E-01	1,19E-01
2	9,20E-02	9,35E-02	5,69E-02	5,43E-02	8,89E-02	7,78E-02	7,71E-02
3	5,84E-02	6,00E-02	2,60E-02	2,46E-02	5,80E-02	4,16E-02	4,09E-02
4	3,25E-02	3,38E-02	8,89E-03	8,35E-03	3,31E-02	1,62E-02	1,59E-02
5	1,56E-02	1,64E-02	2,22E-03	2,06E-03	1,63E-02	4,45E-03	4,33E-03
6	6,19E-03	6,52E-03	3,60E-04	3,34E-04	6,54E-03	7,67E-04	7,40E-04
7	1,94E-03	2,05E-03	3,58E-05	3,40E-05	2,05E-03	7,94E-05	7,90E-05
8	4,94E-04	5,22E-04	2,68E-06	2,29E-06	5,26E-04	4,87E-06	5,15E-06
9	8,54E-05	8,93E-05	1,19E-07	2,38E-08	8,89E-05	1,55E-07	1,97E-07
10	9,61E-06	9,94E-06	0,00E+00	0,00E+00	1,09E-05	0,00E+00	0,00E+00
11	5,13E-07	7,33E-07	0,00E+00	0,00E+00	7,09E-07	0,00E+00	0,00E+00
12	2,38E-08	1,79E-08	0,00E+00	0,00E+00	1,79E-08	0,00E+00	0,00E+00

Tabla D.19 Valores obtenidos del FPGA a nivel de la WER del código BCH binario para la modulación FSK con $h = 0.5$.

WER para el esquema de Modulación FSK con $h = 0.5$							
Eb/No	BCH(7,4)	BCH(15,11)	BCH(15,7)	BCH(15,5)	BCH(31,26)	BCH(31,21)	BCH(31,16)
	t=1	t=1	t=2	t=3	t=1	t=2	t=3
0	3,80E-01	6,75E-01	4,74E-01	3,99E-01	9,10E-01	8,55E-01	8,02E-01
1	2,88E-01	5,49E-01	3,27E-01	2,70E-01	8,19E-01	7,22E-01	6,65E-01
2	2,00E-01	4,07E-01	1,88E-01	1,53E-01	6,74E-01	5,21E-01	4,71E-01
3	1,27E-01	2,72E-01	8,73E-02	7,03E-02	4,94E-01	2,99E-01	2,67E-01
4	7,08E-02	1,57E-01	3,01E-02	2,40E-02	3,07E-01	1,22E-01	1,08E-01
5	3,41E-02	7,78E-02	7,53E-03	5,95E-03	1,59E-01	3,41E-02	3,01E-02
6	1,35E-02	3,12E-02	1,22E-03	9,67E-04	6,58E-02	5,95E-03	5,19E-03
7	4,24E-03	9,86E-03	1,22E-04	9,89E-05	2,10E-02	6,17E-04	5,52E-04
8	1,08E-03	2,51E-03	9,05E-06	6,71E-06	5,39E-03	3,92E-05	3,63E-05
9	1,85E-04	4,30E-04	4,59E-07	5,96E-08	9,13E-04	1,38E-06	1,43E-06
10	2,11E-05	4,88E-05	0,00E+00	0,00E+00	1,11E-04	0,00E+00	0,00E+00
11	1,10E-06	3,54E-06	0,00E+00	0,00E+00	7,44E-06	0,00E+00	0,00E+00
12	4,77E-08	6,55E-08	0,00E+00	0,00E+00	1,55E-07	0,00E+00	0,00E+00

En las tablas D.20 y D.21 se observan los valores de BER y WER obtenidos del FPGA con el esquema de modulación FSK con $h = 0.25$.



Tabla D. 20 Valores obtenidos del FPGA a nivel de la BER del código BCH binario para la modulación FSK con $h = 0.25$.

BER para el esquema de Modulación FSK con $h = 0.25$							
Eb/No	BCH(7,4)	BCH(15,11)	BCH(15,7)	BCH(15,5)	BCH(31,26)	BCH(31,21)	BCH(31,16)
	t=1	t=1	t=2	t=3	t=1	t=2	t=3
0	2,83E-01	2,91E-01	2,87E-01	2,87E-01	2,80E-01	2,80E-01	2,80E-01
1	2,43E-01	2,54E-01	2,47E-01	2,47E-01	2,43E-01	2,43E-01	2,43E-01
2	1,99E-01	2,13E-01	2,01E-01	2,00E-01	2,03E-01	2,03E-01	2,03E-01
3	1,55E-01	1,71E-01	1,51E-01	1,50E-01	1,64E-01	1,62E-01	1,62E-01
4	1,13E-01	1,29E-01	1,01E-01	9,93E-02	1,25E-01	1,20E-01	1,20E-01
5	7,63E-02	8,95E-02	5,72E-02	5,57E-02	8,86E-02	7,79E-02	7,75E-02
6	4,65E-02	5,62E-02	2,58E-02	2,48E-02	5,70E-02	4,09E-02	4,05E-02
7	2,53E-02	3,14E-02	8,84E-03	8,46E-03	3,71E-02	1,60E-02	1,58E-02
8	1,23E-02	1,55E-02	2,30E-03	2,18E-03	1,99E-02	4,55E-03	4,46E-03
9	4,78E-03	6,06E-03	3,66E-04	3,44E-04	8,99E-03	7,69E-04	7,58E-04
10	1,53E-03	1,95E-03	3,88E-05	3,65E-05	3,61E-03	8,48E-05	8,18E-05
11	3,90E-04	4,98E-04	2,47E-06	2,39E-06	1,32E-03	5,23E-06	5,26E-06
12	5,81E-05	7,66E-05	7,15E-08	6,56E-08	3,98E-04	1,19E-07	1,39E-07

Tabla D. 21 Valores obtenidos del FPGA a nivel de la WER del código BCH binario para la modulación FSK con $h = 0.25$.

WER para el esquema de Modulación FSK con $h = 0.25$							
Eb/No	BCH(7,4)	BCH(15,11)	BCH(15,7)	BCH(15,5)	BCH(31,26)	BCH(31,21)	BCH(31,16)
	t=1	t=1	t=2	t=3	t=1	t=2	t=3
0	5,84E-01	8,95E-01	8,10E-01	7,31E-01	9,93E-01	9,87E-01	9,70E-01
1	5,08E-01	8,41E-01	7,35E-01	6,55E-01	9,83E-01	9,71E-01	9,45E-01
2	4,22E-01	7,60E-01	6,29E-01	5,51E-01	9,58E-01	9,35E-01	8,98E-01
3	3,33E-01	6,55E-01	4,94E-01	4,26E-01	9,06E-01	8,63E-01	8,16E-01
4	2,46E-01	5,27E-01	3,42E-01	2,90E-01	8,11E-01	7,32E-01	6,79E-01
5	1,68E-01	3,88E-01	1,99E-01	1,66E-01	6,65E-01	5,30E-01	4,84E-01
6	1,03E-01	2,55E-01	9,11E-02	7,53E-02	4,81E-01	3,01E-01	2,70E-01
7	5,68E-02	1,47E-01	3,15E-02	2,59E-02	3,23E-01	1,23E-01	1,10E-01
8	2,78E-02	7,37E-02	8,25E-03	6,71E-03	1,82E-01	3,60E-02	3,17E-02
9	1,08E-02	2,92E-02	1,32E-03	1,06E-03	8,50E-02	6,16E-03	5,45E-03
10	3,46E-03	9,43E-03	1,39E-04	1,13E-04	3,49E-02	6,83E-04	5,93E-04
11	8,84E-04	2,42E-03	8,56E-06	6,97E-06	1,29E-02	4,34E-05	3,82E-05
12	1,33E-04	3,70E-04	3,75E-07	1,49E-07	3,98E-03	8,76E-07	8,48E-07



VALORES DE LOS RECURSOS UTILIZADOS POR EL FPGA CON LA CODIFICACIÓN BCH BINARIA



APÉNDICE E

Aura Cristina Tobar Collazos
Diana Patricia Sánchez Mulcué

Director: Harold Armando Romo Romero.

Universidad del Cauca

Facultad de Ingeniería Electrónica y Telecomunicaciones
Departamento de Telecomunicaciones
GRIAL – Grupo de Radio e InALámbricas
GNTT – Grupo I+D Nuevas Tecnologías en Telecomunicaciones
Señales y Sistemas de Acceso y Difusión Basados en Radio
Gestión Integrada de Redes, Servicios y Arquitecturas de
Telecomunicaciones
Popayán, 2015



APÉNDICE E. VALORES DE LOS RECURSOS UTILIZADOS POR EL FPGA CON LA CODIFICACIÓN BCH BINARIA

E. I. Valores de los recursos utilizados por el FPGA con la codificación BCH binaria.

En la tabla E.1 se encuentran los recursos requeridos para los códigos BCH(7,4) con las modulaciones MSK y FSK, $h = 0.5$; en la tabla E.2 se encuentran los recursos requeridos para los códigos BCH(15,7), BCH(15,11), BCH(15,5) con las modulaciones MSK y FSK, $h = 0.5$ y en la tabla E.3 se encuentran los recursos requeridos para los códigos BCH(31,26), BCH(31,21), BCH(31,16) con las modulaciones FSK, $h = 0.5$ y MSK.

Tabla E.1 Recursos requeridos por el sistema de comunicaciones con codificación *BCH(7,4)* y modulaciones FSK $h = 0.5$ y MSK.

Utilización lógica	Disponible	Usada		Utilización	
		FSK	MSK	FSK	MSK
		(7,4)	(7,4)	(7,4)	(7,4)
Number of Slice Flip Flops	11.776	2.510	2.523	21%	21%
Number of 4 input LUTs	11.776	5.519	2.842	46%	24%
Number of occupied Slices	5.888	3.550	2.314	60%	39%
Number of Slices containing only related logic	3.550	3.550	2.314	100%	100%
Number of Slices containing unrelated logic	3.550	0	0	0%	0
Total Number of 4 input LUTs	11.776	5.779	3.110	49%	26%
Number used as logic		4.765	2.088		
Number used as route-thru		260	268		
Number used as Shift registers		754	754		
Number of bonded IOBs	372	118	118	31%	31%
Number of BUFGMUX's	24	1	1	4%	4%
Number of MULT18X18SIOs	20	10	10	50%	50%
Number of RAMB 168WEs	20	16	16	80%	80%
Average Fanout of Non-Clock Nets		2,56	2,88		



Tabla E.2 Recursos requeridos por el sistema con codificación $BCH(15,7)$, $BCH(15,11)$, $BCH(15,5)$ y modulaciones FSK $h = 0.5$ y MSK.

Utilización lógica	Disponible	Usada			Utilización								
		FSK		MSK	FSK		MSK						
		(15,11)	(15,7)	(15,5)	(15,11)	(15,7)	(15,5)						
Number of Slice Flip Flops	11.776	3.242	3.025	2.942	3.255	3.010	2.928	27%	25%	24%	27%	25%	24%
Number of 4 input LUTs	11.776	6.096	6.446	6.536	3.417	3.768	3.859	51%	54%	55%	29%	31%	32%
Number of occupied Slices	5.888	4.042	4.230	4.037	2.842	2.862	2.792	68%	71%	68%	48%	48%	47%
Number of Slices containing only related logic	4.230	4.042	4.230	4.037	2.842	2.862	2.792	100%	100%	100%	100%	100%	100%
Number of Slices containing unrelated logic	4.230	0	0	0	0	0	0	0%	0%	0%	0%	0%	0%
Total Number of 4 input LUTs	11.776	6.397	6.736	6.818	3.726	4.066	4.149	54%	57%	57%	31%	34%	35%
Number used as logic		5.335	5.689	5.781	2.656	3.011	3.014						
Number used as route-thru		301	290	282	309	298	290						
Number used as Shift registers		761	757	755	761	757	755						
Number of bonded IOBs	372	128	122	118	128	122	118	34%	32%	31%	34%	32%	31%
Number of BUFGMUX's	24	1	1	1	1	1	1	4%	4%	4%	4%	4%	4%
Number of MULT18X18SIOs	20	10	10	10	10	10	10	50%	50%	50%	50%	50%	50%
Number of RAMB 168WEs	20	16	16	16	16	16	16	80%	80%	80%	80%	80%	80%
Average Fanout of Non-Clock Nets		2,55	2,65	2,69	2,81	2,99	3,05						



Tabla E. 3 Recursos requeridos por el sistema con codificación $BCH(31,26)$, $BCH(31,21)$, $BCH(31,16)$ y modulaciones FSK $h = 0.5$ y MSK.

Utilización lógica	Disponible	Usada						Utilización							
		FSK			MSK			FSK			MSK				
		(31,26)	(31,21)	(31,16)	(31,26)	(31,21)	(31,16)	(31,26)	(31,21)	(31,16)	(31,26)	(31,21)	(31,16)		
Number of Slice Flip Flops	11.776	5.749	5.253	4.753	5.770	5.247	4.776	4.776	4.776	48%	44%	40%	48%	44%	40%
Number of 4 input LUTs	11.776	8.000	8.269	8.348	5.322	5.590	5.774	5.774	5.774	67%	70%	71%	45%	47%	49%
Number of occupied Slices	5.888	5.111	5.104	5.199	4.166	4.331	4.559	4.559	4.559	86%	86%	88%	70%	73%	77%
Number of Slices containing only related logic	5.199	5.111	5.104	5.199	4.166	4.311	4.559	4.559	4.559	100%	100%	100%	100%	100%	100%
Number of Slices containing unrelated logic	5.199	0	0	0	0	0	0	0	0	0%	0%	0%	0%	0%	0%
Total Number of 4 input LUTs	11.776	8.323	8.586	8.768	5.653	5.915	6.096	6.096	6.096	70%	72%	74%	48%	50%	51%
Number used as logic		7.222	7.496	7.687	4.544	4.817	5.077	5.077	5.077						
Number used as route-thru		323	317	314	331	325	322	322	322						
Number used as Shift registers		778	773	767	778	773	767	767	767						
Number of bonded IOBs	372	156	146	138	156	146	138	138	138	41%	39%	37%	41%	39%	37%
Number of BUFMUX's	24	1	1	1	1	1	1	1	1	4%	4%	4%	4%	4%	4%
Number of MULT18X18SIOs	20	10	10	10	10	10	10	10	10	50%	50%	50%	50%	50%	50%
Number of RAMB 168WES	20	16	16	16	16	16	16	16	16	80%	80%	80%	80%	80%	80%
Average Fanout of Non-Clock Nets		2,46	2,60	2,7	2,59	2,79	2,94	2,94	2,94						



Tabla E.4 Recursos requeridos por el sistema con codificación $BCH(7,4)$, $BCH(15,k)$, $BCH(31,k)$ y modulaciones FSK $h = 0.5$ y MSK.

Utilización lógica	Disponible	Usada						Utilización					
		FSK			MSK			FSK			MSK		
		(7,4)	(15,k)	(31,k)	(7,4)	(15,k)	(31,k)	(7,4)	(15,k)	(31,k)	(7,4)	(15,k)	(31,k)
Number of Slice Flip Flops	11.776	2.510	3.070	5.252	2.523	3064	5264	21%	26%	44%	21%	25%	44%
Number of 4 input LUTs	11.776	5.519	6.360	8.206	2.842	3681	5562	46%	54%	70%	24%	31%	47%
Number of occupied Slices	5.888	3.550	4.103	5.138	2.314	2832	4352	60%	69%	87%	39%	48%	73%
Number of Slices containing only related logic	5.138	3.550	4.103	5.138	2.314	2832	4345	100%	100%	100%	100%	100%	100%
Number of Slices containing unrelated logic	5.138	0	0	0	0	0	0	0%	0	0	0	0%	0%
Total Number of 4 input LUTs	11.776	5.779	6.651	8.559	3.110	3980	5888	49%	56%	72%	26%	33%	50%
Number used as logic		4.765	5.602	7.469	2.088	2894	4812						
Number used as route-thru		260	291	318	268	299	326						
Number used as Shift registers		754	758	773	754	758	773						
Number of bonded IOBs	372	118	123	147	118	123	147	31%	33%	39%	31%	32%	39%
Number of BUFGMUX's	24	1	1	1	1	1	1	4%	4%	4%	4%	4%	4%
Number of MULT18X18SIOs	20	10	10	10	10	10	10	50%	50%	50%	50%	50%	50%
Number of RAMB 168WEs	20	16	16	16	16	16	16	80%	80%	80%	80%	80%	80%
Average Fanout of Non-Clock Nets		2,56	2,63	2,6	2,88	2,95	2,8						