

**Control en Tiempo Discreto de Lazos de Realimentación de Corriente en el
Contexto de la Bioimpedancia.**



Vladimir Trujillo Arias

Director: Ph.D Carlos Felipe Rengifo

**Universidad del Cauca
Facultad de Ingeniería Electrónica y Telecomunicaciones
Maestría en Automática
Popayán, Diciembre de 2017**

Dedicatoria

A mi hijo Cristóbal Trujillo Bravo.

Agradecimientos

A mis compañeros del Departamento de Electrónica Instrumentación y Control de la Universidad del Cauca, por el apoyo que me brindaron para que pudiera concluir este trabajo de maestría.

A mi Director de maestría, Doctor Carlos Felipe Rengifo, por su valiosa guía.

Resumen

El objetivo de este trabajo de maestría es proponer una fuente de corriente para estudios de bioimpedancia basada en técnicas de control realimentado de tiempo discreto, buscando verificar si la aplicación de estas técnicas de control, permite optimizar respecto al estado del arte el rendimiento en estabilidad, ancho de banda e impedancia de salida de la fuente de señales propuesta. Para lograr estos objetivos se realizó una exploración detallada de las arquitecturas y plataformas utilizadas en el diseño de fuentes de señales digitales para estudios de bioimpedancia existentes en el estado del arte, proponiéndose una arquitectura completamente embebida en la plataforma PSoC 5LP, la cual regula el nivel pico de la corriente entregada por la fuente mediante un controlador proporcional que mide el voltaje presente en una resistencia de valor conocido la cual se encuentra en serie con la impedancia de carga (Resistencia Shunt), lográndose una frecuencia de trabajo máxima de 120 kHz.

Palabras clave:

PSoC 5LP, Bioimpedancia, Fuente de corriente, control proporcional de tiempo discreto.

Tabla de contenido

Lista de figuras	IX
Lista de tablas	XV
1. Introducción	1
1.1. Introducción al tema	1
1.2. Organización del libro	2
2. Arquitecturas Hardware de Referencia	3
2.1. Arquitectura de referencia 1.	4
2.2. Arquitectura de referencia 2.	7
2.3. Arquitectura de referencia 3.	10
2.4. Arquitectura de referencia 4.	14
2.5. Arquitectura de referencia 5.	16
2.6. Arquitectura de referencia 6.	20
2.7. Conclusión acerca de las arquitecturas de referencia.	20
3. Tecnologías para máxima integración.	23
3.1. Tecnología PSoC5.	25

3.1.1.	CAD delta sigma de la PSoc 5LP.	26
3.1.2.	CAD tipo SAR de 12 bits.	26
3.1.3.	CDA de 8 bits.	27
3.1.4.	Comparadores analógicos.	27
3.1.5.	Amplificadores operacionales	29
3.1.6.	Bloques de condensador conmutado / tiempo continuo (SC/CT)	29
3.1.7.	Microcontrolador	30
3.1.8.	Resumen características PSoC 5LP	31
3.2.	Tecnología FPAA.	31
3.3.	Microcontroladores de señal mixta de Texas Instruments.	34
3.4.	Tarjetas de desarrollo de diferentes fabricantes.	36
3.5.	Plataforma escogida.	36
4.	Arquitectura propuesta.	38
4.1.	Arquitectura general.	38
4.2.	Arquitectura detallada.	41
4.2.1.	Generación de la señal sinusoidal	41
4.2.2.	Medición de la corriente	55
5.	Esquema de control.	72
6.	Experimentación y resultados	82
6.1.	Rangos de impedancia de carga.	82
6.2.	Rangos de frecuencia.	84
6.3.	Distorsión armónica	88

6.4. Comportamiento del controlador.	91
7. Conclusiones	93
Referencias	97

Lista de figuras

2.1. Arquitectura de referencia 1. Tomado de [1]	4
2.2. Amplificador de instrumentación propuesto en [1] para implementar el bloque AI de la Figura (2.1)	5
2.3. Arquitectura de referencia 2. Tomado de [2]	8
2.4. Arquitectura de referencia 3. Tomado de [3]	10
2.5. Diagrama circuital del generador de señales y detector de voltaje cero. Tomado de [3]	11
2.6. Arquitectura de referencia 4. Tomado de [4]	15
2.7. Fuente de voltaje propuesta para la arquitectura de referencia 4. Tomado de [4] .	15
2.8. Detector de voltaje propuesto para la arquitectura de referencia 4. Tomado de [4]	16
2.9. Arquitectura de referencia 5. Tomado de [5]	17
2.10. Arquitectura de referencia 6. Tomado de [6]	19
2.11. Arquitectura Hardware que más se ajusta a las planteadas en el estado del arte. Fuente propia.	20
3.1. Cálculo de la distorsión armónica total de una señal sinusoidal de tiempo continuo generada por un computador digital con un conversor CDA de B bits con mantenedor de orden cero y generación N puntos por periodo.	24
3.2. Diagrama en bloques de una FPAA. Tomado de [7]	32

3.3. (a) Condensador conmutado, (b) Fase de carga, (c) Fase de descarga. Tomado de [8]	33
4.1. Arquitectura final para la fuente de corriente propuesta. Fuente propia.	38
4.2. Medición de corriente mediante resistencia en serie. Fuente propia.	39
4.3. Generación de corriente bipolar sobre una carga, a partir de una fuente unipolar. Fuente propia.	40
4.4. Diseño hardware completo de la fuente de corriente. Fuente propia.	41
4.5. Configuración para corriente bipolar con dos IDAC. Fuente propia.	44
4.6. Configuración para corriente bipolar con IDAC y VDAC. Fuente propia.	45
4.7. Distorsión presentada en el cambio de contexto de modo fuente a sumidero a fuente para generación de señal bipolar con IDAC-IDAC e IDAC-VDAC. Fuente propia.	46
4.8. Configuración para corriente bipolar con IDAC en modo fuente y amplificador de transimpedancia. Fuente propia.	47
4.9. Recorrido y transformación de la señal de los IDAC hasta llegar a la impedancia de carga. Fuente propia.	48
4.10. Forma de los datos almacenados en el vector de muestras de la señal. Fuente propia.	49
4.11. Valores de voltaje logrados con distintas resistencias de realimentación del TIA, para IDAC con escala de corriente de $32\mu\text{A}$. Fuente propia.	50
4.12. Transferencia DMA desde la memoria RAM a un periférico. Fuente propia	52
4.13. Transferencia DMA con disparo por Timer. Fuente propia	53
4.14. Transferencia DMA para actualización de amplitud. Fuente propia	54
4.15. Medición de corriente con resistencia Shunt. Fuente propia	55
4.16. Medición de corriente con resistencia Shunt implementada en la PSoC. Fuente propia	57

4.17. Diagrama de tiempo para medición de corriente con resistencia Shunt implementada en la PSoC. Fuente propia	59
4.18. Diagrama general del comportamiento de la fuente. Fuente propia	59
4.19. Diagrama de flujo para la función principal. Fuente propia	61
4.20. Diagrama de flujo para la inicialización del vector de generación. Fuente propia .	62
4.21. Diagrama de flujo para construir el vector de valor absoluto normalizado de la función coseno. Fuente propia	62
4.22. Diagrama de flujo para construir la matriz cuyas filas contienen el valor absoluto normalizado de la función coseno para distintas amplitudes máximas. Fuente propia	63
4.23. Diagrama de flujo de inicialización de componentes. Fuente propia	64
4.24. Diagrama de flujo que muestra como actualizar el vector de generación para cambiar la amplitud máxima de salida. Fuente propia	65
4.25. Diagrama de flujo que muestra cómo se actualiza la frecuencia y amplitud de la señal generada, a partir de una cadena de caracteres recibida por el puerto serial. Fuente propia	66
4.26. Diagrama de flujo que muestra la configuración del módulo DMA que transfiere los elementos del vector de generación a los IDACs. Fuente propia	67
4.27. Diagrama de flujo que muestra la configuración del módulo DMA que transfiere una fila de la matriz de valores absolutos normalizados de la función coseno, al vector de generación. Fuente propia	68
4.28. Diagrama de flujo que muestra el comportamiento de la interrupción por recepción serial, la cual se utiliza para cambiar manualmente la frecuencia y la amplitud de la señal de salida de la fuente.. Fuente propia	69
4.29. Diagrama de flujo que muestra el comportamiento del módulo DMA al transmitir los elementos del vector de generación a los IDACs. Fuente propia	70
4.30. Diagrama de flujo que muestra el comportamiento de la interrupción por fin de conversión analógica a digital. Fuente propia	71

5.1. Control en espacio de estados para amplitud y forma de la señal de corriente. Fuente propia	73
5.2. Control proporcional propuesto para la fuente de corriente, con señal de error $e = R - V_{CAD}$. Fuente propia	74
5.3. Respuesta del controlador proporcional propuesto en la figura (5.2) ante variaciones abruptas de la resistencia de carga; con constante de proporcionalidad ($C=3$) en la ecuación (5.3). Fuente propia	76
5.4. Respuesta del controlador proporcional propuesto en la figura (5.2) para constante de proporcionalidad ($C=1.2$). Fuente propia	77
5.5. Respuesta del controlador proporcional propuesto en la figura (5.2) para constante de proporcionalidad ($C=5$). Fuente propia	78
5.6. Control proporcional propuesto para la fuente de corriente, con señal de error $\lambda = R/V_{CAD}$. Fuente propia	79
5.7. Respuesta del controlador proporcional propuesto en la figura (5.6) ante variaciones abruptas de la resistencia de carga. Fuente propia	80
5.8. Comparación de la respuesta de los controladores propuesto en las figuras (5.2) y (5.6). Fuente propia	81
6.1. Montaje realizado para medir los valores máximo y mínimo de la resistencia de carga.	83
6.2. Configuración hardware para transferencia DMA.	84
6.3. Frecuencia de salida (1Hz, 10Hz, 100Hz) vs Resistencia de carga.	86
6.4. Frecuencia de salida (1kHz, 5kHz, 10kHz) vs Resistencia de carga.	86
6.5. Frecuencia de salida (30kHz, 53kHz, 80kHz) vs Resistencia de carga.	87
6.6. Frecuencia de salida (96kHz, 120kHz) vs Resistencia de carga.	87
6.7. Distorsión armónica para distintas resistencias de carga, en frecuencias de 1Hz hasta 10kHz	88

6.8. Distorsión armónica para distintas resistencias de carga, en frecuencias de 30kHz hasta 120kHz	89
6.9. Distorsión armónica para distintas resistencias de carga y distintas frecuencias de salida de la fuente.	90
6.10. Amplitud pico promedio para distintos valores de resistencia de carga a distintas frecuencias	91
6.11. Amplitud pico promedio para distintos valores de resistencia de carga a distintas frecuencias	92

Lista de tablas

2.1. Características generales del DAC5675A de Texas Instruments	6
2.2. Características generales del AD8369 de Analog Devices	6
2.3. Características generales del AD6811 de Analog Devices	7
2.4. Características generales de las FPGAs Stratix IV de Altera	8
2.5. Características generales del ADA4817 de Analog Devices	9
2.6. Características generales del OPA653 de Texas Instruments	9
2.7. Características generales del DAC9726 de Analog Devices	11
2.8. Características generales del ADA4930-1 de Analog Devices	12
2.9. Características generales del OPA657 de Texas Instruments	12
2.10. Características generales del AD8099 de Analog Devices	13
2.11. Características generales del ADS5482 de Texas Instruments	13
2.12. Características generales de la FPGA XC4VSX35 de Xilinx	14
2.13. Características generales de la FPGA Virtex-5 LX50 de Xilinx	17
2.14. Características generales del AD9252 de Analog Devices	18
2.15. Características generales del AGP THS7002 de Texas Instruments	18
2.16. Características generales del módulo NI-5406 de National Instruments	19

2.17. Características mínimas de los elementos encontrados en las arquitecturas del estado del arte consultado.	22
3.1. Rendimiento del CAD delta-sigma. Tomado de las hojas de datos de la familia Cy8c58lp de Cypress Semiconductor	26
3.2. Métodos para dar más resolución a CDAs de 8 bits en la PSoC 5LP [9]	28
3.3. Características en corriente alterna de los amplificadores operacionales de la PSoC 5LP. Tomado de las hojas de datos de la familia Cy8c58lp de Cypress Semiconductor	29
3.4. Ancho de banda vs ganancia para el AGP. Tomado de las hojas de datos de la familia Cy8c58lp de Cypress Semiconductor	30
3.5. Módulos PSoC 5LP factibles de utilizar en este proyecto.	31
3.6. FPAAAs comerciales [10].	34
3.7. Microcontroladores de la familia MSP430F5x/6x de Texas Instruments, que incluyen los módulos analógicos requeridos para el presente proyecto.	35
4.1. Valores de resistencia de realimentación para el amplificador de transimpedancia de la PSoC 5LP	46
4.2. Valores de capacitancia de realimentación para el amplificador de transimpedancia de la PSoC 5LP	47
4.3. Voltaje mínimo y máximo a la salida de la Fuente, según resistencia de realimentación, para valores digitales a la entrada del IDAC entre 60 y 255 y escala de corriente de $32\mu\text{A}$	51
4.4. Configuración de los descriptores de transacción utilizados en la transferencia DMA que genera la señal. N es el número de muestras de la señal.	54
4.5. Valores de carga que se pueden conectar a la fuente para una corriente pico de 1 mA	56
4.6. Voltaje pico para diferentes valores de la resistencia shunt y valores mínimos y máximos de la resistencia de carga para 1 mA	56

5.1. Tabla que muestra los valores de resistencia de realimentación que retorna la función F en la ecuación (5.5), según el voltaje que se desea obtener a la salida de los TIA, buscando obtener la mejor resolución de voltaje posible.	76
6.1. Valores de resistencia de carga máxima que permite controlabilidad de corriente de 1 mA pico vs frecuencia de salida	83
6.2. Algunos valores teóricos de frecuencia que puede generar la fuente diseñada . . .	85

Capítulo 1

Introducción

1.1. Introducción al tema

La necesidad de proporcionar información sobre la salud de las personas a partir de métodos no invasivos es uno de los principales intereses de la medicina actual. La bioimpedancia ha demostrado ser una técnica no invasiva muy útil y segura [11]. Esta consiste en medir la conductividad de un tejido biológico, el cual se puede caracterizar al inyectar una corriente conocida y midiendo el voltaje resultante a una determinada frecuencia [11], siendo un buen método para detectar diversos tipos de cáncer y medir diferentes variables fisiológicas [12].

Uno de los principales componentes para la medición de la bioimpedancia es la fuente de corriente, que debe tener gran ancho de banda y alta impedancia de salida [13]. Estas fuentes de corriente son diseñadas a partir de amplificadores operacionales y lazos de realimentación basados en elementos resistivos y en algunos casos como en [14] resistivo-capacitivos.

Las fuentes de corrientes más populares son la de Howland mejorada [15], la de Tietze [16] y las topologías de espejo de corriente [17]; considerándose la fuente de Howland como la que posee el mejor rendimiento para mediciones de bioimpedancia [11].

En el comportamiento de estas fuentes se debe considerar la tolerancia de los elementos utilizados, el ancho de banda y el efecto de las capacitancias parásitas [13]. Lo anterior conlleva a que sea difícil predecir el rango de frecuencias y cargas para las cuales se logrará una corriente de valor efectivo constante. Se han realizado varios trabajos que pretenden sortear estos inconvenientes desde el enfoque de la electrónica analógica, utilizando diferentes configuraciones de

la fuente de Howland, agregando componentes a las redes de realimentación como transconductores [18], o incluyendo topologías de fuentes de corriente en paralelo [19]; pero todas ellas tienen en común el incremento de la circuitería analógica con los inconvenientes que conlleva la implementación de sistemas electrónicos con elementos discretos.

Algunos trabajos han optado por el diseño de circuitos integrados a la medida para sistemas portátiles de medición de bioimpedancia, pero con limitaciones en el rango de frecuencia en que trabajan [20].

Existen pocos desarrollos en el área que aborden el tema desde un enfoque diferente, ya sea desarrollando circuitos integrados específicos o utilizando sistemas digitales de procesamiento de señales, como se hizo en [1], donde abordan el problema utilizando una fuente voltaje controlada a través de un arreglo de compuertas lógicas programables en campo (FPGA) por sus siglas en inglés.

Por otro lado, la disminución en los costos de los sistemas digitales, la alta escala de integración y la velocidad de los mismos permite plantear soluciones embebidas más complejas basadas en algoritmos, disminuyendo sustancialmente los componentes electrónicos utilizados. Sin embargo, en la actualidad no se han propuesto fuentes de corriente basadas en sistemas realimentados de tiempo discreto, como se propone en el presente trabajo.

1.2. Organización del libro

Este libro se divide en 7 capítulos. El capítulo 2 hace una exploración de las arquitecturas de fuentes digitales de señales para estudios de bioimpedancia más relevantes en el estado del arte. El capítulo 3 muestra las características generales de las tecnologías que en la actualidad pueden ofrecer máxima integración de componentes para el diseño de la fuente. El capítulo 4 expone en detalle la arquitectura hardware y software que se propone para el diseño de la fuente. El capítulo 5 muestra el esquema de control utilizado para realizar el control de corriente de la fuente. El capítulo 6 detalla el comportamiento de la fuente y las mediciones realizadas para determinar sus características eléctricas y contrastarlas con los resultados obtenidos por otros autores con fuentes de corriente de Howland clásicas compuestas de un solo amplificador operacional. Finalmente en el capítulo 7 se presentan las conclusiones.

Capítulo 2

Arquitecturas Hardware de Referencia

En el proceso de revisión bibliográfica se encontró que las fuentes de señales propuestas para estudios de bioimpedancia que contenían componentes digitales en sus diseños, en general alcanzaban mejor los requerimientos de alta impedancia de salida, gran ancho de banda, buena relación señal a ruido y generación de señales con frecuencias de 1 kHz a 1 MHz o superior. Ninguna de ellas consideraba técnicas de control clásico o avanzado para mejorar el rendimiento de la fuente. De los trabajos estudiados se han seleccionado los siguientes que implementan fuentes de señales digitales, las cuales pueden albergar si es el caso, un controlador embebido.

- Arquitectura de referencia 1. High-Speed Digital-Controlled Variable Voltage Source with Current Monitor for EIT Application. [1]
- Arquitectura de referencia 2. Design of Embedded Bio-impedance Analyzer Based on Digital Auto Balancing Bridge Method. [2]
- Arquitectura de referencia 3. A high-speed bioelectrical impedance spectroscopy system based on the Digital auto-balancing bridge method. [3]
- Arquitectura de referencia 4. Wide-Bandwidth Biological Impedance Spectroscopy System Based on the Digital Lock-In Technique. [4]
- Arquitectura de referencia 5. FPGA Based Voltage & Current Dual Drive System for High Frame Rate Electrical Impedance Tomography. [5]
- Arquitectura de referencia 6. Bioimpedance Measurement Using Mixed-Signal Embedded System. [6]

2.1. Arquitectura de referencia 1.

En [1] se propone una fuente de voltaje variable digital, controlada mediante una función de monitoreo de corriente. El hardware del sistema se compone principalmente de una FPGA como sistema digital de control de la fuente, un convertor digital a analógico CDA de alta resolución, un amplificador de ganancia programable, un circuito de detección de corriente y un comparador de voltaje, como se ve en la figura (2.1)

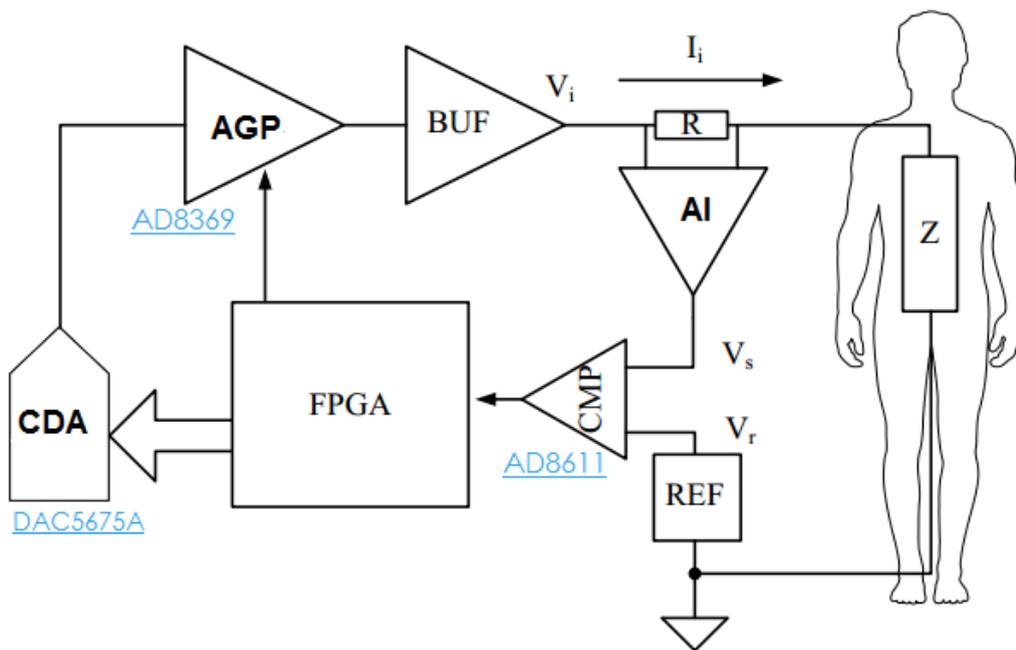


Figura 2.1: Arquitectura de referencia 1. Tomado de [1]

Mediante el uso del comparador analógico de alta velocidad se convierte el tiempo en el cual la corriente aplicada a la carga está por encima del umbral permitido, en pulsos digitales de duración equivalente, los cuales son utilizados por la FPGA para controlar la amplitud del voltaje aplicado a la carga, a partir de la manipulación de la ganancia del Amplificador de Ganancia Programable (AGP). Dicha ganancia, calculada por la FPGA, es enviada a la PGA a utilizando un CDA. La FPGA genera una onda seno por síntesis digital directa SDD, mediante el uso del algoritmo CORDIC. Los resultados de las simulaciones, mostraron que el sistema posee un buen rendimiento en todo el rango de frecuencias, con las ventajas de precisión y alta estabilidad.

Los componentes que se explicitan en este trabajo son los siguientes:

- Conversor digital a analógico DAC5675A (ver tabla 2.1)
- Amplificador de ganancia programable AD8369 (ver tabla 2.2)
- Comparador Analógico AD8611 (ver tabla 2.3)
- Amplificador de instrumentación, el cual se construye a partir de amplificadores operacionales no especificados en este trabajo (ver figura (2.2))

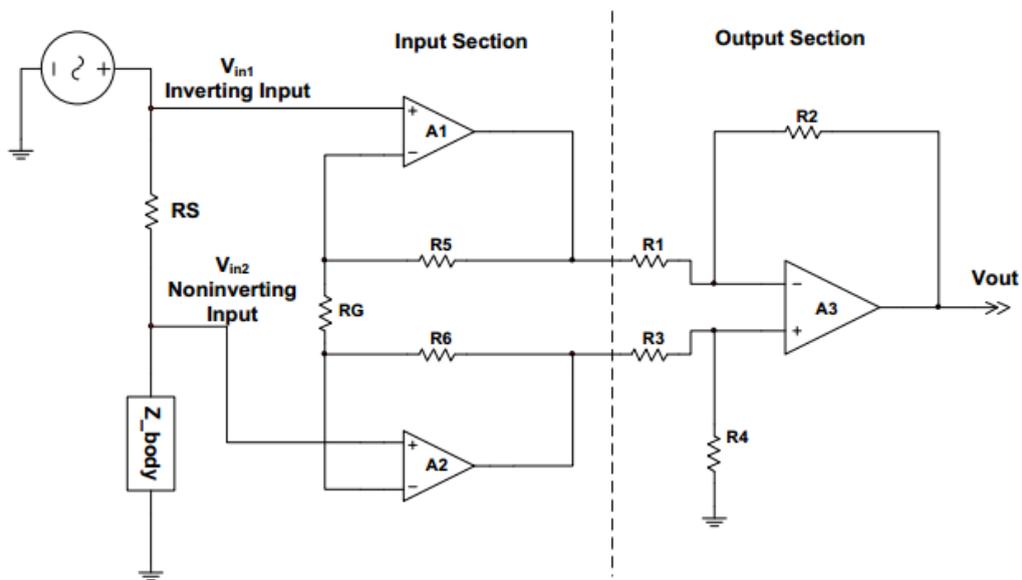


Figura 2.2: Amplificador de instrumentación propuesto en [1] para implementar el bloque AI de la Figura (2.1)

Característica	Valor
Resolución	14 bits
Muestras por segundo	400MSPS
Salida	Corriente diferencial 20 mA máximo
Alimentación	3.3 voltios
Descripción	
<p>El DAC5675A es un conversor digital a analógico de alta velocidad, diseñado para la transmisión de datos digitales de alta velocidad en sistemas de comunicaciones por cable e inalámbricos de alta frecuencia, síntesis digital directa (SDD), y en general para la generación de formas de onda a la medida. Posee un excelente rango dinámico (Spurious-free dynamic range o SFDR por sus siglas en inglés) de -69dBc at 70MHz con frecuencia de muestreo de 400MSPS. Proporciona una corriente nominal de 20 mA, tanto para salidas de una sola terminal como para aplicaciones diferenciales. La corriente puede ser inyectada directamente a la carga sin un búfer externo adicional.</p>	

Tabla 2.1: Características generales del DAC5675A de Texas Instruments

Característica	Valor
ancho de banda	600 MHz
Ganancia máxima y mínima	-3 dB a 45 dB en pasos de 3 dB
Alimentación	5V
IE y CE	200 Ohmios, 0.1 pF
IS y CS	200 Ohmios, 0.25 pF
Descripción	
<p>El AD8369 es un amplificador de ganancia programable de alto rendimiento controlado digitalmente mediante una interfaz serie o paralela. Puede variar su ganancia de voltaje desde bajas frecuencias hasta los 600 MHz. Posee un excelente rango dinámico de -69 dBc a 70 MHz para un 1 Voltio pico a pico.</p>	

Tabla 2.2: Características generales del AD8369 de Analog Devices

Característica	Valor
Tiempo de respuesta	4 nS
Frecuencia máxima de Trabajo	100 MHz
Alimentación	3 V a 5 V
Ganancia con $RC = 10K$	69.5 dB
Descripción	
El AD8611 es un comparador analógico con tiempo de propagación de 4 nano segundos a 5V. Los retardos de propagación para flanco de subida y bajada son muy similares, lo que lo hace adecuado para la recuperación y seguimiento de señales de reloj.	

Tabla 2.3: Características generales del AD6811 de Analog Devices

2.2. Arquitectura de referencia 2.

En [2] se presenta el diseño de un analizador de bio-impedancia embebido, basado en el método del puente auto-equilibrado digital. Esta técnica, similar en principio a la del puente de Thevenin, consiste en variar la amplitud y la fase de una señal sinusoidal generada digitalmente hasta obtener una corriente de magnitud cero a través de un conductor de prueba. La principal desventaja de dicha técnica es que no está acompañada de un procedimiento que garantice que las variaciones de amplitud y de fase de la señal sinusoidal conlleven a una corriente nula. La arquitectura hardware del sistema se compone principalmente de una FPGA, un CAD, un CDA, un controlador USB y otros elementos, como se ve en la figura (2.3)

Los algoritmos PDS como el de síntesis digital directa (SDD), modulación y demodulación digital y filtrado digital se embebieron en la FPGA con el fin de implementar la funcionalidad de equilibrado automático del circuito de puente. Los resultados de simulación muestran en este trabajo que el sistema tiene buen comportamiento desde baja frecuencia hasta 10 MHz. La fuente de voltaje se compone principalmente del convertor digital a analógico, un filtro anti aliasing, y un convertor tensión-a-corriente basado en el circuito de Howland mejorado.

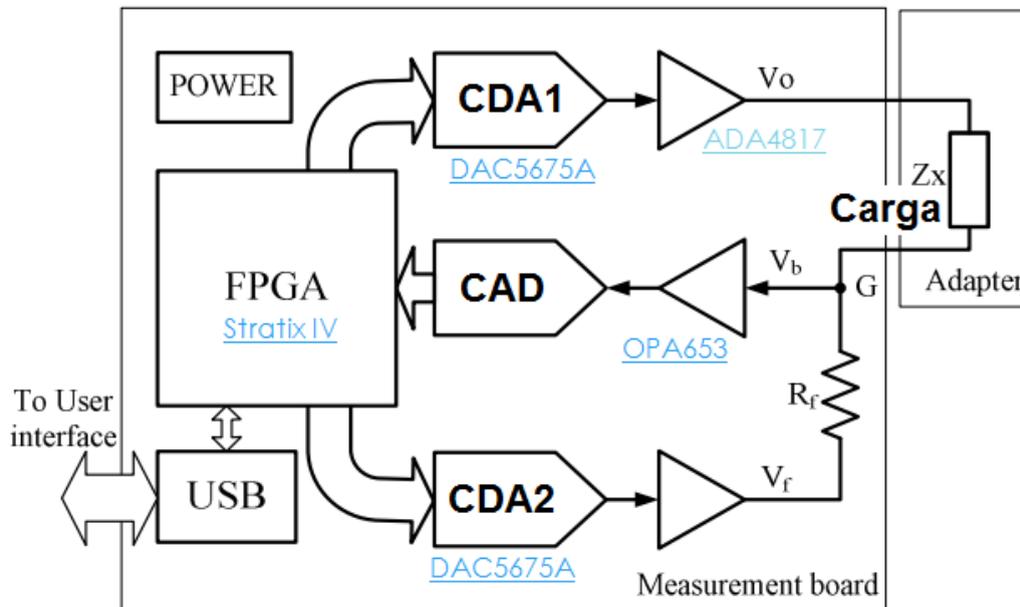


Figura 2.3: Arquitectura de referencia 2. Tomado de [2]

Los componentes que se explicitan en este trabajo son los siguientes:

- FPGA Altera STRATIX IV (ver tabla 2.4)
- Conversor digital a analógico DAC5675A (ver tabla 2.1)
- Amplificador operacional ADA4817 (ver tabla 2.5)
- Amplificador operacional OPA653 (ver tabla 2.6)

Característica	Valor
Elementos Lógicos	820000
Memoria	23.1 Mbytes
Bloques DSP	1288 multiplicadores de 18x18
Escala de Integración	40 nm
Descripción	
La FPGA Stratix IV de Altera, pertenece a una familia de FPGAs de alta densidad, excelente rendimiento y bajo consumo de energía, utilizando tecnología de 40 nm.	

Tabla 2.4: Características generales de las FPGAs Stratix IV de Altera

Característica	Valor
Ancho de banda	200 MHz a 2 Vp-p Con alimentación +-5V
Ganancia Lazo abierto	65 dB
IE y CE	500 GΩ y 1.3 pF
Corriente máxima Salida	40 mA
Descripción	
<p>El ADA4817 es un amplificador operacional con entradas de transistor de efecto de campo de ultra alta velocidad. Posee una relación señal a ruido muy baja de $(4 \text{ nV} / \sqrt{\text{Hz}})$, con una muy alta impedancia de entrada, siendo ideal para interfaces de adquisición de datos. Posee un amplio rango de tensión de alimentación de 5 V a 10 V con la posibilidad de conectarse a fuentes de salida bipolar.</p>	

Tabla 2.5: Características generales del ADA4817 de Analog Devices

Característica	Valor
ancho de banda	500 MHz a 2 Vp-p Con alimentación +-6V
Ganancia Lazo abierto	62 dB
IE y CE	1000 GΩ y 2.5 pF
Corriente máxima Salida	70 mA
Descripción	
<p>El OPA653 es un amplificador operacional con entradas de transistor de efecto de campo, slew rate de 2675-V/us, una excelente distorsión armónica de -71dBc at 10 MHz y con muy bajo ruido de voltaje de 6.1 nV/$\sqrt{\text{Hz}}$, lo que lo hace ideal como interfaz analógica de medición.</p>	

Tabla 2.6: Características generales del OPA653 de Texas Instruments

2.3. Arquitectura de referencia 3.

En [3] se presenta un sistema de espectroscopia de impedancia bioeléctrica basado en el método del puente digital auto-balanceado, superando el método analógico auto-balanceado convencional para mediciones de impedancia bioeléctrica. La arquitectura hardware es similar a la que se presenta en [2], mejorando el ancho de banda de los amplificadores operacionales utilizados y la resolución de los convertidores CAD y CDA. En la figuras (2.4) y (2.5) se aprecia que el sistema propuesto el cual consta de FPGA, CAD, CDA, AGP y diversos amplificadores operacionales de gran ancho de banda. Los resultados revelan que el sistema propuesto posee una alta velocidad (menos de 3,5 ms por medición) y una alta precisión en el rango de frecuencia de 1 kHz a 10 MHz.

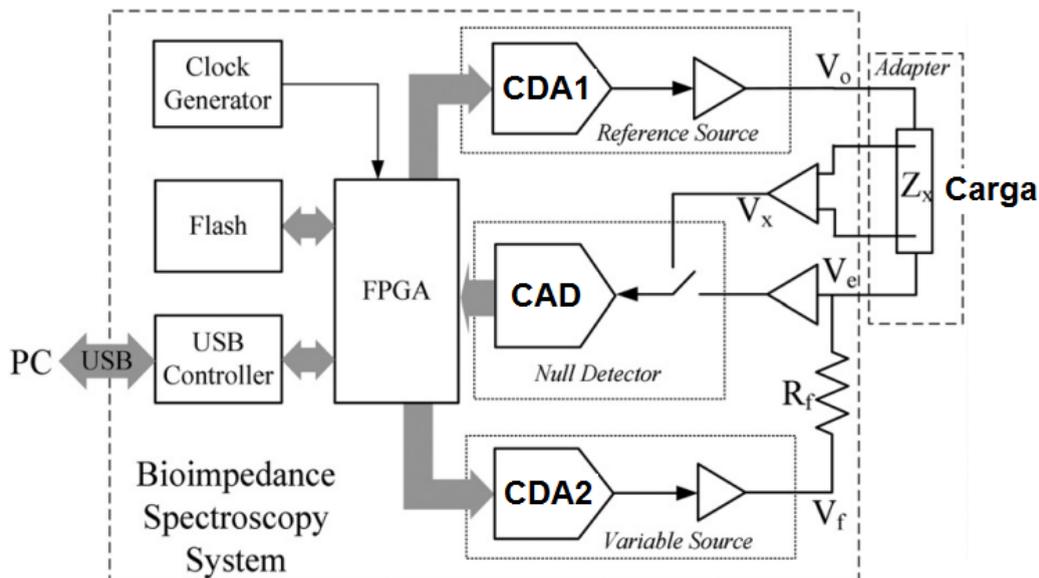


Figura 2.4: Arquitectura de referencia 3. Tomado de [3]

Los componentes que se explicitan en este trabajo son los siguientes:

- Conversor digital a analógico DAC9726 (ver tabla 2.7)
- Amplificador operacional diferencial ADA4930-1 (ver tabla 2.8)
- Amplificador de ganancia programable AD8369 (ver tabla 2.2)
- Amplificador operacional OPA657 (ver tabla 2.9)
- Amplificador operacional AD8099 (ver tabla 2.10)

- Conversor analógico a digital ADS5482 (ver tabla 2.11)
- FPGA Xilinx XC4VVSX35 (ver tabla 2.12)

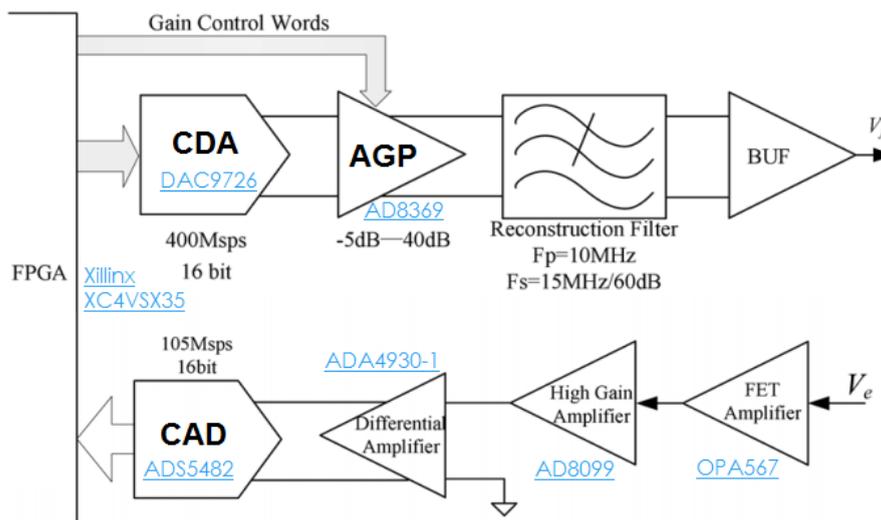


Figura 2.5: Diagrama circuital del generador de señales y detector de voltaje cero. Tomado de [3]

Característica	Valor
Resolución	16 bits
Muestras por Segundo	400MSPS
Salida	Corriente Diferencial 20 mA máximo
Alimentación	2.5 y 3.3 voltios
<p>El AD9726 es un conversor digital a analógico (DAC) de 16 bits. con una tasa de conversión de hasta 400 MSPS. El dispositivo utiliza la señalización de baja tensión diferencial (LVDS) en su señal de reloj y bus de datos, el cual es de 32 bits, dedicando 2 pines por cada bit. Todo el funcionamiento del dispositivo es totalmente programable mediante la interfaz de puerto serie (SPI).</p>	

Tabla 2.7: Características generales del DAC9726 de Analog Devices

Característica	Valor
ancho de banda	937 MHz a 2 Vp-p Con alimentación +-5V
Ganancia Lazo abierto	64 dB
IE y CE	3 MΩ y 1 pF
Corriente máxima Salida	30 mA
Descripción	
<p>El ADA4930-1 es un amplificador diferencial de alta velocidad con muy bajo ruido y baja distorsión. Es ideal para conectar una señal de entrada a un CAD de alto rendimiento de hasta 14 bits en un rango de frecuencias de corriente continua a 70 MHz. El nivel de distorsión de ruido al voltaje de entrada es de solo 1,2 nV / \sqrt{Hz}. Posee salida diferencial y de modo común.</p>	

Tabla 2.8: Características generales del ADA4930-1 de Analog Devices

Característica	Valor
ancho de banda	1.6 GHz Con alimentación +-5V
Ganancia Lazo abierto	70 dB
IE y CE	1000 GΩ y 2.5 pF
Corriente máxima Salida	70 mA
Descripción	
<p>El dispositivo OPA657 con entradas de transistor de efecto de campo posee un ancho de banda de alta ganancia y baja distorsión, ideal como amplificador de alta precisión para etapas de conversión analógica-digital y en general para aplicaciones de gran ancho de banda y alta ganancia. Señales de muy baja amplitud se pueden amplificar de manera significativa con una única etapa de amplificación debido al bajo ruido de voltaje de entrada de 4,8 nV / \sqrt{Hz}.</p>	

Tabla 2.9: Características generales del OPA657 de Texas Instruments

Característica	Valor
ancho de banda	Ancho de banda: 3.8 GHz 700 MHz (G = +2) to -3dB 550 MHz (G = +10) to -3dB
Ganancia Lazo abierto	70 dB
IE y CE	1000 G Ω y 2.5 pF
Corriente máxima Salida	70 mA
Descripción	
<p>El AD8099 es un amplificador operacional de muy bajo ruido (0,95 nV / \sqrt{Hz}), con una distorsión armónica (-92 DBc a 10 MHz) ideal para sistemas de 16 y 18 bits; posee una etapa de entrada muy lineal y de bajo nivel de ruido que permite un buen incremento del ancho de banda con un slew rate de 1350 V / us. Dispone de compensación externa, que permite al usuario configurar la ganancia en ancho de banda de 2 a 10, con un mínimo ajuste, se puede conectar a cargas de 100 Ω entregando niveles de corriente de 15 mA.</p>	

Tabla 2.10: Características generales del AD8099 de Analog Devices

Característica	Valor
Resolución	16 bits
Muestras por Segundo	135MSPS
Voltaje de Entrada	3.1 V modo común 3 V p-p modo diferencial
Alimentación	5 y 3.3 voltios
IE y CE	1 K Ω y 3.5 pF
Descripción	
<p>El ADS5482 es un convertor analógico a digital de 16 bits que puede utilizar una fuente de alimentación de 5 y 3,3 V. Posee salidas digitales compatibles con DDR (Double Data Rate) LVDS (low-voltage differential signaling). Siendo los pines de salida digital 16, y entregando primero los bits pares y luego los impares en cada conversión</p>	

Tabla 2.11: Características generales del ADS5482 de Texas Instruments

Característica	Valor
Elementos Lógicos	34500
Memoria	5.7 Mbytes
Bloques PDS	192 multiplicadores De 18x18
Escala de Integración	90 nm
Descripción	
La FPGA XC4VSX35 pertenece a la familia Virtex IV de Xilinx, con capacidad de configurar sus entradas y salidas con tecnología DDR (Double Data Rate) y LVDS (low-voltage differential signaling); adecuada para manejar CAD y CDA de 16 bits de alta velocidad. Mediante una serie de IP Cores asociados a esta familia se puede realizar diferentes aplicaciones complejas.	

Tabla 2.12: Características generales de la FPGA XC4VSX35 de Xilinx

2.4. Arquitectura de referencia 4.

En [4] se presenta el desarrollo de un sistema de espectroscopia de impedancia biológica utilizando una técnica de bloqueo digital mejorada, consistente en inyectar una corriente sinusoidal a una carga, muestrear el voltaje en dicha carga y multiplicar, en una FPGA, la secuencia de valores resultantes por dos señales sinusoidales, una con desfase de cero y la otra con desfase de noventa grados con respecto a la señal de corriente inyectada a la carga; esto con el fin de medir la presencia de señales pequeñas sumergidas en grandes cantidades de ruido.

El hardware del sistema (figura (2.6)) se compone principalmente de una fuente de corriente, un detector de voltaje, un generador de reloj, y una FPGA. La fuente de corriente está conformada por un convertor digital a analógico, un filtro antialiasing y un convertor de voltaje a corriente (figura (2.7)).

El detector de voltaje está construido a partir dos señales manejadas por amplificadores operacionales basados en transistores de efecto de campo, un amplificador de ganancia programable diferencial y un convertor analógico digital (figura (2.8)).

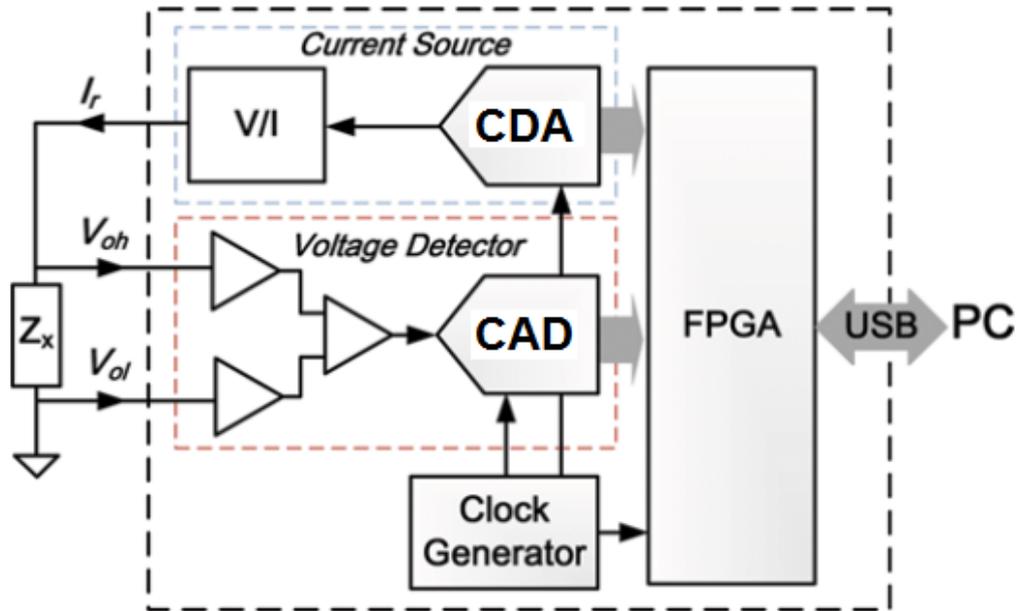


Figura 2.6: Arquitectura de referencia 4. Tomado de [4]

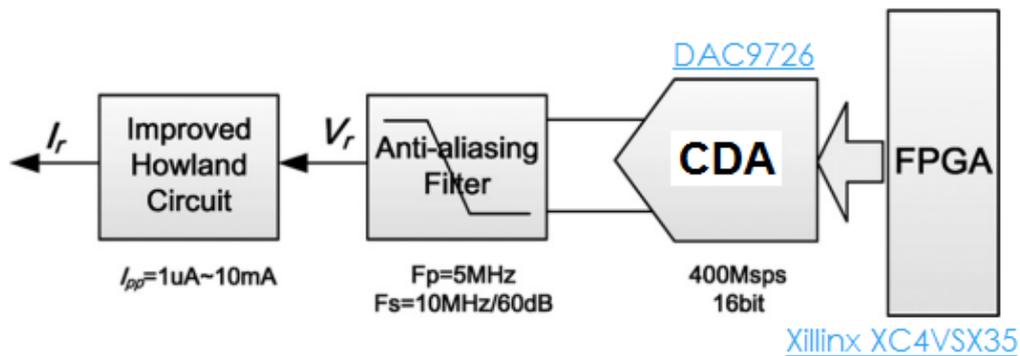


Figura 2.7: Fuente de voltaje propuesta para la arquitectura de referencia 4. Tomado de [4]

Los algoritmos de detección de fase digital, incluyendo la síntesis digital directa, multiplicadores digitales y los filtros digitales se llevaron a cabo en la FPGA. Los resultados de este trabajo muestran que la espectroscopía propuesta tiene buen funcionamiento desde baja frecuencia hasta los 5 MHz con 1 % de error en amplitud.

Los componentes que se explicitan en este trabajo son los siguientes:

- Conversor digital a analógico DAC9726 (er tabla 2.7)

- Amplificador operacional OPA657 (ver tabla 2.9)
- Conversor analógico a digital ADS5482 (ver tabla 2.11)
- FPGA Xilinx XC4VSX35 (ver tabla 2.12)

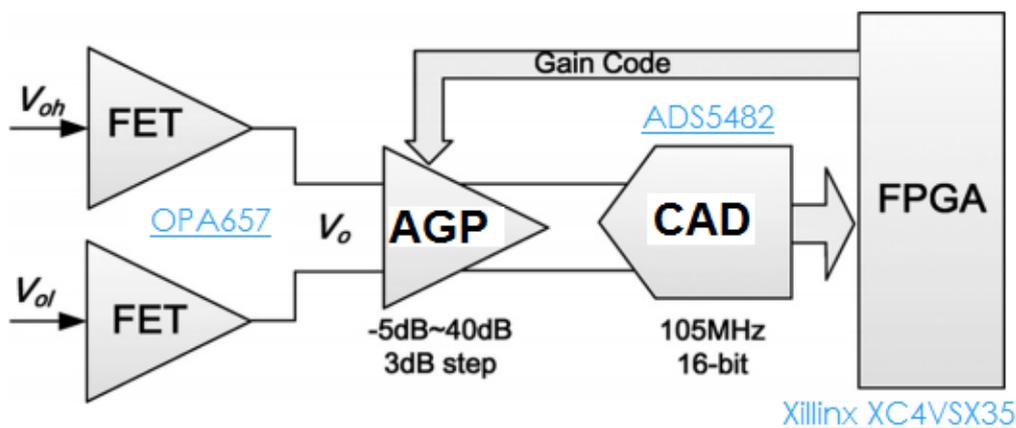


Figura 2.8: Detector de voltaje propuesto para la arquitectura de referencia 4. Tomado de [4]

2.5. Arquitectura de referencia 5.

En [5] con el fin de desarrollar un sistema de tomografía por impedancia eléctrica actualizable, se utilizaron módulos software y hardware de National Instruments conectados a una sonda de múltiples electrodos mediante una interfaz analógica a la medida. Estos módulos son compatibles entre sí a través de generaciones de hardware y distintas revisiones de software.

El hardware de NI utilizado incluye un chasis PXI, una FPGA para la adquisición de señales determinísticas y caracterización espectral, módulos hardware para temporización y sincronización, un convertor CAD para lectura de señales analógicas, un convertor CDA para generación de señales mediante la técnica SDD y una interfaz analógica que puede ser utilizada para aplicar señales de voltaje o corriente mediante un convertor de voltaje a corriente modificado tipo Howland; la arquitectura propuesta en este trabajo se aprecia en la figura (2.9)

Los componentes que se explicitan en este trabajo son los siguientes:

- Módulo NI 5751 AD9252 (ver tabla 2.14)

- Amplificador operacional OPA653 (ver tabla 2.6)
- NI FlexRIO 7952R FPGA Virtex-5 LX50 (ver tabla 2.13)
- Amplificador de ganancia programable THS7002 (ver tabla 2.12)
- Módulo NI 5406 (Conversor CDA) (ver tabla 2.16)

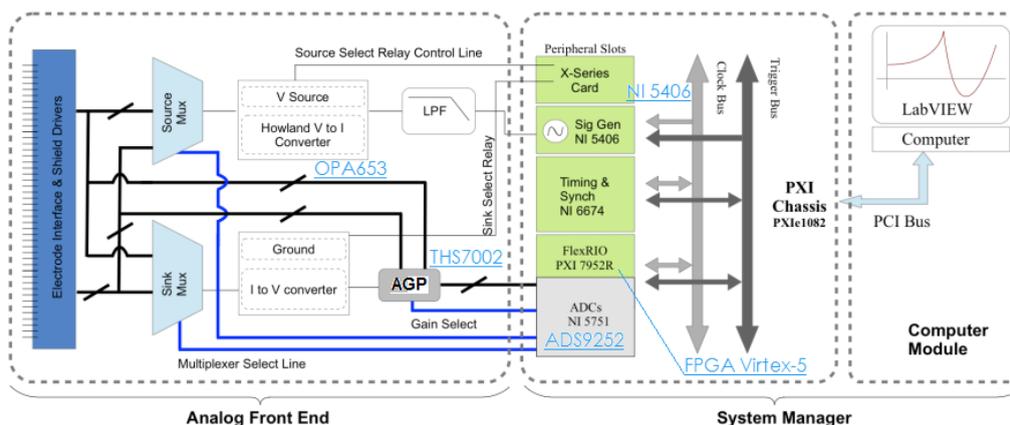


Figura 2.9: Arquitectura de referencia 5. Tomado de [5]

Característica	Valor
Elementos Lógicos	7200
Memoria	1.7 Mbytes
Bloques PDS	48 multiplicadores De 18x18
Escala de Integración	65 nm
Descripción	
El módulo NI FlexRIO 7952R está conformado por una FPGA Xilinx Virtex-5 LX50 con tecnología de 65 nm.	

Tabla 2.13: Características generales de la FPGA Virtex-5 LX50 de Xilinx

Característica	Valor
Resolución	14 bits
Muestras por Segundo	50MSPS
Voltaje de Entrada	VDD/2 V modo común 2 V pp modo diferencial
Alimentación	1.8 voltios
CE	7 pF
Descripción	
El Módulo NI 5751, está compuesto por el AD9252, el cual contiene ocho CADs de 14 bits. Las entradas analógicas se pueden utilizar en modo común y diferencial. El resultado de la conversión se entrega serialmente mediante puertos LVDS	

Tabla 2.14: Características generales del AD9252 de Analog Devices

Característica	Valor
ancho de banda	70 MHz
Ganancia Máxima y Mínima	-22 dB a 20 dB en pasos de 6 dB
Alimentación	4.5V a 16V
IE y CE	1 M Ω , 1.5 pF
IS	13 Ω , En lazo abierto
Descripción	
El THS7002 es un amplificador de ganancia programable de alta velocidad, ideal cuando la impedancia de carga varía. Cada canal en este dispositivo consta de un preamplificador de bajo ruido de entrada independiente y un amplificador de ganancia programable (AGP). El preamplificador es un amplificador de voltaje que posee un ruido de voltaje bajo de 1,7-nV / \sqrt{Hz} a 100 MHz (-3 dB).	

Tabla 2.15: Características generales del AGP THS7002 de Texas Instruments

Característica	Valor
Resolución	16 bits
Muestras por Segundo	400MSPS
Salida	+/- 10 V p-p Máximo
Alimentación	12 V
Frec. Máxima Salida	40 MHz sinusoidal
Descripción	
El PX-5406 de National Instruments es un generador de función arbitraria (AFG) que se conecta a la PC mediante un Bus PXI Híbrido. Genera señales sinusoidales, cuadradas, triangulares, de rampa, de ruido y DC mediante síntesis digital directa (SDD)	

Tabla 2.16: Características generales del módulo NI-5406 de National Instruments

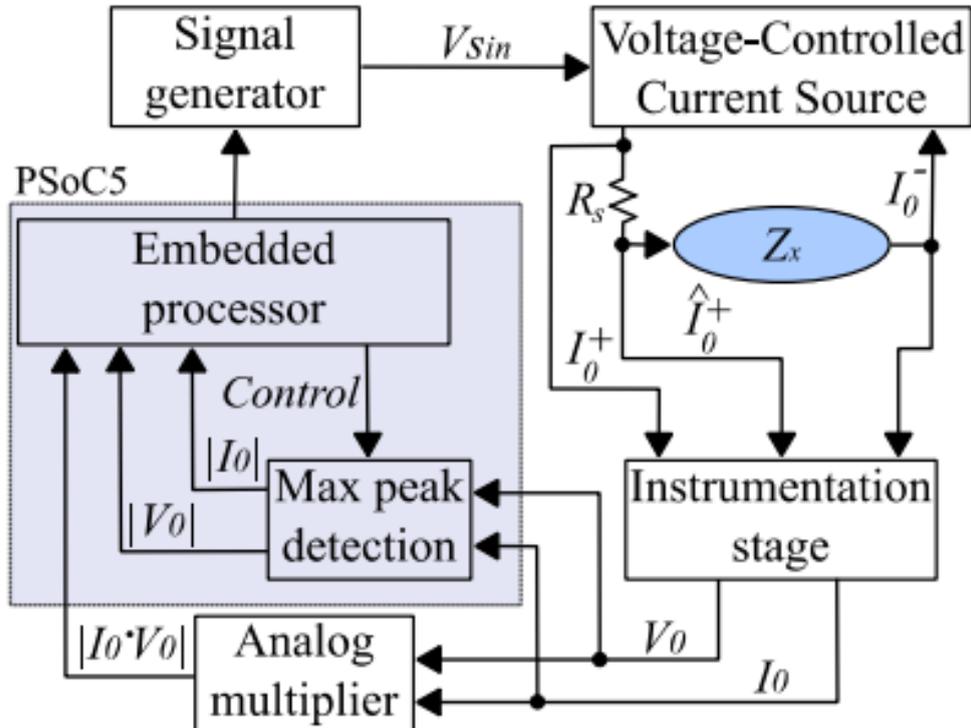


Figura 2.10: Arquitectura de referencia 6. Tomado de [6]

2.6. Arquitectura de referencia 6.

El sistema implementado en [6], utiliza un generador de señal, una fuente de corriente mejorada de Howland, una etapa de instrumentación conformada por amplificadores operacionales de alta impedancia de entrada, un multiplicador analógico, y un circuito de señal mixta (PSoC5), ver figura (2.10).

El PSoC5 se utiliza para controlar el generador de señales y para implementar el detector de pico máximo, el cual está diseñado utilizando un convertor analógico a digital y un comparador de voltaje embebidos en la PSoC. El generador de señales utiliza síntesis digital directa (SDD) para crear la señal que se inyecta directamente a la fuente de corriente mejorada de Howland. Los autores de este trabajo afirman que el ancho de banda del sistema puede alcanzar más de 1 MHz, aunque las pruebas que realizaron solo utilizaron señales de hasta 100 kHz. No se especifican los componentes utilizados a excepción de la PSoC de la cual se hablará en una sección posterior.

2.7. Conclusión acerca de las arquitecturas de referencia.

Se puede plantear una topología general de fuente de señales digital para estudios de bioimpedancia como se aprecia en la figura (2.11).

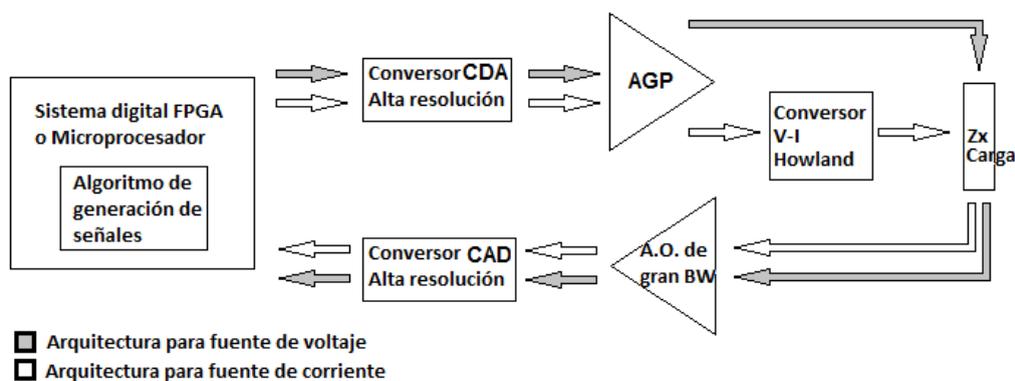


Figura 2.11: Arquitectura Hardware que más se ajusta a las planteadas en el estado del arte. Fuente propia.

Como elemento común en las propuestas estudiadas se destaca la generación de las señales mediante el método de síntesis digital directa utilizando principalmente el algoritmo CORDIC

embebido en una FPGA o en un microprocesador, junto con un conversor digital analógico de alta resolución que traduce las señales digitales provenientes del algoritmo SDD en señales analógicas, cuya amplitud se controla mediante una AGP. En algunas propuestas se inyecta directamente una señal de voltaje a la carga controlando el flujo de corriente, mientras que otras lo hacen mediante el conversor de voltaje a corriente de Howland. En la carga se pueden medir diferentes señales con el fin de estimar la cantidad de corriente que está siendo aplicada, siendo común en todos los trabajos el uso de amplificadores operacionales de gran ancho de banda y altísima impedancia de entrada y alta ganancia en lazo abierto, tanto para la inyección de las señales, como para su lectura; por último la FPGA o microprocesador recibe de un CAD de alta resolución el valor digital de la señal que está inyectando la fuente.

En la tabla 2.17 se muestra un listado de elementos sin referencia específica cuyos valores en sus características generales corresponden a los valores más bajos encontrados en elementos del mismo tipo en el estado del arte; esto con el fin de tener un referente de las particularidades mínimas que se deben tener en cuenta para realizar un diseño que alcance el nivel de resultados logrados en los trabajos revisados.

CDA	Resolución	14 bits
	Muestras por Segundo	400MSPS
	Salida en voltaje o en corriente	+/- 10 V p-p Máximo I. Diferencial 20 mA máximo
	Frec. Máxima Salida	40 MHz
Amplificador Operacional	ancho de banda	200 MHz
	Ganancia Lazo abierto	60 dB
	IE, CE, IS, CS	3 M Ω , 1 pF, 45 Ω y 1 pF
	Corriente máxima Salida	30 mA
AGP	ancho de banda	600 MHz
	Ganancia Máx. y Mín.	de -3 dB a 45dB
	Alimentación	5V
	IE, CE, IS, CS	200 Ω , 1 pF, 200 Ω , 1 pF
CAD	Resolución	14 bits
	Muestras por Segundo	50MSPS
	Voltaje de Entrada	3.1 V modo común 3 V pp modo diferencial
	Alimentación	5 y 3.3 voltios
FPGA	Elementos Lógicos	7200
	Memoria	1.7 Mbytes
	Bloques PDS	48 multiplicadores De 18x18
	Escala de Integración	65 nm
Comparador Analógico	tiempo de Respuesta	4 nS
	Frec. máxima de Trabajo	100 MHz
	Ganancia con RC = 10K Ω	69.5 dB

Tabla 2.17: Características mínimas de los elementos encontrados en las arquitecturas del estado del arte consultado.

Capítulo 3

Tecnologías para máxima integración.

Con el fin de lograr la máxima integración en la plataforma hardware propuesta como fuente de señales para estudios de bioimpedancia en el presente trabajo de maestría y evitar los múltiples inconvenientes técnicos que se pueden presentar al unir en un solo sistema varios elementos discretos, se han explorado una serie de tecnologías que permiten lograr este fin siguiendo algunos criterios de selección que se consideran fundamentales en el presente trabajo como son:

- Lograr corrientes constantes en una carga resistivo capacitiva de hasta 10 mili amperios.
- Las frecuencias de las señales inyectadas a la carga deben alcanzar el umbral de 125 kHz.
- Utilizar conversores CAD y CDA con una resolución de 12 bits o superior como se sugiere en [21]. En la figura (3.1) se presenta la distorsión armónica total (THD) de una señal sinusoidal generada con CDAs de 8, 10, 12 y 16 bits de resolución, en función del número de muestras por periodo.
- La frecuencia de muestreo para la lectura de señales debe ser al menos el doble de la frecuencia de la señal a medir.
- La impedancia de entrada de los amplificadores debe ser alta al igual que su ancho de banda.
- El sistema digital a utilizar podrá generar simultáneamente las señales y correr el algoritmo de control en tiempo discreto que permita optimizar respecto al estado del arte la fuente de señales para estudios de bioimpedancia diseñada.

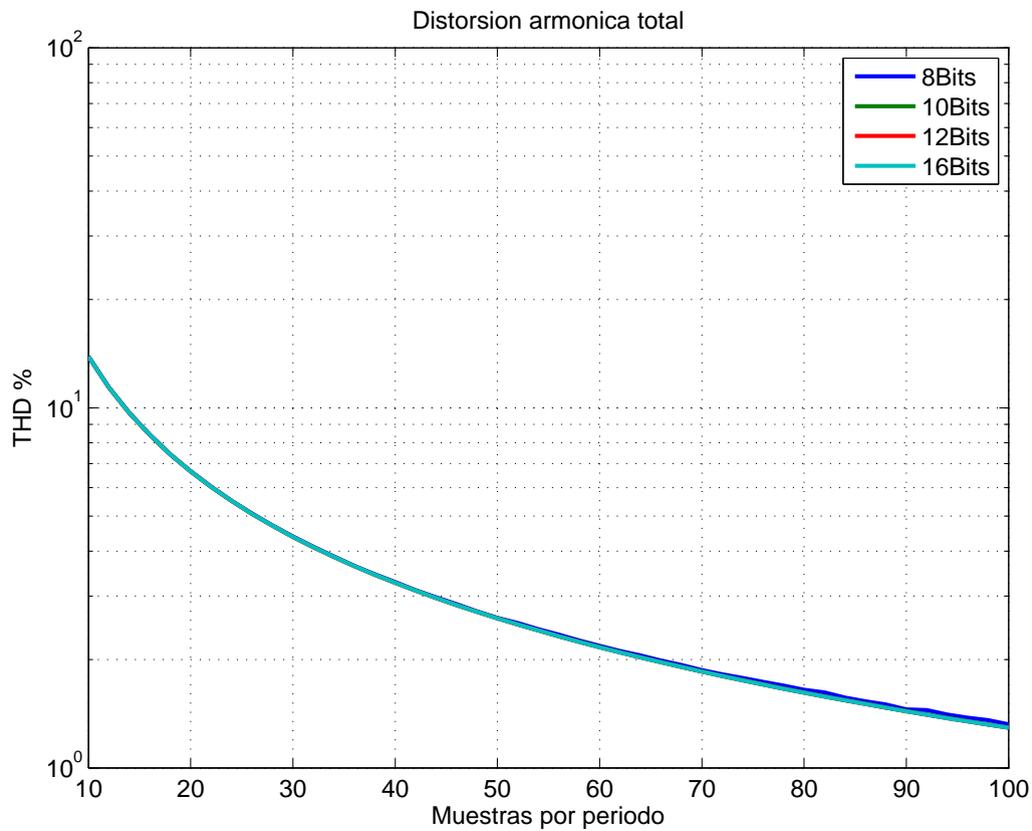


Figura 3.1: Cálculo de la distorsión armónica total de una señal sinusoidal de tiempo continuo generada por un computador digital con un conversor CDA de B bits con mantenedor de orden cero y generación N puntos por periodo.

Se encontraron en el mercado cuatro opciones tecnológicas híbridas o analógicas puras que pueden permitir el nivel de integración que se busca, ellas son:

- Tecnología PSoC5 de la empresa Cypress Semiconductor.
- Tecnología de Arreglo Analógico Programable en Campo (FPAA) por sus siglas en inglés.
- Microcontroladores de señal mixta de la empresa Texas Instruments.
- Placas de desarrollo de diferentes fabricantes.

3.1. Tecnología PSoC5.

Los dispositivos PSoC de la empresa Cypress integran periféricos analógicos y digitales configurables, junto con memoria y un microcontrolador en un solo chip, lo que los hace muy atractivos para aplicaciones de electrónica híbrida de alta integración. La última generación de estos dispositivos son los PSoC 5LP, los cuales superan o mantienen las características de los modelos anteriores en cuanto a rendimiento, calidad y funcionamiento a baja potencia.

Cuando en este documento se haga referencia a una PSoC 5LP, se hará referencia a la familia CY8C58LP la cual es la que mejores prestaciones posee; se pueden listar algunas de sus características más relevantes como son:

- Microcontrolador ARM Cortex-M3 de 32 bits con velocidad de hasta 80MHz y CPU de 1.25 DMIPS/MHz y acceso directo a memoria DMA.
- Rango de operación de voltaje 1.71v a 5.5v.
- Periféricos digitales y analógicos programables con enrutamiento flexible de cualquier función periférica analógica o digital a cualquier pin.
- 256 KB de memoria de programa.
- 64 KB de memoria RAM.
- Integra un máximo de 100 funciones analógicas y digitales.

Los periféricos analógicos con los que cuenta la PSoC 5LP son los siguientes:

- Un CAD delta sigma, configurable de 8 a 20 bits
- Dos CAD tipo SAR de 12 bits.
- Cuatro CDA de 8 bits.
- Cuatro comparadores analógicos
- Cuatro amplificadores operacionales
- Cuatro bloques de condensador conmutado de tiempo continuo (SC/CT) para crear amplificadores de ganancia programable (AGP), amplificador de transimpedancia (ATI), mezcladores, circuitos de muestreo y retención.

A continuación se hará una revisión de las características de cada uno de los periféricos analógicos listados con el fin de determinar si cumplen con los criterios de selección considerados fundamentales en el presente trabajo.

3.1.1. CAD delta sigma de la PSoc 5LP.

La PSoC 5LP posee un CAD delta sigma que cuenta con una entrada de tipo diferencial, de alta resolución y una buena linealidad; su tasa de muestreo nominal es de 48 ksps con resolución de 16 bits. La tabla 3.1 muestra las tasas de muestreo máximas para una resolución determinada, junto con la relación señal a ruido y distorsión.

Bits	Máxima tasa de muestreo (sps)	Relación señal a ruido (dB)
20	187	-
16	48 k	84
12	192 k	66
8	384 k	43

Tabla 3.1: Rendimiento del CAD delta-sigma. Tomado de las hojas de datos de la familia Cy8c58lp de Cypress Semiconductor

Como muestra la tabla 3.1 el CAD delta sigma alcanza una tasa de muestreo de 384 kHz a una resolución de 8 bits, siendo una tasa de muestreo baja para alcanzar valores de distorsión armónica cercanos al 1% que se sugiere en [22].

3.1.2. CAD tipo SAR de 12 bits.

La PSoC 5LP posee dos CAD de aproximaciones sucesivas. Estos CAD poseen entradas que pueden ser configuradas bien sea como simples o en modo diferencial, con una resolución de 12 bits y alcanzan una tasa de muestreo de hasta 1 Msps, lo cual los hace aptos para los objetivos de este proyecto ya que según el teorema de Nyquist su tasa de muestreo permitirá observar señales de máximo 500 kHz y cumplen con el requerimiento de poseer 12 bits o más de resolución.

3.1.3. CDA de 8 bits.

Una PSoC 5LP cuenta con 4 CDA de 8 bits, los cuales se pueden configurar para entregar una salida en voltaje o corriente en modo fuente o sumidero. Cuando la salida es en corriente, la tasa de conversión puede alcanzar los 8 Msps, con rangos de corriente de:

- 0 a 31.875 μ A,
- 0 a 255 μ A
- 0 a 2.04 mA.

Cuando se usa el CDA con salida de voltaje, la tasa de conversión es de 1 Msps, con rangos de voltaje de:

- 0 to 1.02 V.
- 0 to 4.08 V.

Utilizando una resolución de 8 bits en modo CDA de corriente, para una frecuencia de muestreo de 8 Msps, se pueden lograr 64 muestras por periodo para la frecuencia máxima a generar por la fuente de 125 kHz, lo que da una distorsión armónica total cercana al 2%, ver figura (3.1), lo que se aproxima bastante al cumplimiento del criterio de selección para un CDA planteado en este proyecto de una distorsión armónica mínima de 1%; de la misma figura se concluye que para valores inferiores a 100 muestras por periodo, la resolución del conversor no es un factor determinante en el valor de la distorsión armónica. Se puede aumentar la resolución del CDA mediante varias técnicas mostradas en la tabla 3.2, con tasa de muestreo máxima de 4 Msps y resolución de 11 bits, lo cual produce una distorsión armónica de 4%.

3.1.4. Comparadores analógicos.

La PSoC 5LP posee cuatro comparadores analógicos, con una sensibilidad de menos de 5 mV. Estos comparadores tienen las siguientes opciones de configuración:

- Modo histéresis. Permite manejar un umbral de voltaje de 10 mV entre las entradas del comparador, con el fin de evitar que la salida del comparador oscile debido a ruido de voltaje en la entrada.

Tipo de CDA	Resolución	Velocidad
Método de los DACs en paralelo (PIDAC)	9	4 Msps
	10	4 Msps
	11	4 Msps
Método de salida con saturación (DVDAC)	9	1.13 Msps
	10	190 ksps
	11	36 ksps
	12	7 ksps
CDA de corriente modulado (MIDAC)	9	4 Msps
	10	2.3 Msps
	11	430 ksps
CAD Feedback	12+	100 sps

Tabla 3.2: Métodos para dar más resolución a CDAs de 8 bits en la PSoC 5LP [9]

- Configuración de velocidad. Esta opción permite al usuario cambiar la velocidad del comparador para optimizar el uso de la energía. Las opciones de velocidad son:
 - Alta corriente, con tiempo de respuesta típico de 75 nano segundos.
 - Baja corriente, con tiempo de respuesta típico de 155 nano segundos.
 - Ultra baja corriente, con tiempo de respuesta típico de 55 micro segundos.
- Modo de inversión de polaridad. En el cual se incluye un negador a la salida del comparador, utilizando uno de los bloque digitales de la PSoC.
- Modo bajo consumo de energía. Esta opción mantendrá el comparador activo cuando el PSOC esté en modo de suspensión.
- Modo sincronización. Esto permite sincronizar la salida del comparador con un reloj interno de la PSoC; cuando se selecciona esta opción, la salida del comparador sólo cambiará en el flanco ascendente de un pulso de reloj.

Por sus características de tiempo de respuesta en modo de baja y alta corriente, estos comparadores son aptos para utilizar en el presente proyecto.

3.1.5. Amplificadores operacionales

La PSoC 5LP tiene cuatro amplificadores operacionales independientes que se pueden configurar como amplificadores o seguidores de voltaje. Estos amplificadores operacionales se pueden utilizar para amplificar señales que provengan dentro o fuera de la PSoC. Para optimizar el uso de la energía se pueden cambiar sus modos de uso pero a expensas del ancho de banda del amplificador, como se puede ver en la tabla 3.3. La salida máxima de corriente de estos amplificadores es de 25 mA, con 500 mV de voltaje de salida.

Por las características de ancho de banda mostradas en la tabla 3.3 es factible utilizar los amplificadores operacionales de la PSoC 5LP en este proyecto.

Descripción	Condiciones	Min	Unidad
Ancho de banda	Consumo energía mínimo, 15 pF de carga.	1	MHz
	Consumo energía bajo, 15 pF de carga.	2	MHz
	Consumo energía medio, 200 pF de carga.	1	MHz
	Consumo energía alto, 200 pF de carga.	3	MHz
Slew rate, 20 % - 80 %	Consumo energía mínimo, 15 pF de carga.	1.1	V/ μ s
	Consumo energía bajo, 15 pF de carga.	1.1	V/ μ s
	Consumo energía medio, 200 pF de carga.	0.9	V/ μ s
	Consumo energía alto, 200 pF de carga.	3	V/ μ s
Densidad del ruido de entrada	Consumo energía alto, Vdda = 5 V, a 100 kHz	45 típico	nV/ \sqrt{Hz}

Tabla 3.3: Características en corriente alterna de los amplificadores operacionales de la PSoC 5LP. Tomado de las hojas de datos de la familia Cy8c58lp de Cypress Semiconductor

3.1.6. Bloques de condensador conmutado / tiempo continuo (SC/CT)

Cada uno de los bloques SC/CT consta de un único amplificador de gran ancho de banda conectado a una serie de condensadores conmutados, los cuales mueven su carga mediante la apertura y cierre de diferentes interruptores creando distintas funciones analógicas (modo condensador conmutado). Este único amplificador también se puede conectar a una matriz de resistencias, lo que permite la construcción de una variedad de funciones de tiempo continuo (modo continuo). Las funciones analógicas que se pueden crear son:

- Amplificador operacional individual (modo continuo), el cual puede conectar sus entradas y salidas tanto a señales internas como externas, con un ancho de banda de hasta 6 MHz para ganancia unitaria y una corriente de salida de 650 μ A.
- Seguidor de voltaje (modo continuo), el cual es un amplificador operacional individual con su salida conectada a la entrada inversora; posee un ancho de banda de -3 dB por encima de los 6 MHz.
- Amplificador de ganancia programable AGP (modo continuo), el cual puede amplificar señales internas o externas en modo inversor y no inversor. La ganancia se puede ajustar modificando dos resistencias internas, pero esto va en detrimento del ancho de banda como lo muestra la tabla 3.4.
- Amplificador de transimpedancia (modo continuo), el cual es un convertidor de corriente a voltaje, con una resistencia de realimentación seleccionable entre 20K Ω y 1M Ω a través de un registro de configuración.
- Mezclador (modo continuo).
- Mezclador de muestreo y retención (modo condensador conmutado).
- Modulador analógico a digital de primer orden (modo condensador conmutado).

Ganancia	Ancho de banda
1	6.0 MHz
24	340 kHz
48	220 kHz
50	215 kHz

Tabla 3.4: Ancho de banda vs ganancia para el AGP. Tomado de las hojas de datos de la familia Cy8c58lp de Cypress Semiconductor

3.1.7. Microcontrolador

El procesador de la PSoC 5LP posee 1.25 millones de instrucciones Drystone (DMIPS/MHz) y corre a 80 MHz, lo que da la capacidad de ejecutar 100 millones de instrucciones dhrystone por segundo, una instrucción cada 0.01 μ s. Si la generación de las muestras para un convertidor CDA, se realiza mediante la lectura secuencial de una tabla y su consecuente envío a un puerto

paralelo, esto requiere 4 ciclos de reloj o sea $0.05 \mu s$ (ver DMA Timing Diagram en las hojas de datos de la familia Cy8c58lp de Cypress Semiconductor), para generar una señal sinusoidal de 125 kHz a 50 muestras por periodo, se requeriría realizar este proceso cada $0.16 \mu s$. Si se toma el tiempo de $0.16 \mu s$ como el periodo de una actividad crítica, se tendría que el porcentaje de ocupación del procesador es del 32 %, lo que da un margen del 68 % para embeber el código del controlador que se pretende implementar, siendo factible el uso del procesador para este fin.

3.1.8. Resumen características PSoC 5LP

En la tabla 3.5 se resume el listado de los elementos analógicos o híbridos que posee la PSoC 5LP, que cumplen o no con las exigencias planteadas para el diseño de la fuente que persigue el presente proyecto.

módulo	cumple	no cumple
CAD delta sigma	—	X
CAD de aproximaciones sucesivas	X	—
CDA	—	X
Comparadores analógicos	X	—
Amplificadores operacionales	X	—
AGP	X	—
Amplificador de transimpedancia	X	—

Tabla 3.5: Módulos PSoC 5LP factibles de utilizar en este proyecto.

3.2. Tecnología FPAA.

Los Arreglos analógicos programables FPAA son dispositivos similares a las FPGAs, pero para el ámbito analógico. Este tipo de dispositivo puede ser configurado para implementar una variedad de funciones analógicas; poseen un arreglo de bloques analógicos configurables (CAB), una matriz de interconexión programable y registros para almacenar la configuración de la FPAA [10]. En la figura 3.2 se puede apreciar la arquitectura general de una FPAA.

Cada uno de los CABs se puede configurar e interconectar con otros mediante un entorno de programación gráfico y la escogencia de una librería predefinida que especifica su comporta-

miento; algunos fabricantes ofrecen herramientas que permiten la simulación para hacer los ajustes del caso al diseño y descargar la configuración al chip desde un computador a través de un puerto serial.

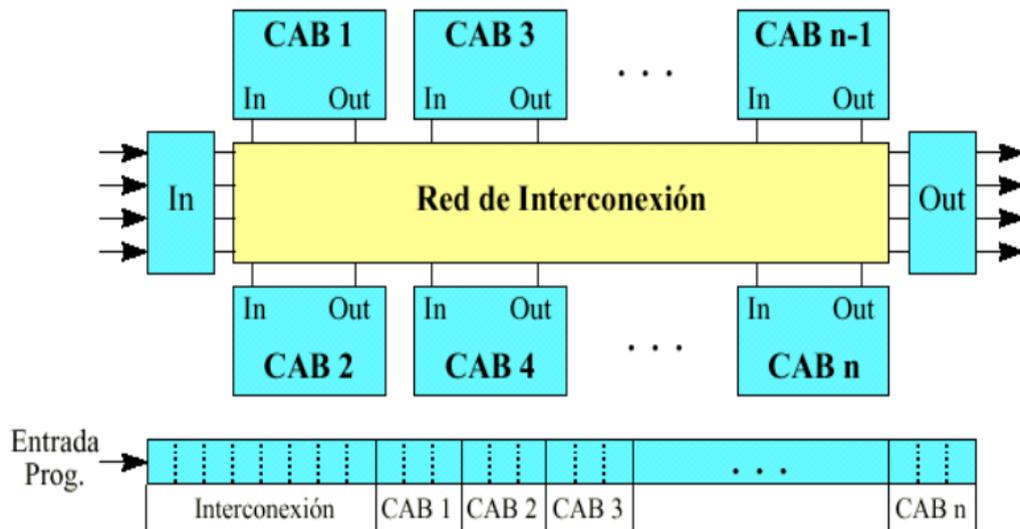


Figura 3.2: Diagrama en bloques de una FPAA. Tomado de [7]

Una vez se ha verificado la funcionalidad del diseño se puede generar un archivo de programación que se almacena en una memoria EPROM, la cual descarga la configuración en la FPAA cuando se conecta la alimentación, igual que en una FPGA [7].

En la actualidad, existen dos tipos de tecnologías de fabricación de dispositivos programables analógicos FPAA, a saber:

- *Tecnología de condensadores conmutados*: Son sistemas muestreados que modelan resistencias mediante un condensador y dos interruptores, donde un interruptor maneja la fase de carga y el otro la fase de descarga como se ve en la figura 3.3. La resistencia equivalente está dada por la ecuación (3.1) donde f_s es la frecuencia de muestreo, conformada por la fase de carga y descarga con tiempos iguales.
- *Tecnología bipolar y ultraMOS de tiempo continuo*: Integran en el dispositivo amplificadores de transconductancia, amplificadores de instrumentación, sumadores, u otros elementos básicos que combinados permiten la implementación de funciones analógicas más complejas.

$$\frac{V}{I} = R = \frac{1}{f_s \cdot C} \quad (3.1)$$

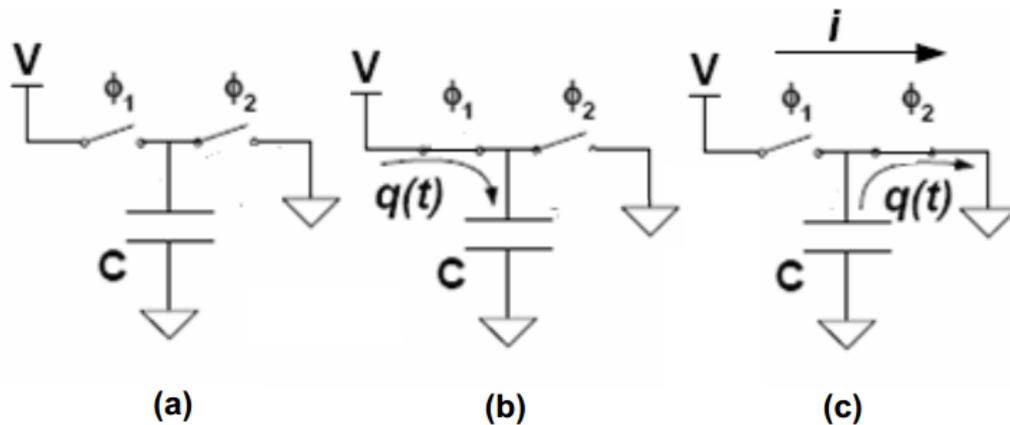


Figura 3.3: (a) Condensador conmutado, (b) Fase de carga, (c) Fase de descarga. Tomado de [8]

La tabla 3.6 muestra un resumen de los dispositivos y fabricantes que hay actualmente en el mercado y el ancho de banda que manejan.

La empresa Anadigm fabrica dos tipos de chips los cuales llaman FPAA y procesadores de señal analógica programables dinámicamente (dpASP) por sus siglas en inglés, cuya diferencia fundamental está en que los segundos se pueden reconfigurar en tiempo de ejecución. Al utilizar la tecnología de condensadores conmutados, estos dispositivos requieren de una señal de reloj, por lo que están limitados en frecuencia a $F_{reloj}/2$ (frecuencia de Nyquist); cuentan con buena estabilidad y un gran rango de configuración [7], aunque debido a la naturaleza muestreada del sistema, sus salidas no están libres de ruido y se debe tener cuidado en limitar el ancho de banda de las señales de entrada para evitar la ocurrencia de *aliasing* [10].

Los dispositivos de tiempo continuo se caracterizan por poseer un menor rango de configuración, pero un mayor ancho de banda debido a que no son sistemas muestreados [7].

Algunas FPAAs cuentan con conversores analógico a digital pero con resoluciones de 8 bits y solo algunos chips de la familia isPAC de Lattice incluyen sistemas digitales internos como dispositivos lógicos programables, con el fin de incluir alguna lógica de control a los circuitos analógicos implementados.

Comparando las FPAAs con la tecnología PSoC para los fines que persigue el presente proyecto, se puede concluir que están a la par en cuanto a prestaciones y ancho de banda, aunque en términos generales, los circuitos PSoC ofrecen una mejor relación costo/beneficio para la implementación de aplicaciones embebidas, porque incluyen circuitos analógicos y digitales [23].

Fabricante/tecnología	Modelo	Ancho de banda
Lattice / UltraMOS tiempo continuo	ispPAC10	550 kHz (G=1)
	ispPAC20	330 kHz (G=100)
	ispPAC30	1.5 MHz
	ispPAC80	500 kHz
	ispPAC81	75 kHz
	ispPAC POWR1208	-
Zetex / Bipolar tiempo continuo	TRAC 20	4 MHz
	TRAC 20 LH	12 MHz
Anadigm / Condensadores conmutados	FPAA AN120E04	2 MHz
	FPAA AN121E04	2 MHz
	FPAA AN131E04	2 MHz
	dpASP AN220E04	2 MHz
	dpASP AN221E04	2 MHz
	dpASP AN231E04	2 MHz

Tabla 3.6: FPAAAs comerciales [10].

3.3. Microcontroladores de señal mixta de Texas Instruments.

La empresa Texas Instruments posee los microcontroladores MSP430XXXX a los que denomina microcontroladores de señal mixta, los cuales combinan una serie de módulos analógicos y digitales en un solo chip para facilitar soluciones especiales. En la actualidad cuenta con nuevas familias como la MSP430FR6x y la MSP-430FR5x, las cuales poseen un alto nivel de integración analógica, con ultra bajo consumo de energía, utilizando memoria de acceso aleatorio ferro eléctrica (FRAM) por sus siglas en inglés.

Estos microcontroladores según su referencia particular pueden contener internamente, conversores analógico a digital, conversores digital a analógico, comparadores analógicos y amplificadores operacionales, junto a un procesador de 16 bits y frecuencias de reloj de hasta 25 MHz, siendo de mejores prestaciones la familia MSP430x6xx, de la cual existen en la actualidad varias decenas de dispositivos diferentes.

La tabla 3.7 muestra 4 dispositivos que incluyen en un solo chip todas la funcionalidades analógicas que se podrían necesitar en este proyecto .

Procesador	Memoria no volátil/RAM (KBytes)	Freq. (MHz)	Algunas características.
MSP430FG6425	64/10	20	CAD sigma delta 16 bits (10 canales), Amplificador operacional, CDA (12 bits), pantalla de cristal líquido, reloj en tiempo real, sensor de temperatura, comparadores (12 canales), circuito de Brown Out
MSP430FG6426	128/10		
MSP430FG6625	64/10 (USB)		
MSP430FG6626	128/10 (USB)		

Tabla 3.7: Microcontroladores de la familia MSP430F5x/6x de Texas Instruments, que incluyen los módulos analógicos requeridos para el presente proyecto.

Siendo el microcontrolador MSP430FG6626 el que mejores prestaciones posee, se puede utilizar como referente de las capacidades que la tecnología de señal mixta de Texas Instruments puede ofrecer a los propósitos de este proyecto. Algunas características relevantes son:

- Procesador de 16 bits, de arquitectura CSIR y frecuencia de reloj de 20 MHz, 6 canales internos de acceso directo a memoria, ultra bajo consumo de energía y alimentación entre 1.8 a 3.6 voltios.
- Conversor analógico a digital delta sigma de 16 bits, con 14 canales de entrada.
- Dos amplificadores operacionales de bajo consumo, con ganancia en lazo abierto de 95 dB y ancho de banda de 800 kHz.
- Conversor digital a analógico de 12 bits, con voltaje de alimentación (AVcc) entre 2.2V y 3.6V, dos canales de salida con voltaje (Vo) entre AVcc y AVcc-0.5 y 25 ksps como frecuencia de muestreo promedio a full escala..
- Comparadores de voltaje, con tiempo de respuesta mínimo de 450 ns.
- Switches analógicos con tiempo de respuesta de 0.25 us.

Por lo descrito anteriormente, se puede observar que los dispositivos de señal mixta de Texas Instruments son una buena opción para la solución de problemas que impliquen el uso de electrónica híbrida, ya que en un solo chip agrupan varios componentes útiles para muchas aplicaciones analógicas. Para el caso puntual de este proyecto, el conversor digital a analógico

de 12 bits resulta insuficiente en la frecuencia de muestreo, ya que máximo puede alcanzar las 67 ksps cuando la resolución es máxima, valor muy por debajo de la frecuencia de muestreo que se requiere para la medición de bioimpedancia propuesta en la sección 2.2.1.

3.4. Tarjetas de desarrollo de diferentes fabricantes.

Una opción alternativa a las estudiadas anteriormente es realizar el prototipo inicial uniendo placas de desarrollo de diferentes fabricantes, con el fin de reducir en gran medida los niveles de ruido eléctrico y realizar un prototipado rápido.

La característica común a todos los sistemas de desarrollo explorados es la inclusión de puertos como el GPIO o HSMC, que permiten interconectar las tarjetas entre sí, con otros elementos de desarrollo, protoboards o circuitos impresos de fabricación propia.

Se encuentran en el mercado varios sistemas digitales de diferentes fabricantes los cuales se pueden interconectar con diversas tarjetas de desarrollo que contienen conversores analógico a digital, digital a analógico, amplificadores operacionales, etc, siendo posible embeber en la parte digital el diseño del controlador de la fuente, y el algoritmo de generación de las señales que se requieren.

En este documento no se hará referencia a cada uno de los sistemas de desarrollo que se pueden utilizar, ya que las combinaciones posibles que ofrece el mercado son numerosas. Se recomienda al lector observar los requerimientos planteados en la sección 2.2.1 y los dispositivos tratados en la exploración de las características hardware del estado del arte, con el fin de escoger la unión de dispositivos más adecuada, indagando inicialmente en la página web del fabricante las características del dispositivo a utilizar para luego buscar el sistema de desarrollo en un proveedor de componentes electrónicos.

3.5. Plataforma escogida.

La plataforma escogida para construir la fuente de voltaje para estudios de bioimpedancia propuesta es la PSoC 5LP, por las razones que se listan a continuación:

- Posee en un solo chip los módulos analógicos necesarios para la construcción de la fuente para estudios de bioimpedancia propuesta.

- Los módulos analógicos que posee son de tiempo continuo, lo que evita la distorsión producida por tecnologías de capacitor conmutado.
- Los módulos analógicos y de señal mixta, según las hojas de especificaciones, cumplen con los parámetros de ancho de banda y frecuencia de muestreo planteados en este proyecto.
- Cuenta con un procesador de 32 bits con frecuencia de reloj de 80MHz y acceso directo a memoria (DMA) por sus siglas en inglés, lo que brinda una capacidad de procesamiento buena para alojar el controlador y el generador de señales requerido.
- De todas las tecnologías exploradas los circuitos PSoC ofrecen una mejor relación costo/-beneficio.
- Aunque el conversor digital a analógico de la PSoC 5LP, puede alcanzar una resolución de 11 bits, uno menos que el valor sugerido en [21], es posible manejar este número de bits a favor del alto nivel de integración y bajo costo que ofrece PSoC.

Capítulo 4

Arquitectura propuesta.

4.1. Arquitectura general.

La arquitectura general que se propone sigue la misma línea observada en las distintas topologías propuestas en el capítulo 2, con mínimas modificaciones, compuesta por los elementos que se aprecian en la figura (4.1), donde se propone una fuente de voltaje bipolar, con control de corriente.

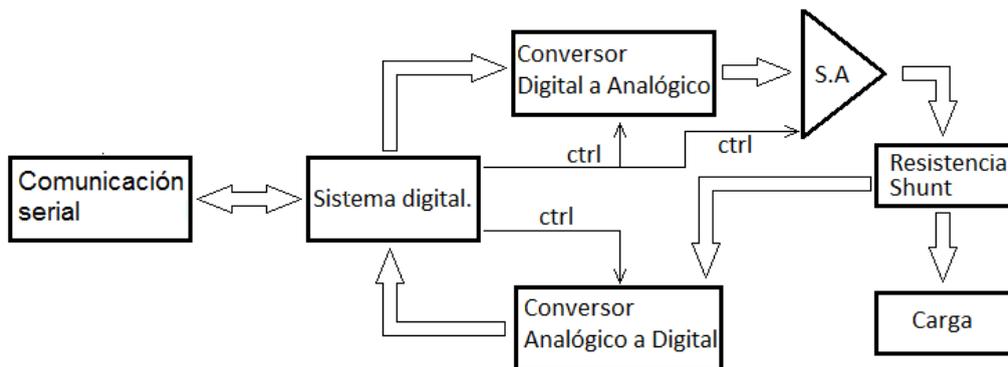


Figura 4.1: Arquitectura final para la fuente de corriente propuesta. Fuente propia.

Los módulos presentes en la arquitectura propuesta son los siguientes:

- Un sistema digital el cual aloja el generador de señales, el controlador, los subsistemas digitales que controlan los componentes analógicos y los algoritmos necesarios para el correcto funcionamiento de la fuente.

- Un conversor digital a analógico, que recibe valores binarios del generador de señales y los transforma en señales analógicas.
- Un sistema analógico (SA), que transforma la señal unipolar entregada por el conversor digital a analógico en una señal bipolar con control de ganancia.
- Una resistencia shunt, que se utiliza para medir la corriente aplicada a la carga.
- Un conversor analógico a digital que entrega una representación binaria del nivel de voltaje presente en la resistencia shunt, el cual es proporcional a la corriente aplicada a la carga.
- Un módulo de comunicación serial, que permite configurar los parámetros de operación de la fuente.

La fuente de corriente diseñada está completamente embebida en una PSoC 5LP, teniendo como único elemento externo una resistencia de bajo valor que se coloca en serie con la carga (resistencia shunt). El valor de voltaje medido en la resistencia shunt permite conocer mediante la ley de ohm la corriente que fluye hacia la carga. Ver figura (4.2).

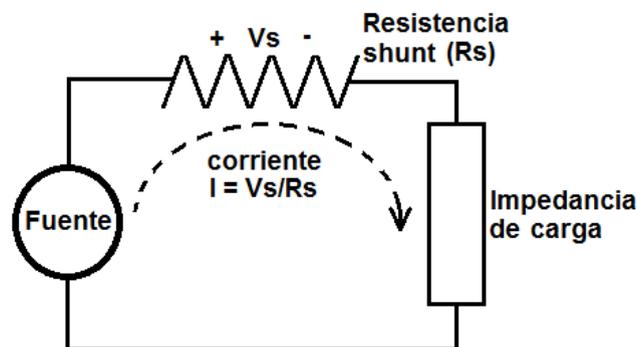


Figura 4.2: Medición de corriente mediante resistencia en serie. Fuente propia.

Con el fin de garantizar el requisito de diseño de generación de señales sinusoidales bipolares sobre la impedancia de carga, se utilizó el esquema mostrado en la figura (4.3), la cual muestra que la impedancia de carga no está referenciada a la tierra de la fuente.

Como se aprecia en la figura, la carga se conecta a dos salidas, las cuales generan medio ciclo positivo de una señal sinusoidal pero en periodos de tiempo diferentes, produciendo circulación de corriente a través de la carga desde la salida que genera la señal hacia la que no lo está

haciendo, produciéndose el efecto de bipolaridad de corriente que se busca en una fuente para estudio de bioimpedancia.

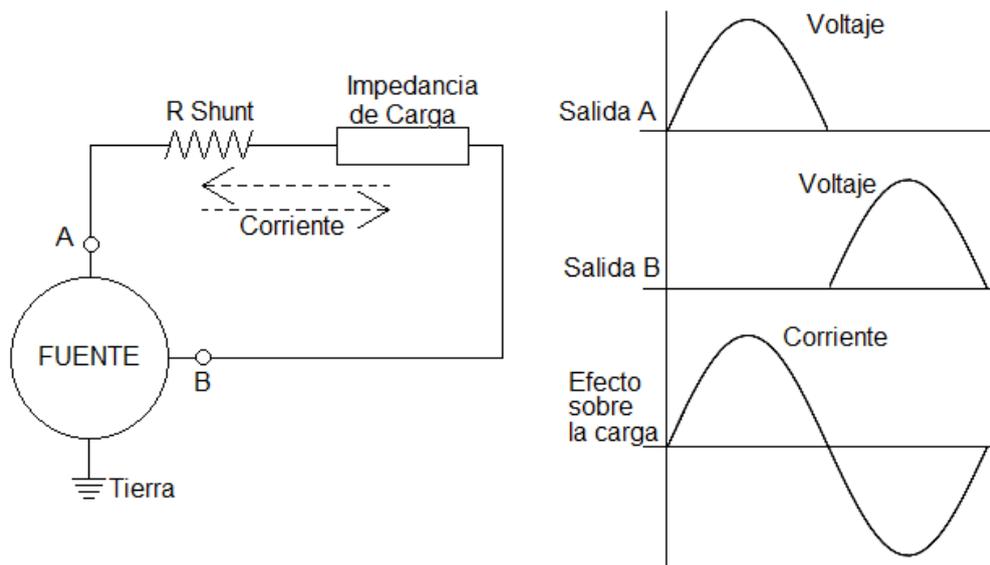


Figura 4.3: Generación de corriente bipolar sobre una carga, a partir de una fuente unipolar. Fuente propia.

Las particularidades eléctricas y la capacidad de procesamiento que ofrece la PSoC 5LP CY8C5868AXI-LP035, permiten obtener las siguientes características generales para la fuente.

- Corriente máxima de salida de 20 miliamperios.
- Generación de frecuencias sinusoidales de 48 muestras por periodo, desde 1 Hz hasta 100 kHz, manteniendo la amplitud constante.
- Resolución de 9 bits para el conversor CDA que genera la señal de salida y 10 bits en el CAD que muestrea la señal de voltaje en la resistencia shunt.
- Valores de carga para corriente de 1 mA pico entre 50Ω a $3.9 K\Omega$.

El esquemático completo de la arquitectura hardware de la fuente diseñada, se presenta en la figura (4.4), el cual fue realizado en el entorno de desarrollo PSoC Creator 4.0, para un dispositivo PSoC 5LP CY8C5868AXI-LP035.

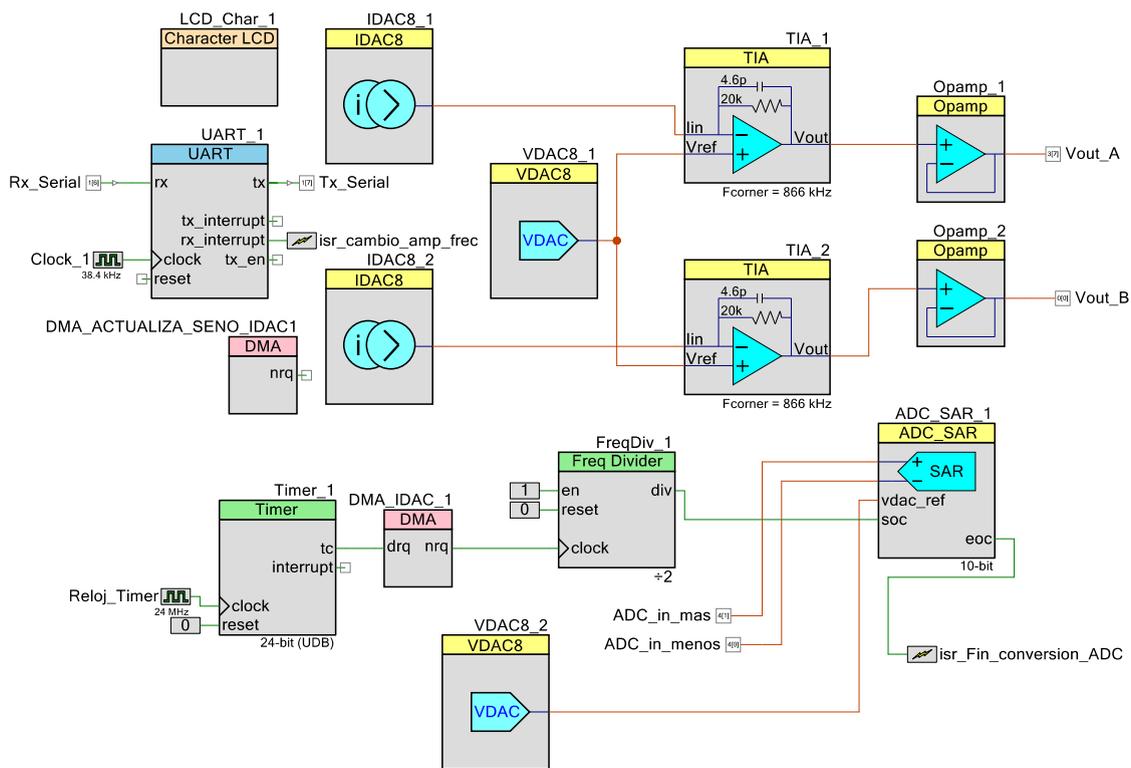


Figura 4.4: Diseño hardware completo de la fuente de corriente. Fuente propia.

4.2. Arquitectura detallada.

4.2.1. Generación de la señal sinusoidal

En [22] se recomienda que la señal sinusoidal generada para realizar estudios de bioimpedancia posea una distorsión armónica cercana al 1%; observando la figura (3.1) se aprecia que esto se logra con valores superiores a 100 muestras por periodo. Utilizando 100 muestras por periodo y considerando la máxima velocidad de muestreo teórica que soporta el más veloz de los CDA de la PSoC 5LP, se puede generar una señal sinusoidal con una frecuencia alrededor de los 60 kHz, lo cual es muy inferior al límite de 125 kHz propuesto inicialmente. Un valor cercano a 50 muestras por periodo produciría una distorsión armónica entre 2% y 3% y aseguraría poder

alcanzar valores de frecuencia de salida de la señal sinusoidal próximos a los 125 kHz.

Para la generación de la señal sinusoidal los valores almacenados en un vector de 8 bits y N elementos, se envían al CDA con un periodo de tiempo constante desde el primer al último elemento en forma cíclica. Los valores de cada elemento del vector se obtienen de la ecuación (4.1), donde κ es la muestra n-ésima y N es el número de muestras por periodo de la señal.

$$U_k = \sin\left(\frac{2\pi k}{N}\right), \quad k = 0, 1, \dots, N - 1 \quad (4.1)$$

Observando la ecuación (4.1), las muestras $\kappa=N/4$ y $\kappa=3N/4$, permiten alcanzar el máximo valor de la función seno y debido a que κ debe ser un valor entero, se debe utilizar un número de muestras por periodo (N) múltiplo de 4 para obtener una señal sinusoidal que alcance su valor máximo.

Para que la fuente diseñada pueda generar señales con frecuencia alta y una distorsión armónica cercana al 1 %, se utilizó en el diseño de la fuente un número de muestras por periodo de la señal de salida igual a 52.

Conversores digital a analógico presentes en la PSoC 5LP.

La PSoC 5LP cuenta con conversores digital a analógico de 8 bits de tres tipos.

- CDA Generador de Onda.
- CDA de voltaje.
- CDA de corriente.

CDA Generador de Onda. El CDA generador de onda, genera formas de onda estándar y arbitraria, llegando a una frecuencia de muestreo de hasta 6 Mbps, con salidas en voltaje o corriente y formas de onda predefinidas sinusoidal, triangular, cuadrada y diente de sierra

Mediante hardware se puede seleccionar y generar dos formas de onda simultáneamente, llegando hasta 4000 muestras por periodo, con lo cual la máxima frecuencia de la señal generada sería de 1500 Hz. Si el número de muestras por periodo se disminuye de 4000 por ejemplo a 100,

la máxima frecuencia sería de 60 kHz. La expresión general para calcular la máxima frecuencia en Hz es: $6E6/N_{pp}$. Donde N_{pp} es el número de muestras por periodo deseadas.

En el presente diseño este módulo no se utilizó ya que en tiempo de ejecución no permite modificar la amplitud pico y la frecuencia de la señal generada, operaciones consideradas fundamentales para implementar un sistema realimentado de control de corriente.

CDA de voltaje. El CDA de voltaje (VDAC) puede manejar rangos de voltaje de 0 a 1.02 voltios y de 0 a 4.08 voltios; el voltaje de salida puede estar sincronizado mediante software o por una señal de reloj y los datos digitales enviados al conversor pueden ser transferidos utilizando la CPU, canales DMA o componentes digitales; en esencia puede ser controlado por software o hardware o una combinación de ambos.

Este CDA no se utilizó en el diseño de la fuente, ya que alcanza una frecuencia de muestreo de 1 Mbps, que a 52 muestras por periodo permite generar señales sinusoidales de 19.23 kHz, valor muy lejano a los 125 kHz que debe alcanzar la fuente diseñada.

CDA de corriente. El CDA de corriente (IDAC) maneja rangos de corriente de salida de 0 a $32\mu\text{A}$, 0 a $255\mu\text{A}$ y 0 a 2.04 mA en modo fuente o sumidero, con una frecuencia de muestreo de hasta 8 MHz, que a 52 muestras por periodo permite una frecuencia de salida máxima de 153 kHz, superando los 125 kHz que se quieren lograr en la fuente a diseñar.

En este conversor al igual que en el VDAC, es posible variar la amplitud y la frecuencia de muestreo en tiempo de ejecución, lo que lo hace apto para el control de la amplitud pico de la señal de salida de la fuente; razones por las cuales se seleccionó como el CDA a utilizar en el presente diseño.

Configuración del CDA y de la parte analógica utilizada en la fuente.

Considerando que una señal de corriente bipolar de 1 mA pico es suficiente para realizar estudios de bioimpedancia, inicialmente se observó la posibilidad de utilizar las salidas de los IDACs de la PSoC 5LP conectadas directamente a la carga, siguiendo la configuración mostrada en la figura (4.3) para lograr una señal bipolar de corriente.

Se optó por dos configuraciones en las cuales el IDAC cambia de modo fuente a modo sumidero, con el fin de obtener la bipolaridad deseada, como se aprecia en las figuras (4.5) y (4.6).

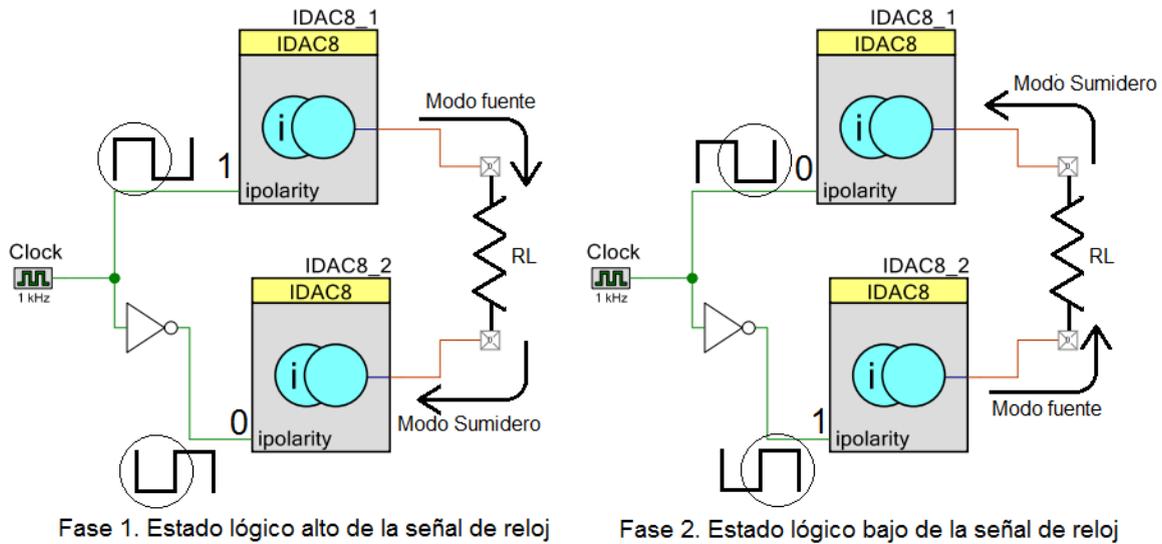


Figura 4.5: Configuración para corriente bipolar con dos IDAC. Fuente propia.

Para realizar pruebas de velocidad de conmutación entre el modo fuente y sumidero de los IDACs, se fijó a 1mA la salida de cada uno de ellos y se procedió mediante una señal de reloj a cambiar el estado de la polaridad de la corriente de salida.

La figura (4.5) muestra la configuración de dos IDACs. En la fase 1, el IDAC1 está en modo fuente y el IDAC2 está en modo sumidero, cambiando ambos la polaridad en la fase 2 con el cambio de estado de la señal de reloj. Se varió la frecuencia de la señal de reloj, apreciándose distorsión en la señal resultante debido al cambio de polaridad de los IDACs desde frecuencias de 50 Hz ver figura (4.7), lo cual no hace conveniente esta configuración para la fuente de corriente que se desea diseñar.

La figura (4.6), muestra la configuración de IDAC y VDAC, en la cual durante el estado lógico alto de la señal de reloj, el IDAC está en modo fuente y el VDAC con salida de 0 voltios se comporta como sumidero. Durante el estado lógico bajo de la señal de reloj el IDAC está en modo sumidero y el VDAC es la fuente con una salida de 4 voltios. Esta configuración presentó distorsión en amplitud desde los 500 Hz, debido al cambio de contexto de modo fuente a sumidero del IDAC ver figura (4.7).

Se concluyó que las configuraciones para generación de corriente bipolar presentadas en las figuras (4.5) y (4.6) no eran las más adecuadas debido a la distorsión en amplitud que introducían en el cambio de contexto de modo fuente a sumidero y viceversa. Con el fin de lograr una señal bipolar con frecuencias de salida hasta 125 kHz, aprovechando la velocidad de muestreo de los IDACs, se optó por utilizar la configuración mostrada en la figura (4.8), utilizando dos IDAC

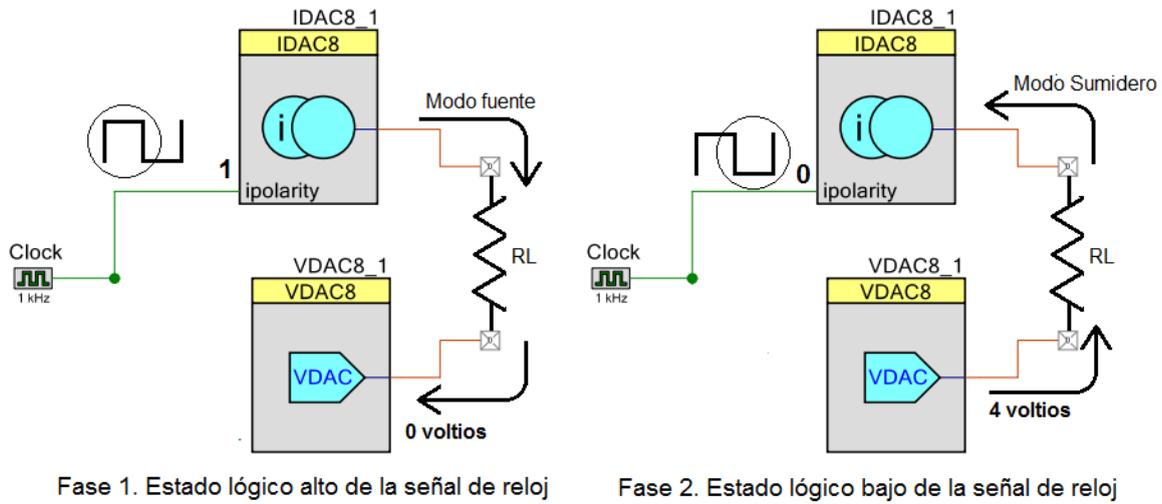


Figura 4.6: Configuración para corriente bipolar con IDAC y VDAC. Fuente propia.

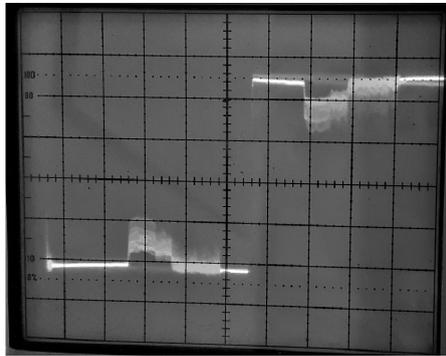
en modo fuente y transformando su corriente de salida en voltaje mediante un amplificador de transimpedancia (TIA). Esta configuración permite inyectar a la carga una corriente bipolar controlada por la amplitud del voltaje de salida de la fuente e introduce un elemento como el TIA que permite controlar la ganancia de la señal de salida.

En la figura (4.8) la función de los amplificadores operacionales en modo seguidor de voltaje es la de adaptar impedancia e impulsar corriente hasta 20 mA y las capacitancias de realimentación utilizadas en los TIAs tienen la finalidad de disminuir el ruido a la salida.

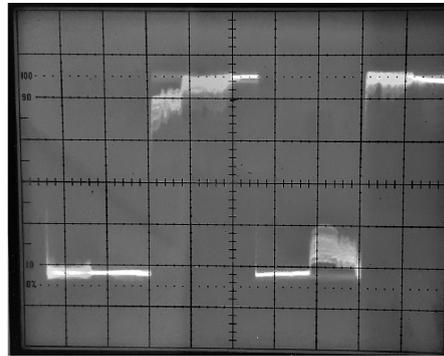
El amplificador de transimpedancia (TIA) transforma la corriente de entrada en voltaje mediante la ecuación (4.2), aquí V_{TIA} es el voltaje de salida del TIA, R_{fb} es la resistencia de realimentación que puede ser cualquiera de los valores mostrados en la tabla 4.1, I_{IDAC} es la corriente de salida del IDAC y de entrada al TIA y V_{ref} es un voltaje de referencia entre 0 y 4.08 voltios.

El valor de la corriente I_{IDAC} en función del valor binario a la entrada de los CDA de corriente está dado por la ecuación (4.3), donde D es un número binario de 8 bits correspondiente al valor digital en la entrada del IDAC, RES_{IDAC} es la resolución del IDAC la cual es de $0.125\mu A$ por bit para la escala de trabajo de 0 a $31.875\mu A$.

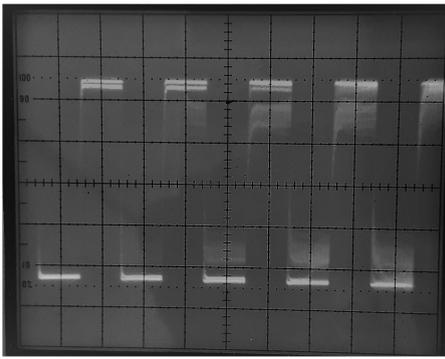
$$V_{TIA} = V_{ref} - I_{IDAC} * R_{fb} \quad (4.2)$$



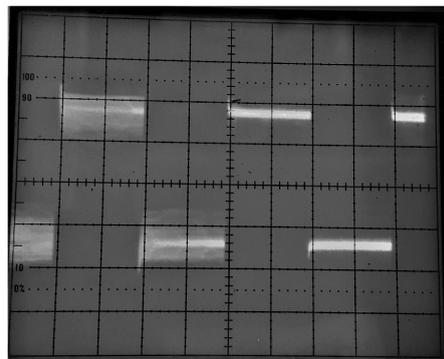
IDAC/IDAC Frecuencia = 50 Hz



IDAC/IDAC Frecuencia = 100 Hz



IDAC/IDAC Frecuencia = 1 KHz



IDAC/VDAC Frecuencia = 500 Hz

Figura 4.7: Distorsión presentada en el cambio de contexto de modo fuente a sumidero a fuente para generación de señal bipolar con IDAC-IDAC e IDAC-VDAC. Fuente propia.

$$I_{IDAC} = RES_{IDAC} * D \quad (4.3)$$

Utilizando los IDAC en el rango más bajo de corriente (0 a $31.875\mu A$) y modificando el valor de la resistencia de realimentación de los TIA, se pueden obtener variaciones de voltaje a la salida de hasta 4.0625 voltios.

Resistencia de realimentación.							
20 k Ω	30 k Ω	40 k Ω	80 k Ω	120 k Ω	250 k Ω	500 k Ω	1000 k Ω

Tabla 4.1: Valores de resistencia de realimentación para el amplificador de transimpedancia de la PSoC 5LP

La figura (4.9) resume el comportamiento de la señal generada por cada uno de los IDAC y muestra cómo se transforma en una señal de voltaje bipolar aplicada sobre la impedancia de carga. Como se ve en la figura (4.9), en cada uno de los extremos de la impedancia de carga

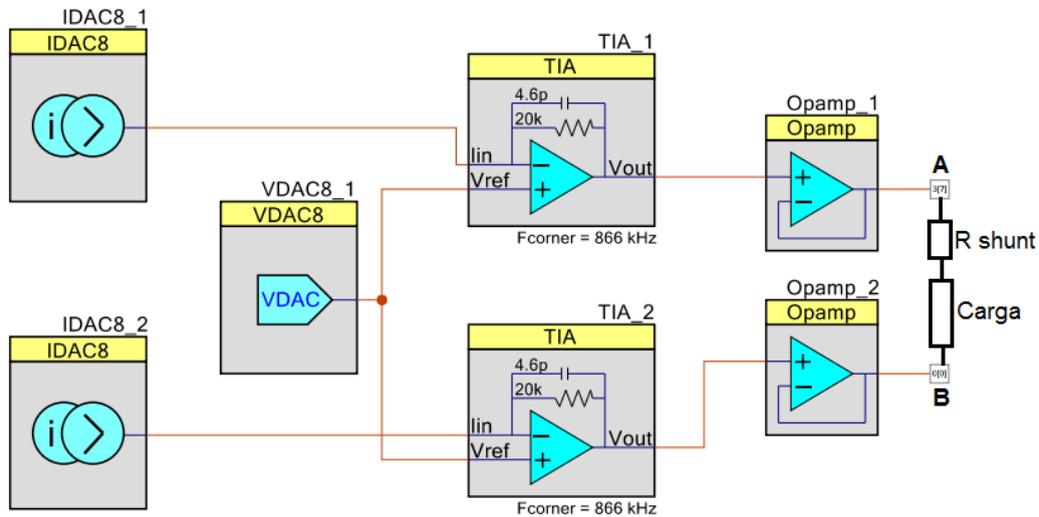


Figura 4.8: Configuración para corriente bipolar con IDAC en modo fuente y amplificador de transimpedancia. Fuente propia.

Capacitancia de realimentación para los TIA			
0 pF	1.3 pF	3.3 pF	4.6 pF

Tabla 4.2: Valores de capacitancia de realimentación para el amplificador de transimpedancia de la PSoC 5LP

aparece una señal unipolar con un voltaje dado por la ecuación (4.2), pero teniendo en cuenta el potencial de cada señal y tomando como referencia uno de los extremos de la impedancia de carga y no la tierra de la fuente, se puede apreciar que el efecto total de estas señales sobre la carga es el de una señal de voltaje bipolar cuyo valor absoluto de amplitud está dado por la ecuación (4.4), con amplitud máxima de $I_{max} * R_{fb}$, siendo I_{max} la corriente máxima que entrega el IDAC y R_{fb} la resistencia de realimentación de los TIA. Al ser el efecto total una señal de voltaje bipolar, también lo es para la corriente, lográndose la bipolaridad que se necesita en la impedancia de carga.

$$|V_{Bipolar}| = I_{IDAC} * R_{fb} \quad (4.4)$$

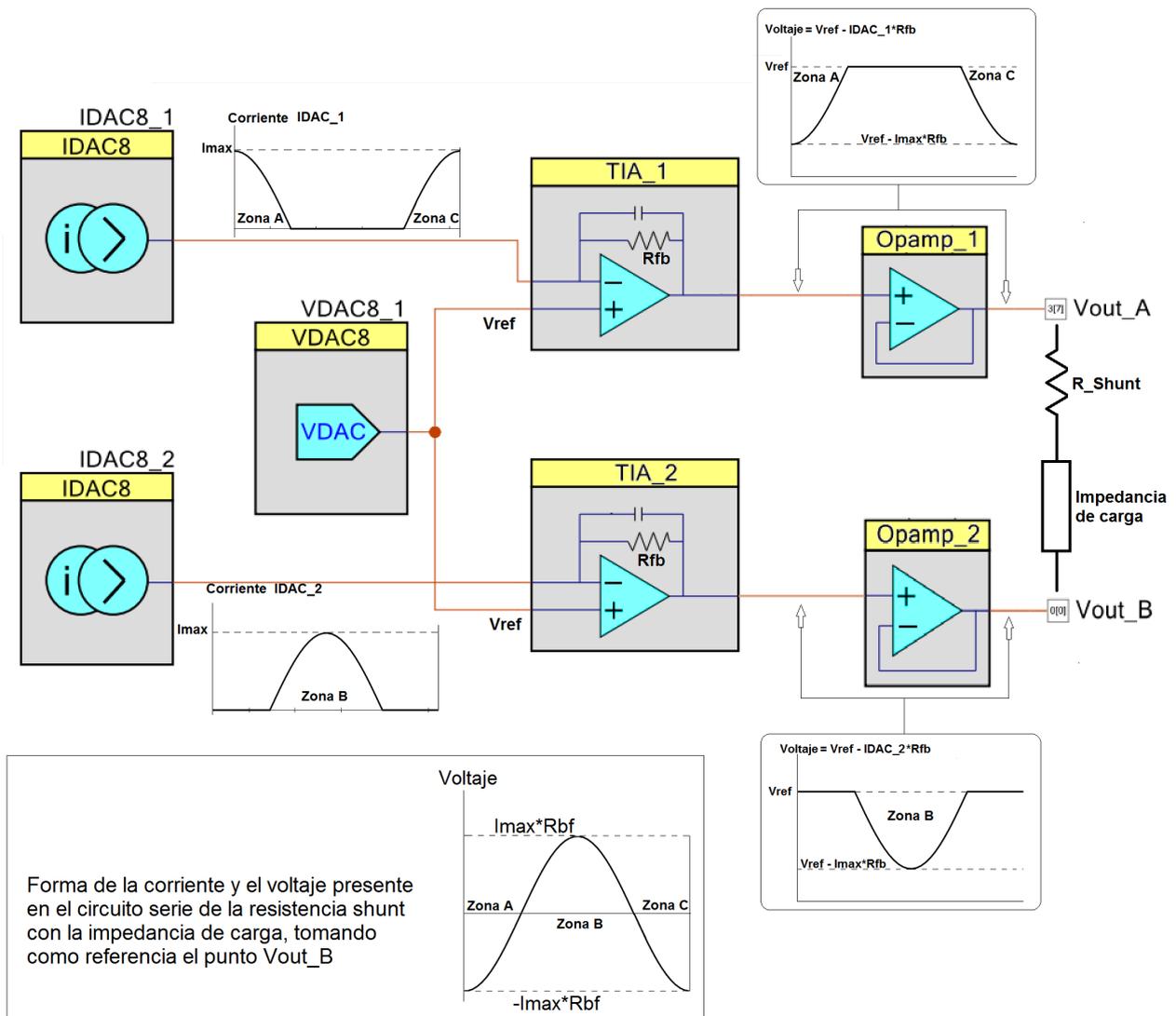


Figura 4.9: Recorrido y transformación de la señal de los IDAC hasta llegar a la impedancia de carga. Fuente propia.

Generación de la señal.

La generación de la señal se logra transfiriendo periódicamente a través de un canal DMA los elementos de un vector de tamaño igual al número de muestras por periodo requeridas. El vector se construye utilizando la ecuación (4.5), donde D es el valor digital a la entrada del IDAC, D_{Max} es el valor digital pico deseado en la entrada del IDAC, $N = 52$ es el número de muestras por periodo y k es un número entero que toma valores de 0 a $N-1$.

$$D = \left\lceil \left| D_{Max} \cos \left(\frac{2\pi k}{N} \right) \right| \right\rceil \quad k = 0, 1, \dots, N - 1 \quad (4.5)$$

Es importante resaltar que debido a la cuantización que impone la función parte entera de la ecuación (4.5), el número de valores digitales diferentes a la entrada de los IDACs está definido por el valor D_{Max} . Así por ejemplo, si D_{Max} es igual a 10, D tomará valores en el conjunto de los números enteros entre 0 y 10 (considerando que el registro solo almacena valores positivos). En el presente trabajo se utilizaron valores de D_{Max} entre 60 y 255.

En la ecuación (4.5), se utilizó la función coseno para que la transferencia de valores desde el vector de muestras hacia los IDACs termine en un valor máximo. El módulo DMA al terminar la transferencia de los datos, activa la lectura del conversor analógico a digital del sistema de medición de corriente, mediante un pulso con un ancho de dos ciclos de reloj; esto con el fin de hacer control de amplitud pico de la corriente cada periodo de la señal, ver figura (4.10).

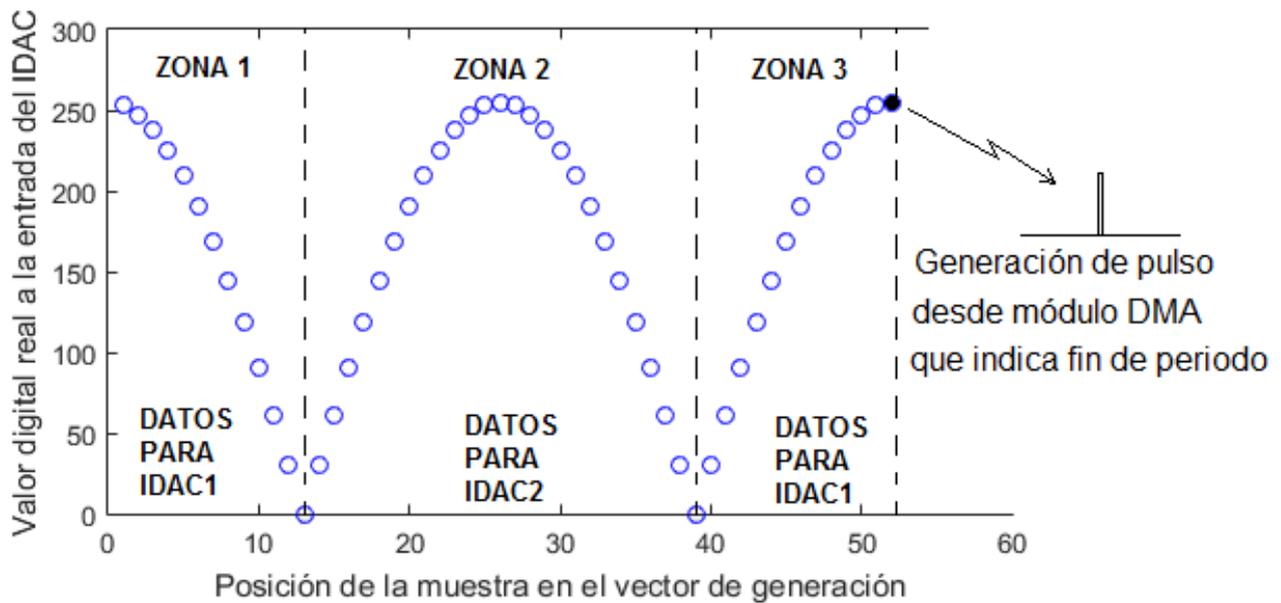


Figura 4.10: Forma de los datos almacenados en el vector de muestras de la señal. Fuente propia.

La figura (4.11) muestra los niveles de voltaje que se pueden lograr a la salida de la fuente diseñada. El eje x corresponde al valor entero (D en la ecuación (4.5)) que se coloca a la entrada del IDAC. Cada recta muestra los distintos niveles de voltaje que se pueden lograr a la salida de la fuente, para cada valor de resistencia de realimentación utilizada en los TIA, ver ecuación (4.6).

$$|V_{Bipolar}| = RES_{IDAC} * R_{fb} * D \quad (4.6)$$

Como se ve en la figura (4.11) con cada valor de R_{fb} se maneja un rango de voltaje determinado, buscando siempre utilizar la resistencia más pequeña en los TIA con el fin de favorecer la resolución del voltaje de salida de la fuente. En la ecuación (4.6) se puede apreciar que el término $RES_{IDAC} * R_{fb}$ se refiere a la resolución de voltaje a la salida de la fuente, siendo claro que un valor de R_{fb} pequeño produce una mejor resolución.

Como lo indica la figura (4.11) cuando utilizando un valor de resistencia R_{fb} se alcanza el máximo voltaje posible a la salida de la fuente, para producir un nivel de voltaje mayor, se procede a utilizar la R_{fb} siguiente de mayor valor (ver tabla 4.1); para este nuevo valor de resistencia R_{fb} el valor entero más pequeño a la entrada de los IDACs debe ser tal que el voltaje a la salida de la fuente este alrededor del voltaje máximo que se tenía con la resistencia R_{fb} anterior. Obsérvese que la resistencia R_{fb} máxima que se puede utilizar es de 250 k Ω , ya que con ella se logra el máximo voltaje de salida posible de 4.0625 voltios.

La tabla 4.3 resume los valores máximos y mínimos que se pueden lograr con cada resistencia de realimentación para una escala de 0 a 32 μA en el IDAC.

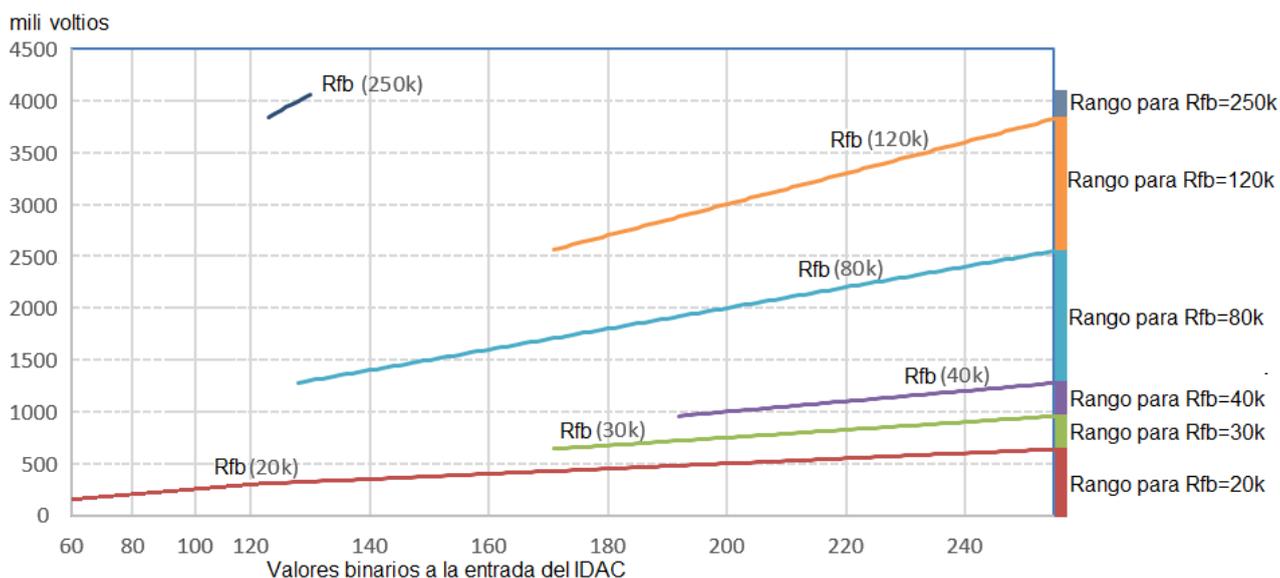


Figura 4.11: Valores de voltaje logrados con distintas resistencias de realimentación del TIA, para IDAC con escala de corriente de 32 μA . Fuente propia.

Voltaje a la salida del TIA. μV	Rfb (20k)	Rfb (30k)	Rfb (40k)	Rfb (80k)	Rfb (120k)	Rfb (250k)
Mínimo	150000	641250	960000	1280000	2565000	3843750
Máximo	637500	956250	1275000	2550000	3825000	4062500

Tabla 4.3: Voltaje mínimo y máximo a la salida de la Fuente, según resistencia de realimentación, para valores digitales a la entrada del IDAC entre 60 y 255 y escala de corriente de $32\mu\text{A}$

Configuración digital para variar la frecuencia de la señal sinusoidal.

Para generar una señal sinusoidal de 52 muestras por periodo con una frecuencia de 125kHz, se requiere que cada muestra sea enviada al IDAC en un periodo de tiempo de $0.15384\mu\text{S}$. Si el reloj de la PSoC 5LP CY8C5868AXI-LP035 corre a una frecuencia máxima de 63 MHz, cada muestra se envía en un periodo aproximado de 10 ciclos de reloj, lo cual es muy poco para utilizar las funciones de escritura de datos en el IDAC o interrupciones de un temporizador para el mismo fin, ya que la CPU estaría casi el 100% del tiempo ejecutando la tarea de generación de la señal, no quedando recursos para la implementación del controlador y otras tareas.

La solución a lo expuesto anteriormente es hacer la transferencia de datos desde el vector de generación de la señal a los IDACs sin la intervención de la CPU, para permitir la ejecución simultánea de otras tareas. El módulo de Acceso Directo a Memoria (DMA) que se utilizó en el diseño de la fuente permite transferir datos a alta velocidad entre periféricos de la PSoC, sin intervención de la CPU.

En la figura (4.12) se muestra la configuración DMA que se utilizó; aquí el canal DMA cada vez que recibe un requerimiento por software o hardware mediante un pulso, transfiere un dato que se halla almacenado en un arreglo hacia el conversor digital analógico. Por cada requerimiento DMA la dirección de acceso al vector de generación es incrementada en uno. Un elemento llamado descriptor de la transacción (DT) asociado al canal DMA, contiene información de la dirección de origen y destino de la transferencia, así como el conteo de los datos que se han transferido y que otro DT continúa al terminar una transferencia parcial o total del arreglo.

La implementación de la transferencia DMA se muestra en la figura (4.13), aquí el canal DMA es requerido mediante un pulso de 2 ciclos de reloj de ancho, que se genera a través de la salida (tc) del Timer 1, cada vez que este alcanza el máximo conteo que se le han configurado. Como muestra la figura (4.13), el canal DMA utiliza 3 descriptores de transacción para transferir todos los elementos del vector de generación de la señal; los datos enviados al IDAC 1 son manejados

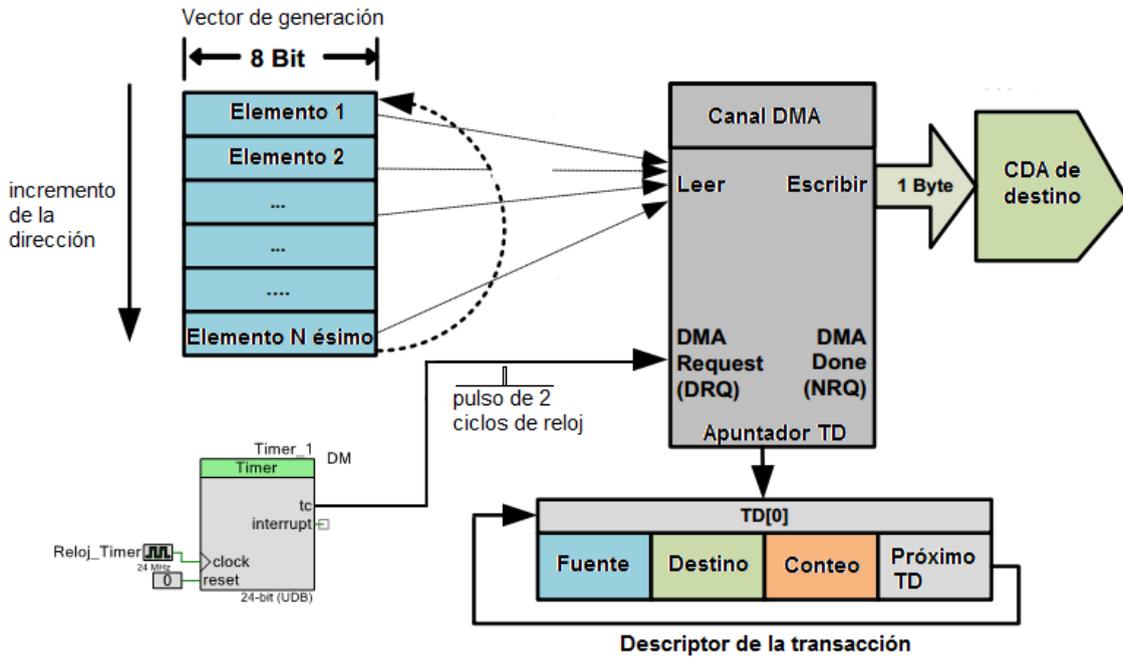


Figura 4.12: Transferencia DMA desde la memoria RAM a un periférico. Fuente propia

por el DT0 y el DT2, los datos enviados al IDAC 2 son manejados por el DT1. El DT2 está configurado para que al terminar de realizar la transferencia de datos, le indique al módulo DMA que genere un pulso de 2 ciclos de reloj para activar el CAD encargado de leer el nivel de corriente que está entregando la fuente, esto con el fin de tener un control de la amplitud pico de la corriente cada periodo de la señal. La tabla 4.4 muestra la configuración de cada uno de los DTs.

La ecuación (4.7) muestra la frecuencia con la que es requerido el canal DMA, aquí $F_{RelojTimer}$ es la frecuencia de entrada al Timer, la cual es un valor fijo; C es el número de conteos que realiza el Timer antes de generar un pulso por la salida (tc). El Timer tiene conectado un reloj de 24 MHz en su entrada clock. El mínimo valor de conteos que debe realizar el Timer es de cuatro, con el fin de obtener la máxima velocidad de transferencia DMA que es 6 MHz (10.5 ciclos de reloj de la CPU a 63 MHz); la velocidad más baja de transferencia DMA es de 1.43 Hz, ya que el Timer está configurado con una resolución de 24 bits. La ventaja de utilizar un Timer respecto a un divisor de frecuencia es que el número de conteos que realiza se puede cambiar en tiempo de ejecución, lo que permite hacer variación de la frecuencia de la señal sinusoidal de salida.

$$F_{DMA} = F_{RelojTimer} / C \quad (4.7)$$

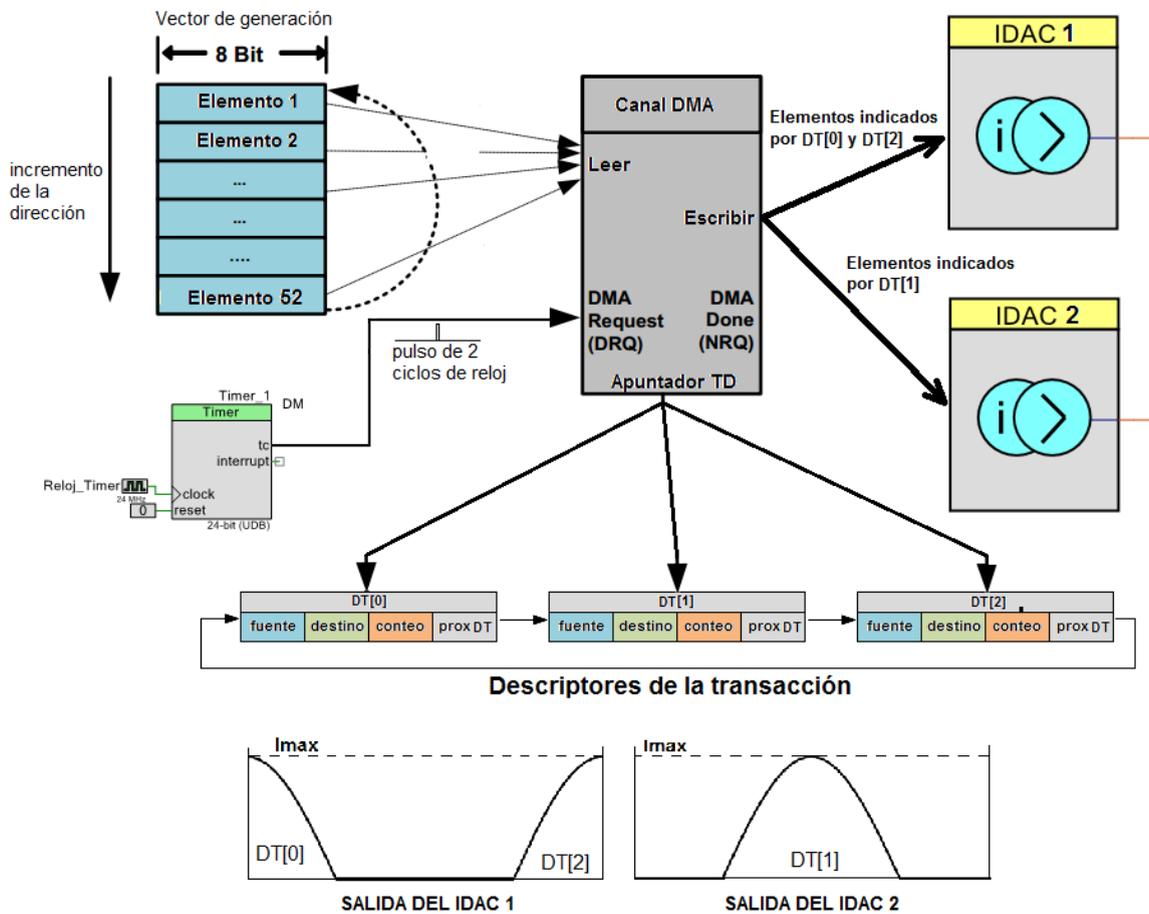


Figura 4.13: Transferencia DMA con disparo por Timer. Fuente propia

La ecuación (4.8) permite calcular la frecuencia de la señal sinusoidal generada por la fuente, a partir de la velocidad de transferencia DMA; aquí M es en número de muestras por periodo.

$$F_{señal} = F_{DMA}/M \quad (4.8)$$

Debido a que la fuente fue diseñada para 52 muestras por periodo, se pueden generar una frecuencia máxima estable de 115 kHz y una mínima 0.03 Hz

Configuración digital para variar la amplitud de la señal sinusoidal.

La variación en tiempo de ejecución de la frecuencia de salida de la fuente se logra modificando el número de conteos que realiza el Timer encargado de hacer los requerimientos al canal DMA de los IDAC. Para variar la amplitud, se puede multiplicar cada muestra del vector de generación

	DT[0]	DT[1]	DT[2]
Fuente	Elementos 0 a $N/4 - 1$	Elementos $N/4$ a $3N/4 - 1$	Elementos $3N/4$ a N
Destino	IDAC 0	IDAC 1	IDAC 2
Próximo DT	DT[1]	DT[2]	DT[0]

Tabla 4.4: Configuración de los descriptores de transacción utilizados en la transferencia DMA que genera la señal. N es el número de muestras de la señal.

de la señal sinusoidal por un factor de escala, lo que requiere más tiempo que una transferencia DMA, debido a la operación de multiplicación y el tiempo que tarda la CPU en transferir el resultado de cada muestra al CDA.

Para sortear esta limitación técnica se optó por utilizar la configuración presentada en la figura (4.14), en la cual se utiliza un canal DMA distinto al que envía las muestras al IDAC.

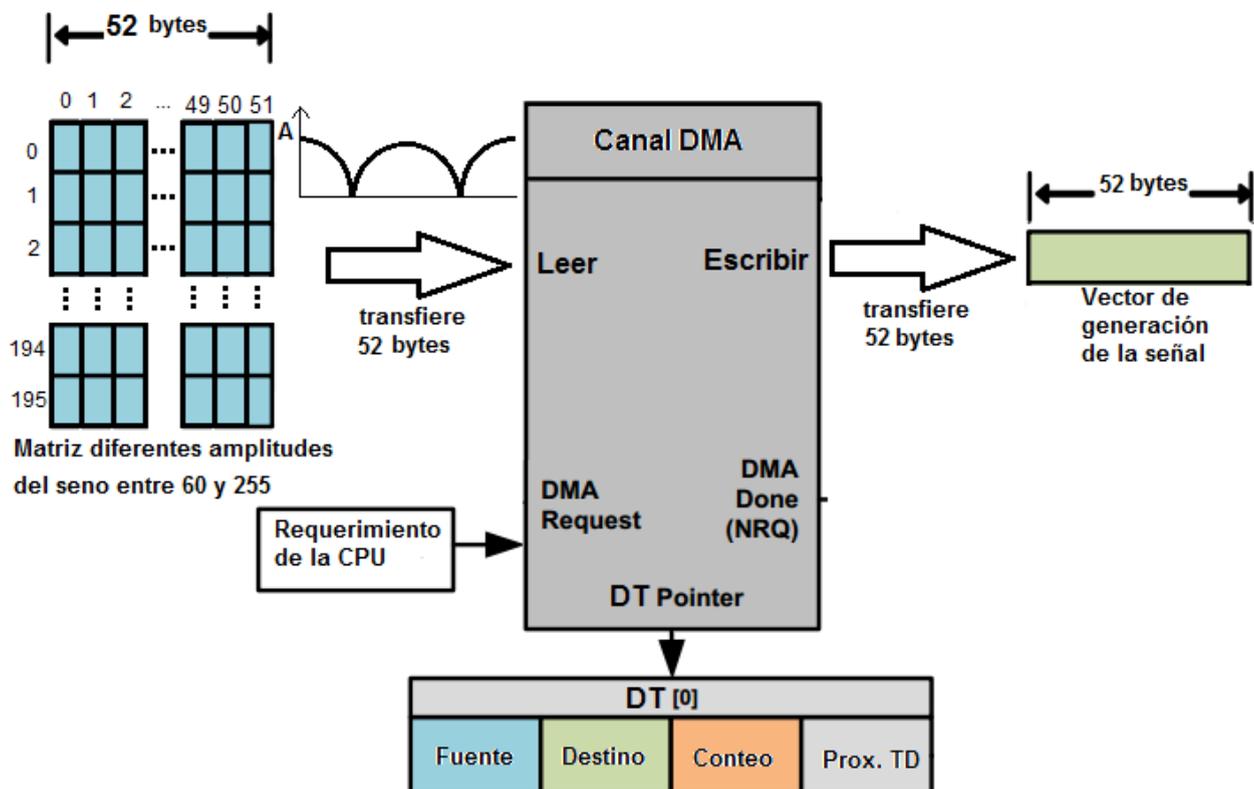


Figura 4.14: Transferencia DMA para actualización de amplitud. Fuente propia

En la configuración mostrada en la figura (4.14) se muestra una matriz de enteros de 8 bits

sin signo de tamaño 196x52, donde cada fila utilizando la ecuación (4.5), almacena el número de muestras necesarias para actualizar el vector de generación de la señal con un valor digital real máximo (VDR_{Max}) determinado. La fila 0 de la matriz corresponde a las muestras para un VDR_{Max} de 60, la fila 1 para una VDR_{Max} de 61 y así sucesivamente hasta un VDR_{Max} de 255.

Cada vez que el controlador requiera hacer un cambio de amplitud en la señal de salida puede modificar las resistencias de realimentación de los TIA y/o actualizar el vector de generación de la señal con el valor que considere adecuado, almacenado en cada fila de la matriz de diferentes amplitudes. Esto lo hace modificando la dirección de origen almacenada en el descriptor de la transacción DMA, por una nueva que apunte a la fila de la matriz que se desea transferir al vector de generación de la señal. Una vez dicha dirección es actualizada, la CPU hace un requerimiento por software al canal DMA para que transfiera los datos y actualice el vector de generación de la señal.

4.2.2. Medición de la corriente

La medición de la corriente se realiza de forma indirecta, midiendo el voltaje en una resistencia de valor conocido, la cual está en serie con la impedancia de carga como se ve en la figura (4.15).

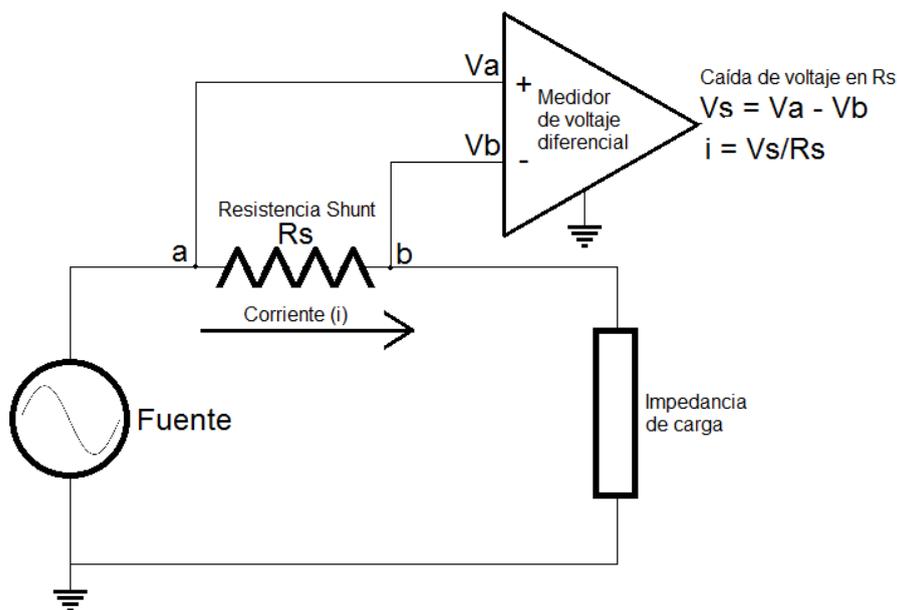


Figura 4.15: Medición de corriente con resistencia Shunt. Fuente propia

El medidor es un elemento de alta impedancia de entrada, que mide el valor de voltaje presente en los puntos a y b, respecto a la tierra de la fuente y entrega como salida la diferencia de voltaje entre estos puntos. El valor de la resistencia en serie (R_s), es un valor pequeño de unos pocos ohmios y la caída de voltaje presente en ella por lo general debe ser amplificada. Al conocer la caída de voltaje V_s y conocer el valor de la resistencia R_S , mediante la ley de ohm se puede deducir el valor de la corriente que circula hacia la carga.

Considerando el valor de 1 miliamperio como un valor típico de corriente para estudios de bioimpedancia y observando en la tabla 4.3 el valor máximo y mínimo de voltaje que puede entregar la fuente, se puede deducir los rangos de resistencia que se pueden manejar para la corriente dada; la tabla 4.5 muestra esos valores. La tabla 4.6 muestra la caída de voltaje para distintos valores de la resistencia shunt y los valores máximos y mínimos de la resistencia de carga que la fuente puede manejar con corriente pico de 1 mA.

	Voltaje de salida de la fuente en microvotios	Resistencia conectada a la fuente R_s+R_L
Mínimo	150000	150 Ω
Máximo	4062500	4062 Ω

Tabla 4.5: Valores de carga que se pueden conectar a la fuente para una corriente pico de 1 mA

Valor de resistencia shunt (R_S)	Voltaje Pico presente en R_S	Valor mínimo y máximo de R_L para el R_S escogido.
1 Ω	1 mV	149 Ω
		4061 Ω
10 Ω	10 mV	140 Ω
		4052 Ω
100 Ω	100 mV	50 Ω
		3962 Ω

Tabla 4.6: Voltaje pico para diferentes valores de la resistencia shunt y valores mínimos y máximos de la resistencia de carga para 1 mA

De los valores vistos en la tabla 4.6 se tomó como resistencia shunt el valor de 100 ohmios para el presente diseño por las siguientes razones, considerando una corriente de 1 mA pico en la carga:

- Presenta un voltaje pico de 100 mV, el cual es suficiente para ser detectado por un convertidor analógico a digital en modo de entrada diferencial, sin la necesidad de amplificadores

externos o internos en la PSoC, lo que disminuye la complejidad del diseño.

- Se reduce el valor de resistencia mínima de carga posible a 50Ω , lo que mejora la capacidad de la fuente para manejar impedancias bajas.
- Respecto a una resistencia shunt de 1Ω se reduce el valor de la resistencia máxima de carga posible en 100Ω , lo cual no es una reducción significativa.

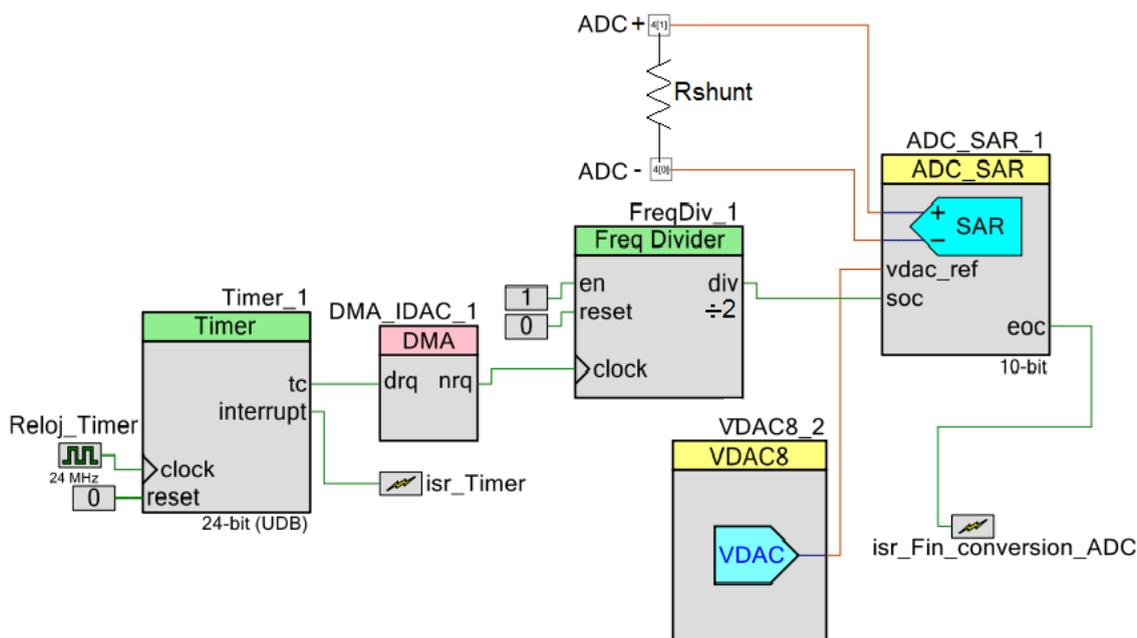


Figura 4.16: Medición de corriente con resistencia Shunt implementada en la PSoC. Fuente propia

La figura (4.16) muestra la configuración para medición de corriente que fue implementada en la PSoC; los elementos utilizados se describen a continuación:

- Un Timer. Que divide la frecuencia del reloj de 24 MHz en valores que van desde 4 a 16777216, con el fin de variar la frecuencia de muestreo de la señal y la frecuencia de la onda sinusoidal de salida. Ver ecuaciones (4.7) y (4.8)
- Módulo DMA IDAC. El cual al terminar la transferencia de todas las muestras del vector de generación de la señal a los IDACs, genera un pulso de dos ciclos de reloj para activar la conversión analógica a digital del CAD ADC_SAR1 y con esto medir el voltaje pico en la resistencia shunt y así deducir la corriente pico mediante la ley de ohm.

- Un divisor de frecuencia que divide entre dos la frecuencia de salida de la señal nrq del módulo DMA, para activar la conversión analógica a digital cada dos ciclos de la señal de salida de la fuente.
- Un conversor analógico a digital de aproximaciones sucesivas (SAR) en modo diferencial, con una frecuencia de muestreo de 1.125 Msps y resolución de 10 bits. La PSoC cuenta con un conversor CAD delta sigma de 16 bits de resolución pero con una frecuencia de muestreo baja, lo que no lo hace apto para la medición de señales con frecuencia de 115 kHz. El CAD tipo SAR utilizado puede manejar resoluciones de 12 bits, pero con un tiempo de adquisición que no alcanza la velocidad de muestreo que se requiere para detectar el pico máximo de la señal sinusoidal a una frecuencia de 115 kHz, razón por la cual se utilizó una resolución de 10 bits que posee un tiempo de adquisición menor.
- Un conversor digital a analógico, que genera un nivel de voltaje constante de 0.8 voltios como referencia para el CAD SAR.
- Módulo detector de la interrupción de fin de conversión analógica a digital.

La figura (4.17) detalla el diagrama de tiempos para la medición de la corriente. Se muestra que el canal DMA se ha configurado para que al terminar de ejecutarse la transferencia de datos del descriptor de la transacción TD[2], se produzca un pulso por la salida "nrq".

La entrada de inicio de conversión "soc" del conversor ADC no detecta el ancho del pulso que entrega la salida "nrq", ya que es de solo dos ciclos del reloj de la CPU; con el fin de tener un pulso más ancho que dispare el CAD, se hizo necesario pasar dicha señal a través de un divisor de frecuencia por dos, el cual produce una señal cuadrada sincronizada con la salida nrq donde el flanco ascendente dispara la conversión analógica a digital, haciendo que el conversor tome una muestra en el pico de la señal sinusoidal cada dos periodos, lo que se traduce en una frecuencia de muestreo máxima de 57.5 kHz.

Lógica de funcionamiento del software de la fuente

El diseño e implementación de la fuente fue realizado en la plataforma de desarrollo PSoC Creator 4.0, la cual permite realizar la configuración del hardware a utilizar y construir el software encargado de controlarlo. La figura (4.18) detalla el diagrama general del comportamiento de la fuente.

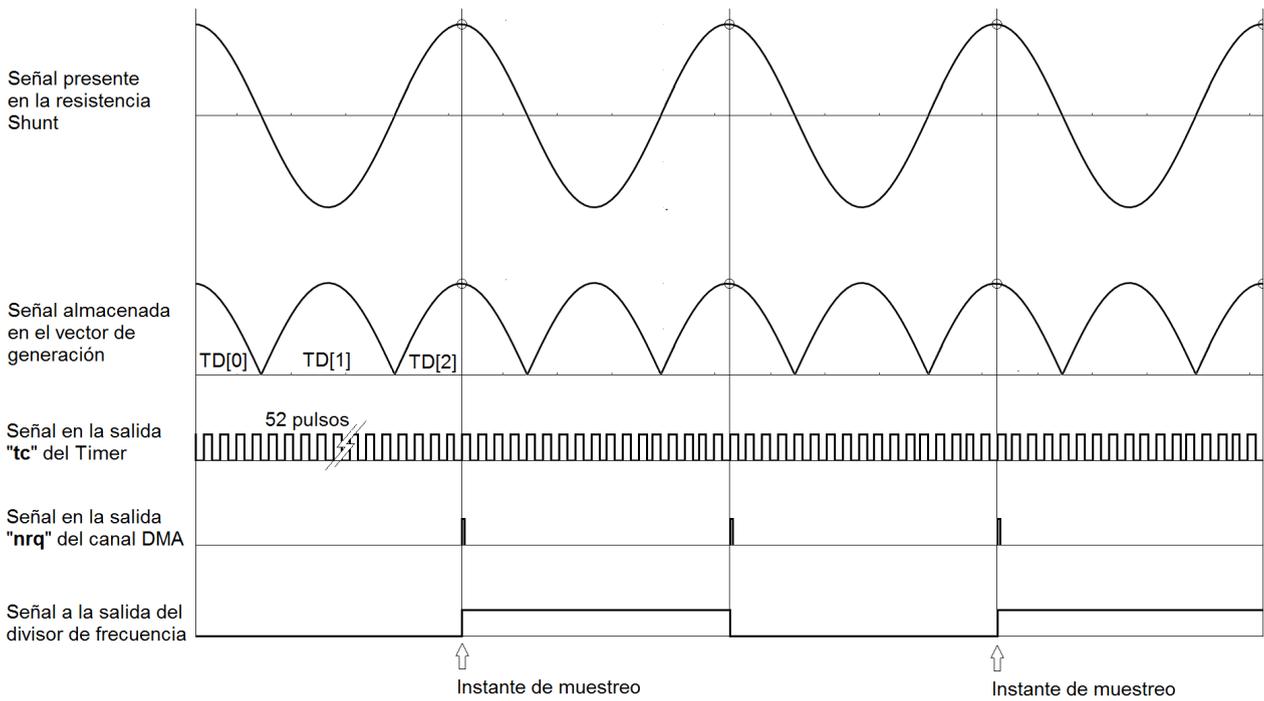


Figura 4.17: Diagrama de tiempo para medición de corriente con resistencia Shunt implementada en la PSoC. Fuente propia

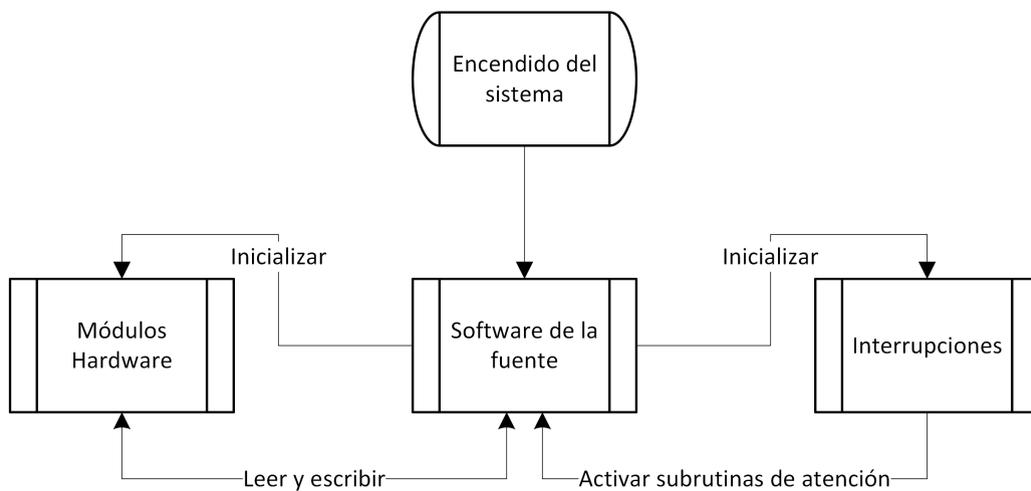


Figura 4.18: Diagrama general del comportamiento de la fuente. Fuente propia

Como muestra la figura (4.18) al encender el sistema la CPU comienza la ejecución del software de la fuente, que se encarga de inicializar todos los módulos hardware a utilizar y las interrupciones del sistema, que funcionan simultáneamente con la ejecución del programa por parte de la CPU. El software de la fuente lee y escribe datos desde y hacia el hardware y detecta

señales de interrupción enviadas por los módulos previamente configurados, para ejecutar las respectivas subrutinas que las atienden.

Los algoritmos para el funcionamiento de la fuente fueron escritos en lenguaje C, utilizando programación estructurada ya que es la forma en que el entorno de desarrollo PSoC creator 4.0 lo hace. En las siguientes páginas se presentan los diagramas de flujo que ilustran la lógica de configuración y funcionamiento de los algoritmos que permiten generar la señal sinusoidal de corriente y controlar su amplitud.

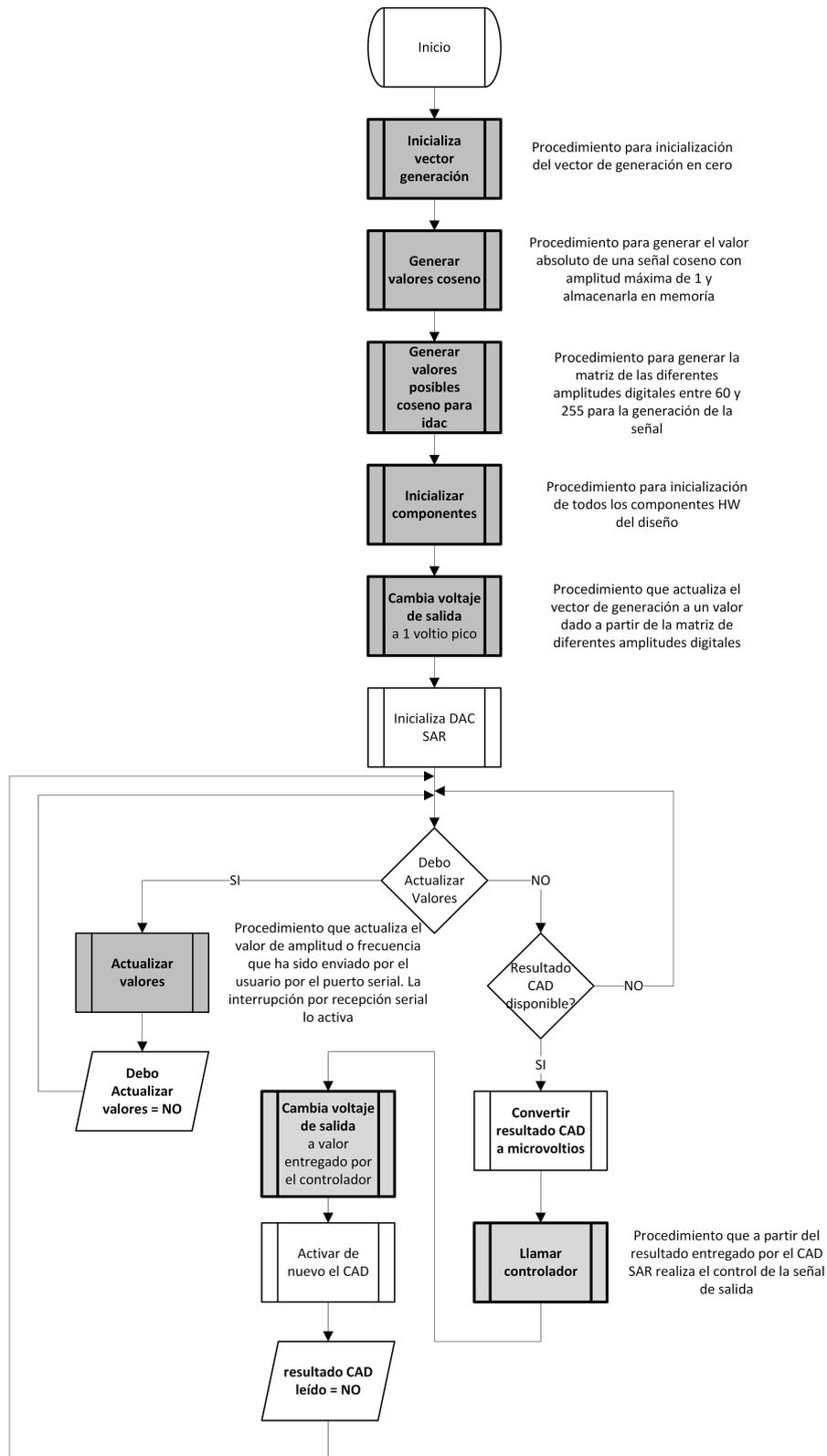


Figura 4.19: Diagrama de flujo para la función principal. Fuente propia

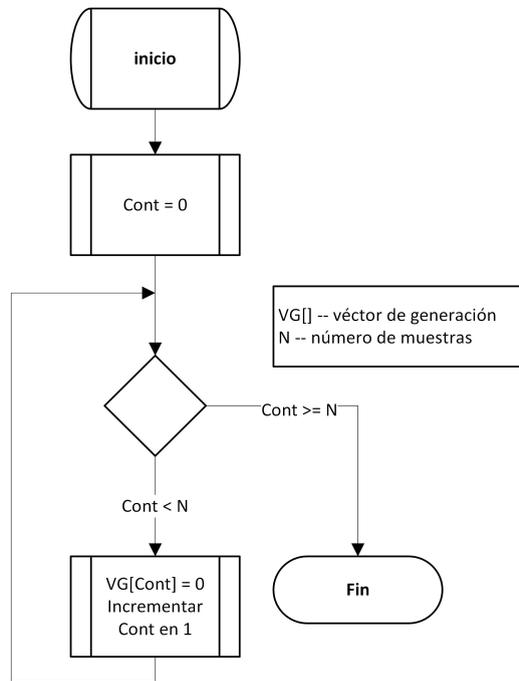


Figura 4.20: Diagrama de flujo para la inicializaci3n del vector de generaci3n. Fuente propia

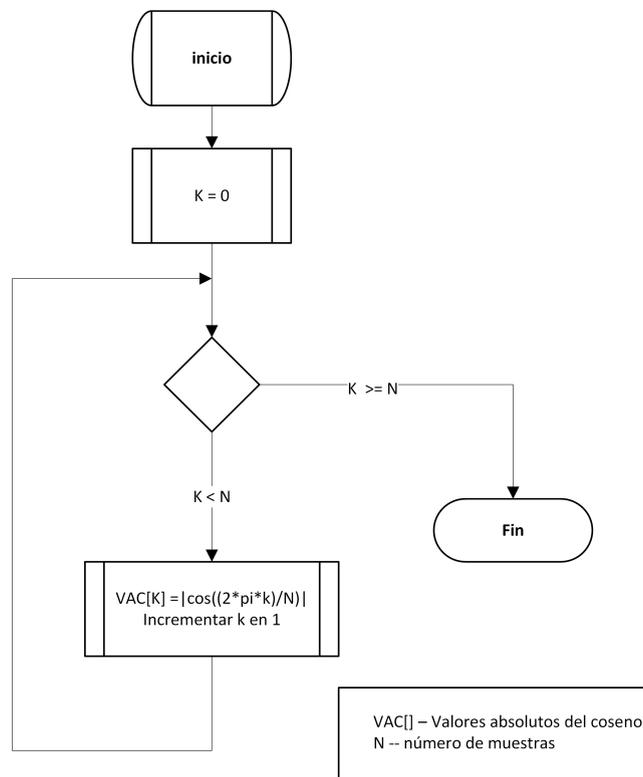


Figura 4.21: Diagrama de flujo para construir el vector de valor absoluto normalizado de la funci3n coseno. Fuente propia

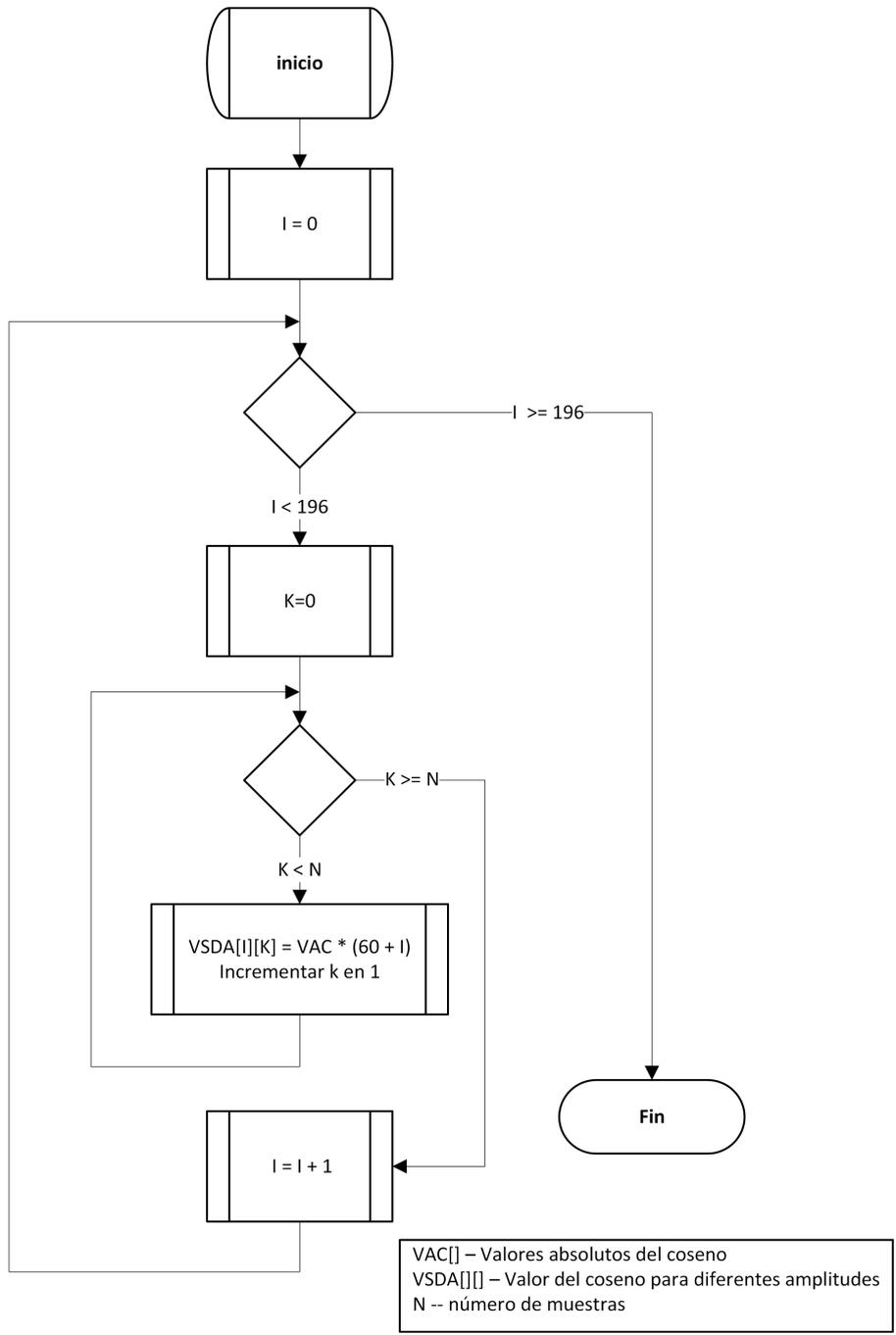


Figura 4.22: Diagrama de flujo para construir la matriz cuyas filas contienen el valor absoluto normalizado de la función coseno para distintas amplitudes máximas. Fuente propia

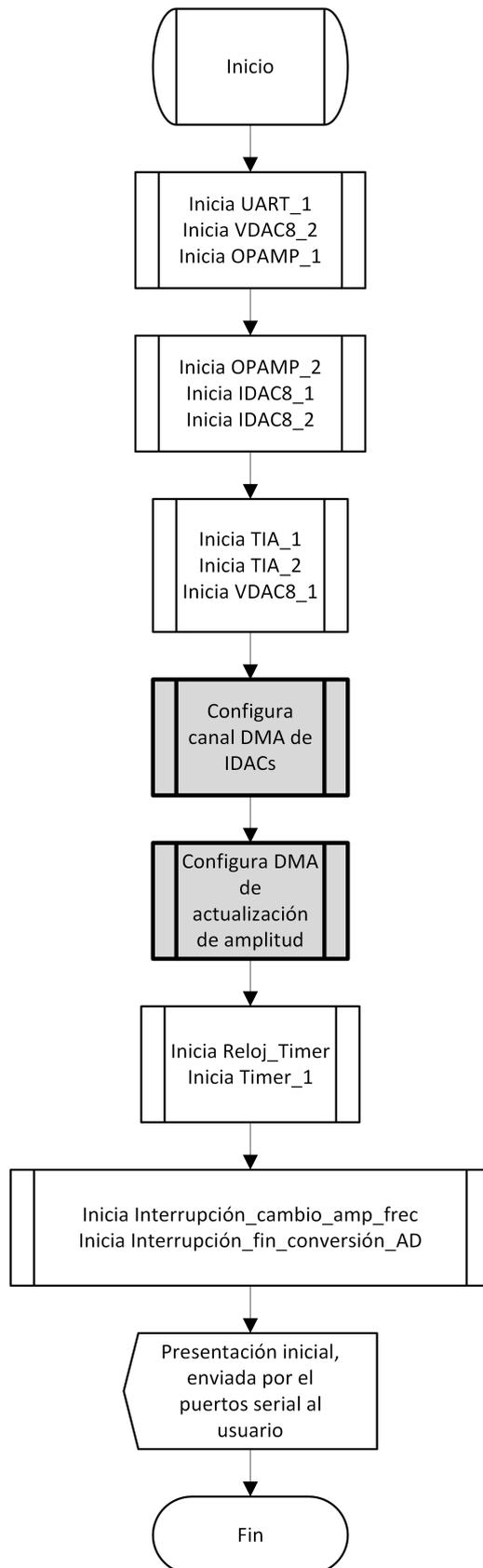


Figura 4.23: Diagrama de flujo de inicialización de componentes. Fuente propia

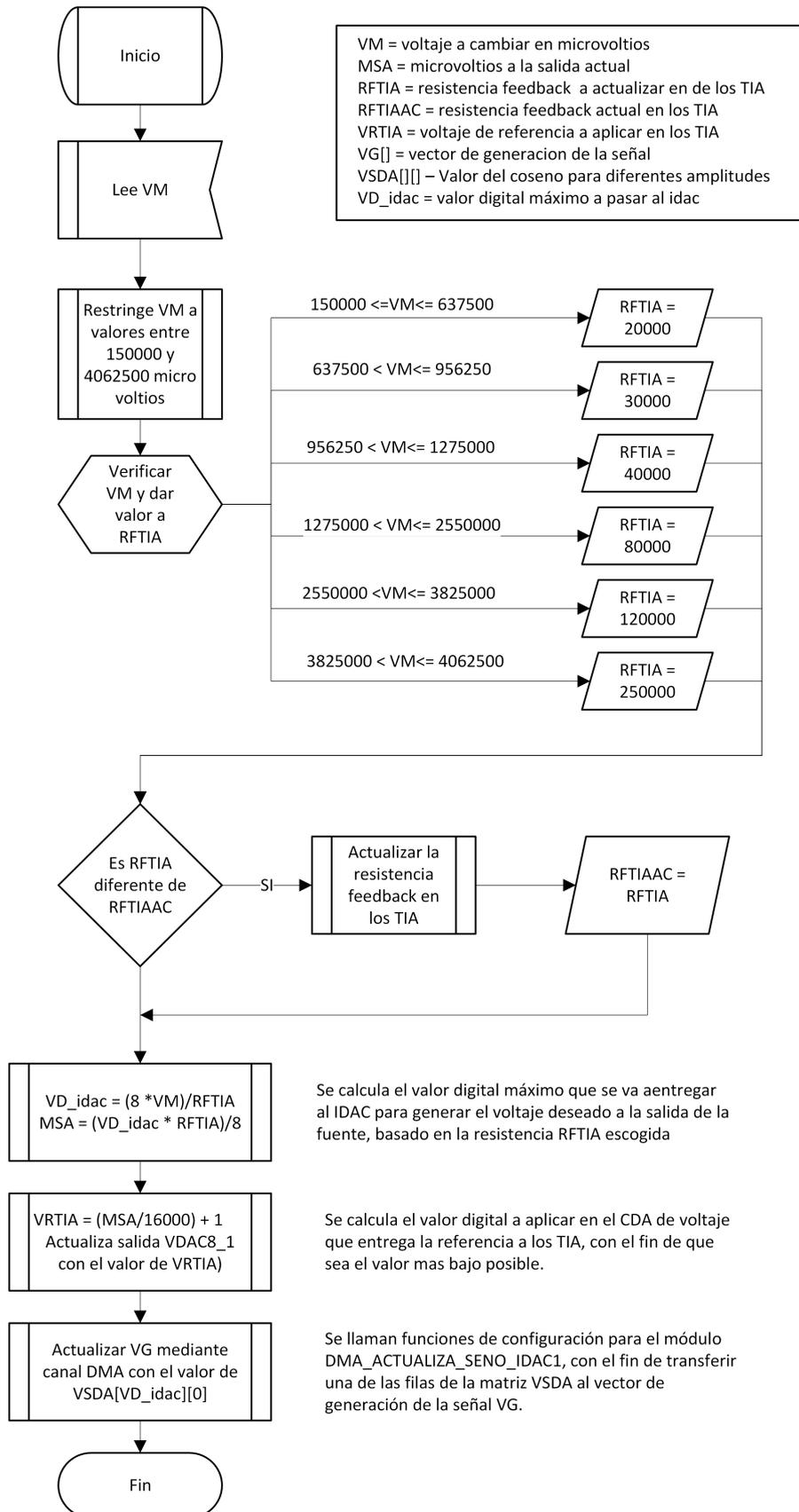


Figura 4.24: Diagrama de flujo que muestra como actualizar el vector de generación para cambiar la amplitud máxima de salida. Fuente propia

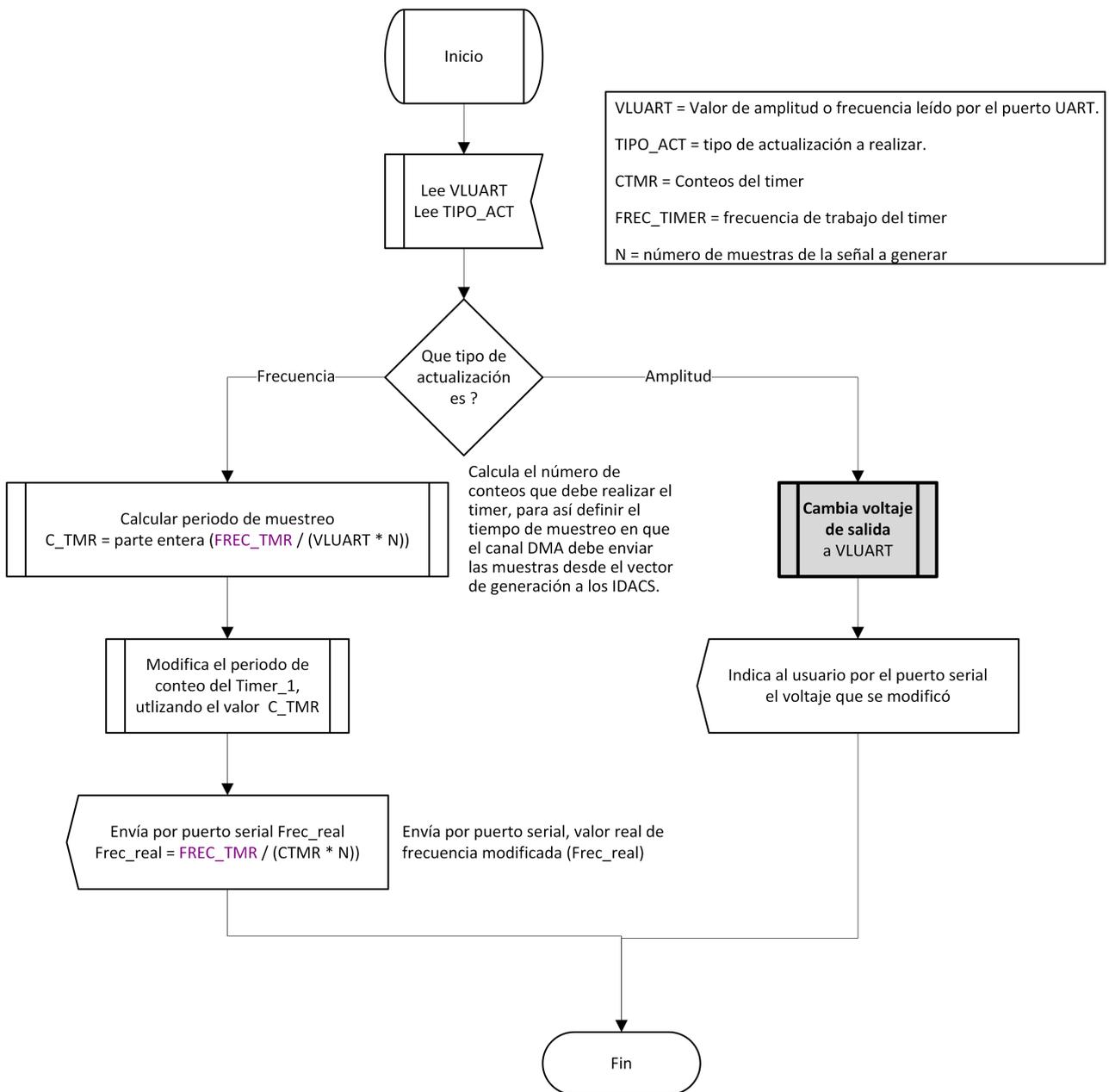


Figura 4.25: Diagrama de flujo que muestra cómo se actualiza la frecuencia y amplitud de la señal generada, a partir de una cadena de caracteres recibida por el puerto serial. Fuente propia

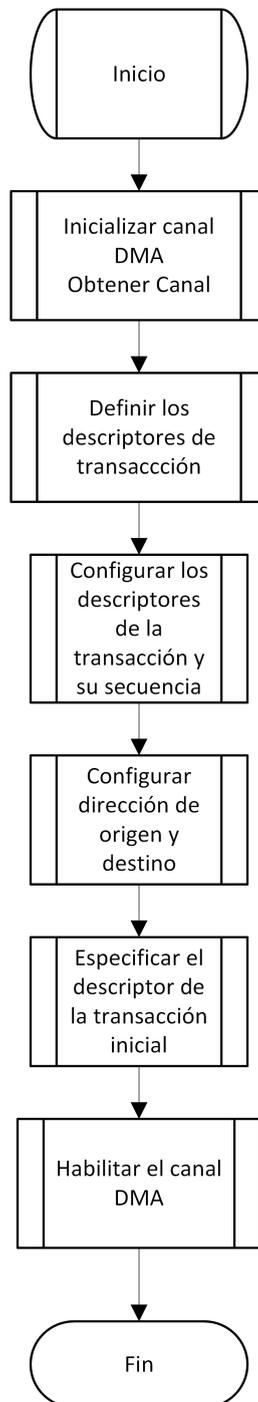


Figura 4.26: Diagrama de flujo que muestra la configuración del módulo DMA que transfiere los elementos del vector de generación a los IDACs. Fuente propia

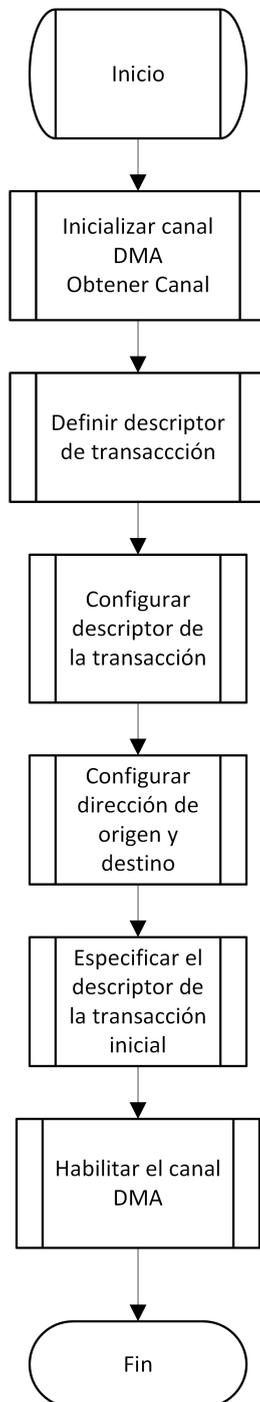


Figura 4.27: Diagrama de flujo que muestra la configuración del módulo DMA que transfiere una fila de la matriz de valores absolutos normalizados de la función coseno, al vector de generación. Fuente propia

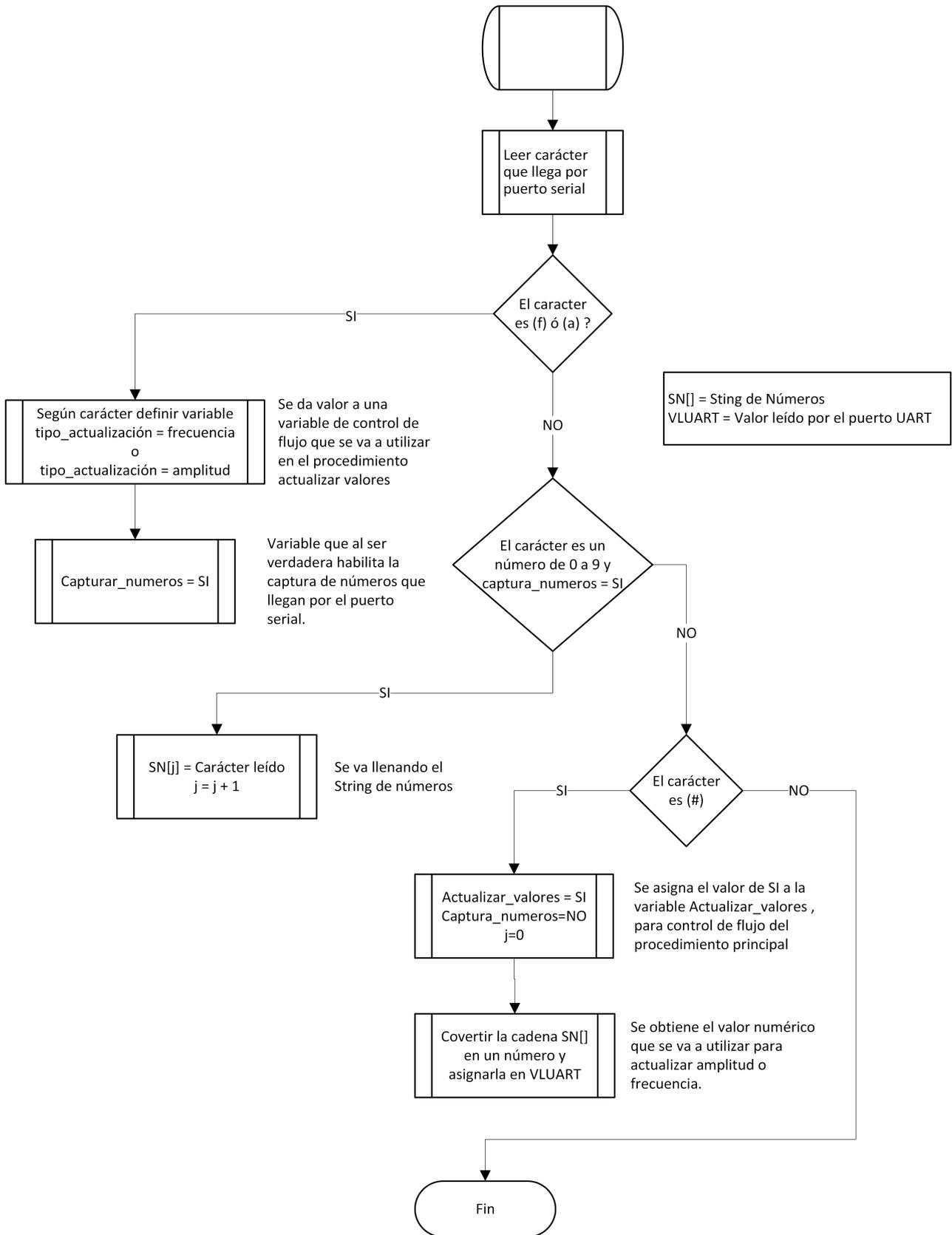


Figura 4.28: Diagrama de flujo que muestra el comportamiento de la interrupción por recepción serial, la cual se utiliza para cambiar manualmente la frecuencia y la amplitud de la señal de salida de la fuente.. Fuente propia

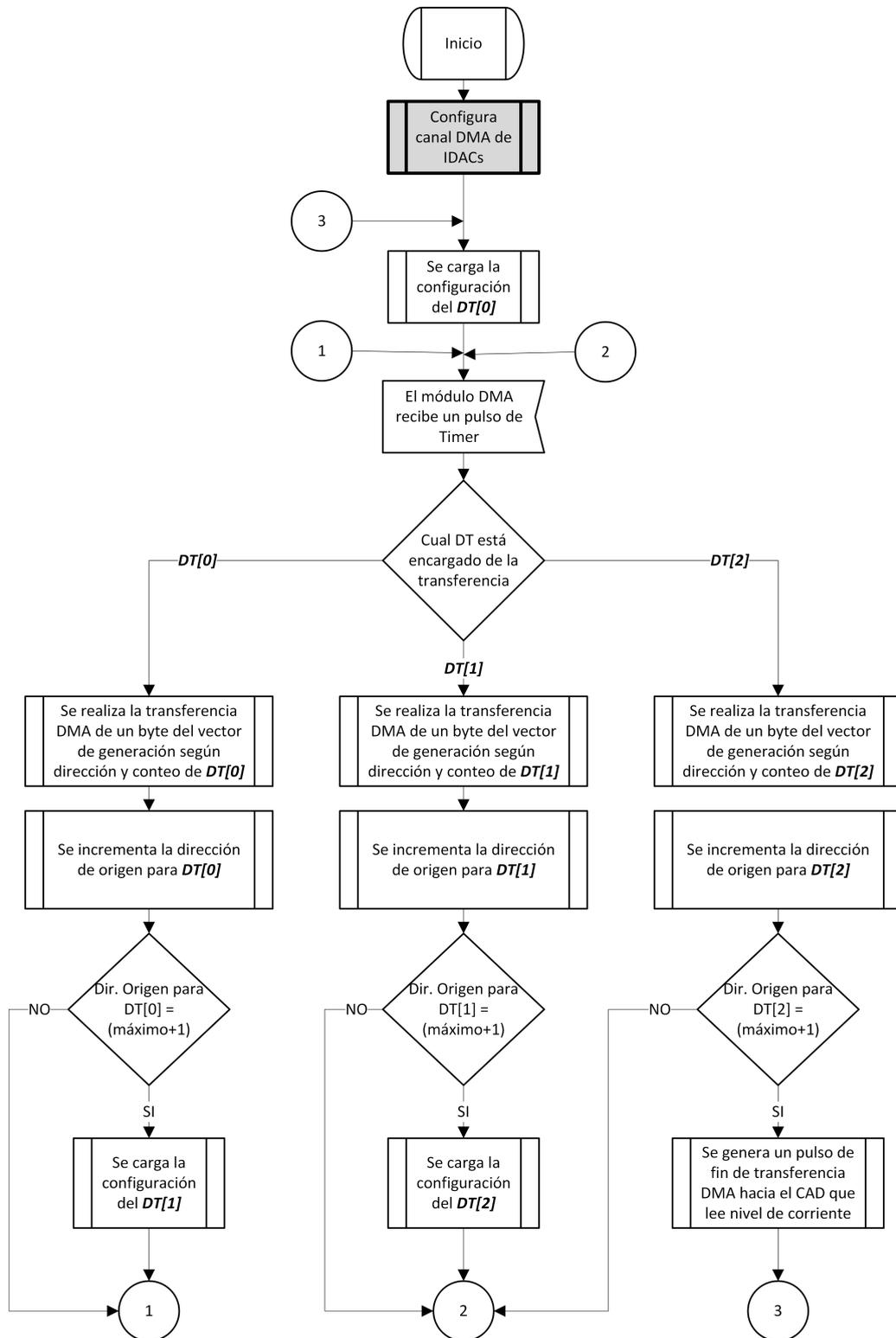


Figura 4.29: Diagrama de flujo que muestra el comportamiento del módulo DMA al transmitir los elementos del vector de generación a los IDACs. Fuente propia

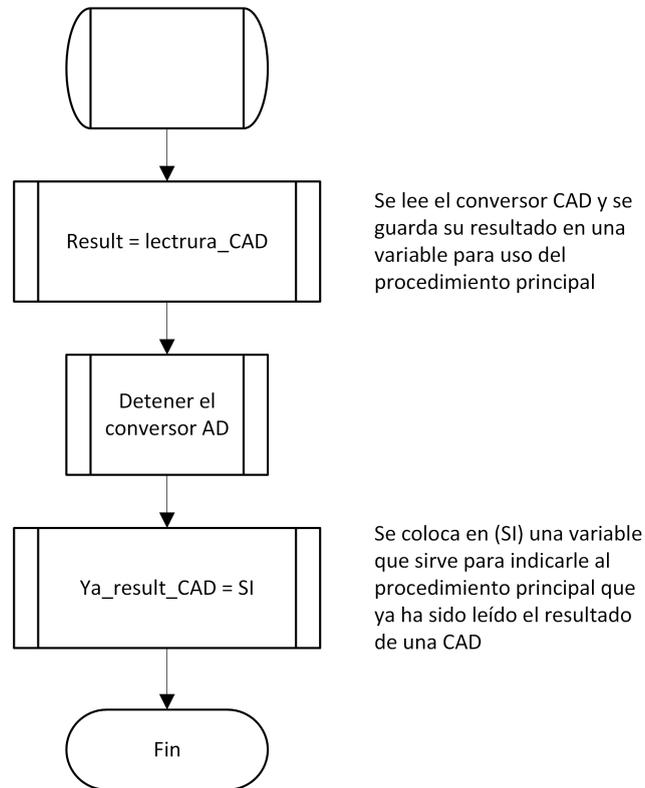


Figura 4.30: Diagrama de flujo que muestra el comportamiento de la interrupción por fin de conversión analógica a digital. Fuente propia

Capítulo 5

Esquema de control.

Como criterio de diseño de una fuente de corriente para estudios de bioimpedancia, se expresó en secciones anteriores que una frecuencia de 125 kHz cuenta con la capacidad de atravesar el medio intracelular y extracelular, para dar una medida amplia de la bioimpedancia eléctrica de un tejido. También se definió que para tener una distorsión armónica cercana al 1 % un número de 52 muestras por periodo, puede ser adecuado, ya que presenta una THD cercana a este valor y por condiciones de diseño de la fuente el número de muestras debe ser par y múltiplo de 4.

El esquema de control que se planteó inicialmente fue un esquema de control en espacio de estados (figura 5.1), para realizar el control de amplitud y forma de la señal de corriente a la salida de la fuente; para ello es necesario que el controlador haga que la salida de la fuente siga a una referencia sinusoidal cada periodo de muestreo. Debido a que el número de muestras utilizado en el diseño de la fuente es de 52, el periodo de muestreo está dado por $P_m = P_s/52$, donde P_m es el periodo de muestreo y P_s es el periodo de la señal, siendo $P_m = 0,1538\mu\text{S}$ para una frecuencia de 125 kHz. Al ser 80 MHz la frecuencia de trabajo máxima de una PSoC 5LP, esto implica que entre cada periodo de muestreo de generación de la señal, hay 12.3 ciclos de reloj.

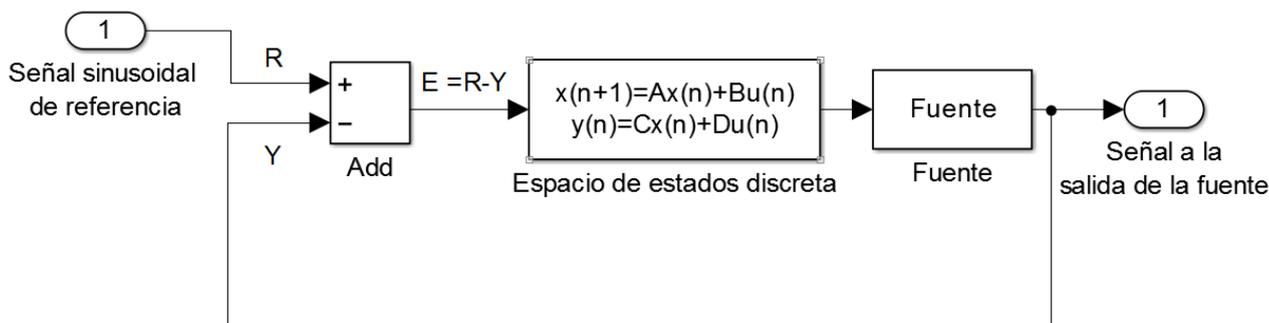


Figura 5.1: Control en espacio de estados para amplitud y forma de la señal de corriente. Fuente propia

La solución analítica del controlador propuesto inicialmente esta expresada por las ecuaciones (5.1) y (5.2), las cuales deben ser calculadas cada periodo de muestreo de generación de la señal; aunque las operaciones que se deben realizar para este tipo de controlador son sumas y multiplicaciones, el uso de cifras decimales incrementa el tiempo de cómputo, siendo 12.3 ciclos de reloj un tiempo muy corto para realizar entre muestra y muestra cualquier cálculo asociado al controlador.

$$X(k + 1) = A * X(k) + B * E \quad (5.1)$$

$$U(k) = C * X(k) + D * E \quad (5.2)$$

Pruebas del controlador realizadas embebiendo las ecuaciones (5.1) y (5.2) en un procesador PSoC 5LP CY8C5868AXI-LP035 con reloj de 63 MHz, indicaron tiempos de ejecución de la ley de control de $48 \mu\text{s}$ y de $130 \mu\text{s}$ considerando el tiempo de adquisición y conversión del CAD, cambio de contexto entre funciones y llamado a interrupción por fin de conversión analógica a digital.

Lo anteriormente expuesto indica que la frecuencia máxima de la señal sinusoidal a la salida de la fuente estaría alrededor de los 400 Hz considerando solo el tiempo de ejecución de la ley de control y asumiendo instantáneos los demás procesos asociados a la adquisición de los datos. Si se consideran los retardos asociados a la adquisición la frecuencia máxima de salida sería de 147 Hz.

Embebiendo el mismo controlador en una PSoC 5LP con frecuencia de reloj de 80 MHz se logra un aumento de la frecuencia máxima de salida en un 25 %, lo que es un valor muy alejado de los 125Khz que se desean lograr.

Realizar un control fino de la amplitud y forma de la corriente sinusoidal de salida de una fuente embebida en una PSoC, no es la solución más apropiada, debido a la capacidad de procesamiento con la que se cuenta, por lo que el enfoque de control debe ser minimalista respecto al uso de los recursos hardware.

Atendiendo las limitaciones en la capacidad de procesamiento para el desarrollo de una fuente para estudios de bioimpedancia totalmente embebida en una PSoC, se propone un esquema de control de la amplitud pico de la señal de corriente, mediante control proporcional; en este caso el tiempo de procesamiento disponible para el controlador es de dos periodos de la señal de salida, debido a la arquitectura hardware que se propuso en la sección *Medición de corriente* en este documento, reduciendo el control de corriente al seguimiento de una referencia constante y no variable como era el caso del esquema de control de amplitud y forma de la señal propuesto inicialmente.

La figura (5.2), muestra un primer esquema de control proporcional que se consideró. Aquí el valor de la referencia es el voltaje pico que debería aparecer en la resistencia shunt de valor conocido y constante (ver figura (4.15)), ya que aplicando la ley de ohm, se relaciona este valor directamente con la corriente pico deseada. El error se obtiene de la diferencia entre la referencia y el valor que entrega el CAD al medir el voltaje pico en la resistencia shunt (V_{shunt}).

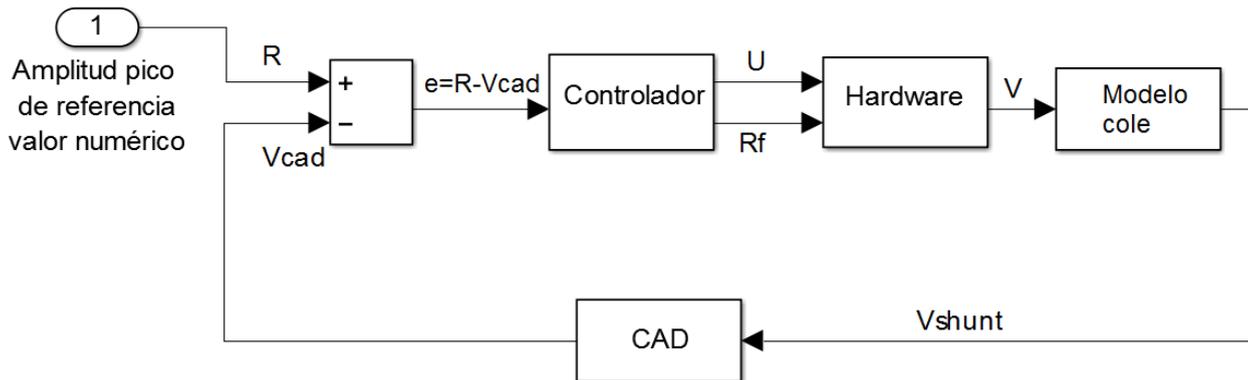


Figura 5.2: Control proporcional propuesto para la fuente de corriente, con señal de error $e = R - V_{CAD}$. Fuente propia

Las ecuaciones (5.3) a (5.7) describen el esquema de control de corriente planteado en la figura (5.2).

$$e(k) = R - V_{CAD}(k) \quad (5.3)$$

$$A(k) = V(k - 1) + Ce(k) \quad (5.4)$$

$$Rf(k) = F(A(k)) \quad (5.5)$$

$$U(k) = ParteEntera[8A(k)/Rf(k)] \quad (5.6)$$

$$V(k) = U(k)Rf(k)/8 \quad (5.7)$$

Las variables presentes en cada ecuación se describen a continuación:

- $e(k)$: es el error presente en el instante de muestreo k , dado en microvoltios.
- R : es el valor de voltaje pico de referencia deseado en la resistencia shunt, dado en microvoltios.
- V_{CAD} : es el valor de voltaje pico medido por el CAD en la resistencia shunt, en el instante de muestreo k , dado en microvoltios.
- $A(k)$: es el valor de voltaje pico al que se desea llevar la salida de la fuente, en el instante de muestreo k , dado en microvoltios.
- C : es la constante proporcional del controlador.
- $Rf(k)$: es la resistencia de realimentación de los amplificadores de transimpedancia, calculada mediante una función F descrita en la tabla 5.1, en el instante de muestreo k .
- $U(k)$: es un valor entero de 8 bits, utilizado para escoger en la matriz de diferentes amplitudes del seno figura (4.14), el vector que se va a transferir por DMA al vector de generación de la señal, con el fin de alcanzar el $A(k)$ deseado.
- $V(k)$: es el valor de voltaje pico a la salida de la fuente, en el instante de muestreo k , dado en microvoltios.

La ecuación (5.7) se calcula para almacenar en memoria el valor pico de salida de voltaje en el instante de muestreo k , la cual tiene una representación hardware, ya que al actualizar el vector de generación con un nuevo vector con amplitud máxima $U(k)$, los IDACs generarán una corriente sinusoidal que al ser convertida por los TIA en voltaje, su valor pico corresponderá a $V(k)$.

La figura (5.3) muestra el comportamiento del controlador de corriente de la fuente, ante variaciones abruptas de la impedancia de carga, considerando una resistencia shunt de 100Ω .

voltaje de salida deseado A(k)		Resistencia de realimentación TIA
Límite inferior >	Límite superior \leq	
0.15	0.6375	20 k Ω
0.6375	0.95625	30 k Ω
0.95625	1.275	40 k Ω
1.275	2.55	80 k Ω
2.55	3.825	120 k Ω
3.825	4.0625	250 k Ω

Tabla 5.1: Tabla que muestra los valores de resistencia de realimentación que retorna la función F en la ecuación (5.5), según el voltaje que se desea obtener a la salida de los TIA, buscando obtener la mejor resolución de voltaje posible.

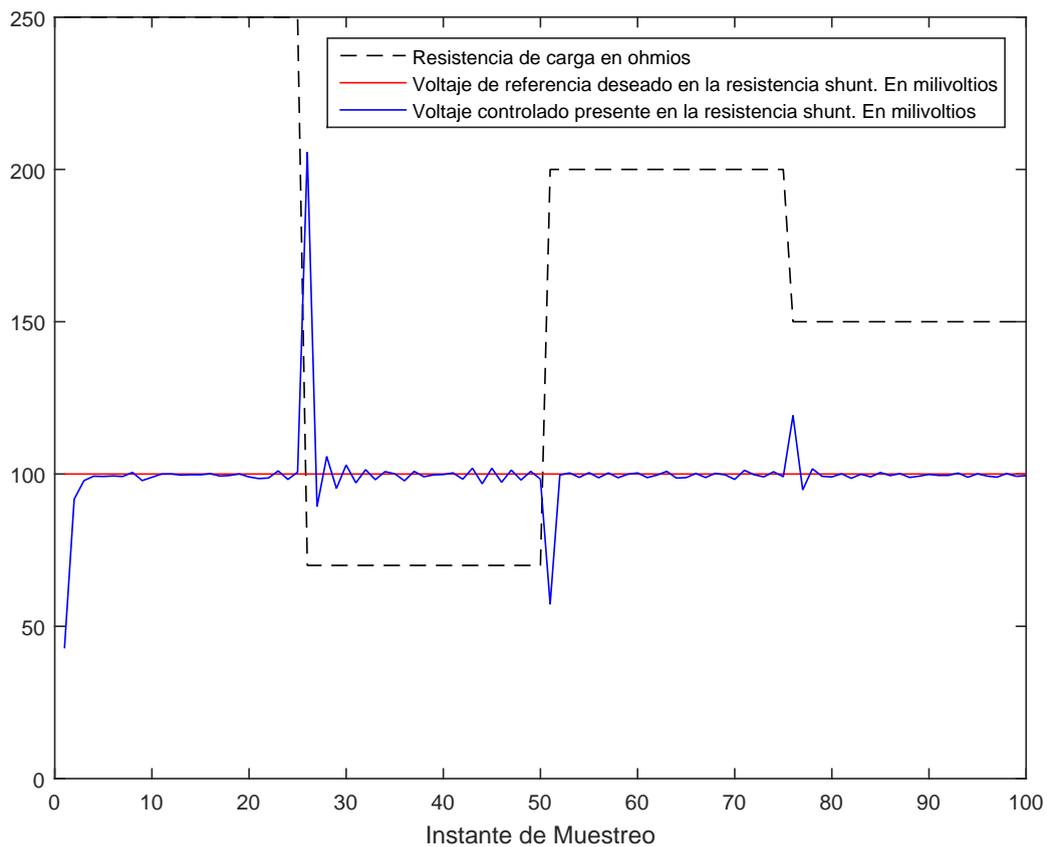


Figura 5.3: Respuesta del controlador proporcional propuesto en la figura (5.2) ante variaciones abruptas de la resistencia de carga; con constante de proporcionalidad ($C=3$) en la ecuación (5.3). Fuente propia

Los picos de voltaje presentes en la resistencia shunt, son debidos a variaciones grandes de la resistencia de carga entre dos periodos de muestreo consecutivos; al estar la resistencia shunt en serie con la carga, un aumento de la resistencia de carga, produce una disminución de voltaje en la resistencia shunt y una disminución de la resistencia de carga produce un aumento de voltaje en la resistencia shunt.

Se puede apreciar que el controlador ante cambios abruptos de voltaje en la resistencia shunt, en unos pocos periodos de muestreo nuevamente sigue la señal de referencia; se escogió una constante de proporcionalidad $C=3$, ya que valores menores producían un tiempo mayor para alcanzar la referencia y valores mayores producían oscilaciones, como se pueden ver en las figuras (5.4) y (5.5)

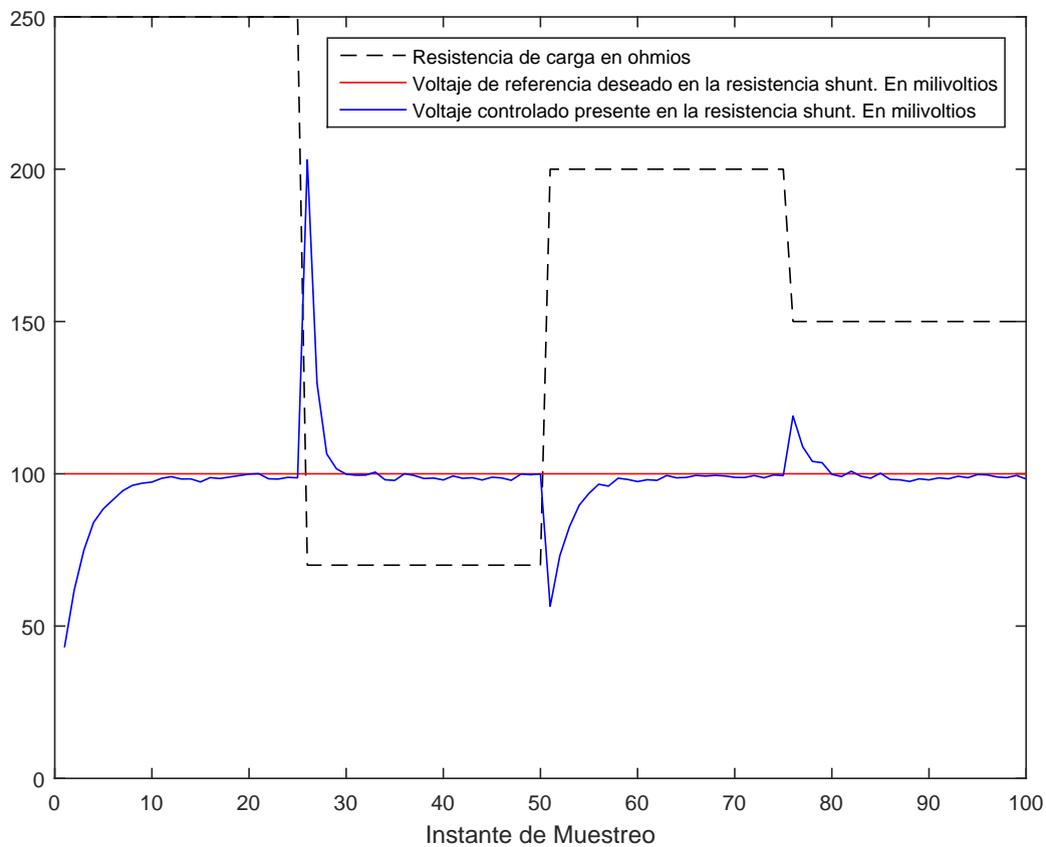


Figura 5.4: Respuesta del controlador proporcional propuesto en la figura (5.2) para constante de proporcionalidad ($C=1.2$). Fuente propia

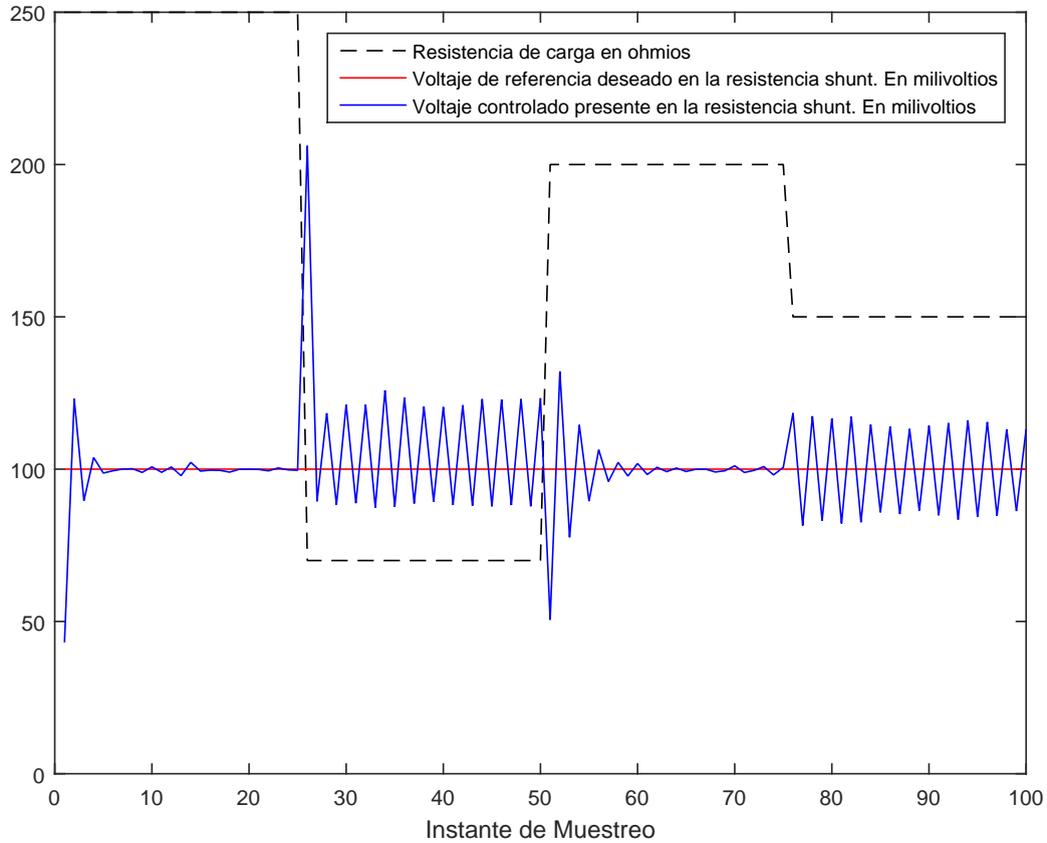


Figura 5.5: Respuesta del controlador proporcional propuesto en la figura (5.2) para constante de proporcionalidad ($C=5$). Fuente propia

Se experimentó con un esquema de control proporcional alterno el cual se muestra en la figura (5.6). Aquí la señal de error (e) que era la diferencia entre la referencia y el valor de voltaje medido en la resistencia shunt, se reemplazó por un factor λ que es el cociente entre la referencia y el valor medido en la resistencia shunt.

Las ecuaciones (5.8) a (5.12), describen el esquema de control de corriente planteado en la figura (5.6).

$$\lambda(k) = \frac{R}{V_{CAD}(k)} \quad (5.8)$$

$$A(k) = V(k-1)\lambda(k) \quad (5.9)$$

$$Rf(k) = F(A(k)) \quad (5.10)$$

$$U(k) = ParteEntera[8A(k)/Rf(k)] \quad (5.11)$$

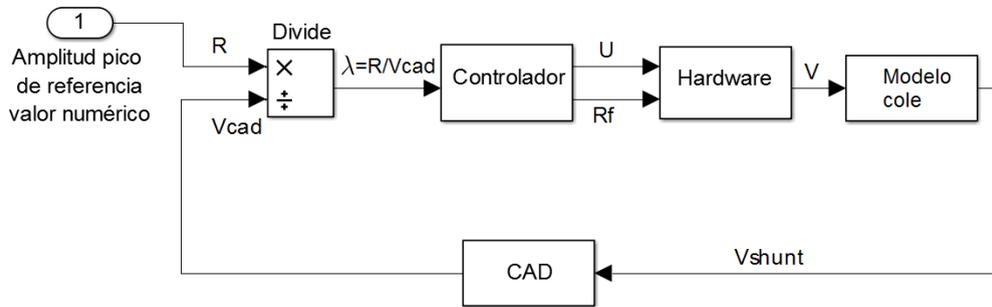


Figura 5.6: Control proporcional propuesto para la fuente de corriente, con señal de error $\lambda = R/V_{CAD}$. Fuente propia

$$V(k) = U(k)Rf(k)/8 \quad (5.12)$$

Las variables presentes en cada ecuación se describen a continuación:

- $\lambda(k)$: es el cociente entre la referencia y el valor medido en la resistencia shunt, en el instante de muestreo k .
- R : es el valor de voltaje pico de referencia deseado en la resistencia shunt, dado en microvoltios.
- V_{CAD} : es el valor de voltaje pico medido por el CAD en la resistencia shunt, en el instante de muestreo k , dado en microvoltios.
- $A(k)$: es el valor de voltaje pico al que se desea llevar la salida de la fuente, en el instante de muestreo k , dado en microvoltios.
- $Rf(k)$: es la resistencia de realimentación de los amplificadores de transimpedancia, calculada mediante una función F descrita en la tabla 5.1, en el instante de muestreo k .
- $U(k)$: es un valor entero de 8 bits, utilizado para escoger en la matriz de diferentes amplitudes del seno figura (4.14), el vector que se va a transferir por DMA al vector de generación de la señal, con el fin de alcanzar el $A(k)$ deseado.
- $V(k)$: es el valor de voltaje pico a la salida de la fuente, en el instante de muestreo k , dado en microvoltios.

La figura (5.7) muestra el comportamiento del nuevo controlador de corriente de la fuente, ante variaciones abruptas de la impedancia de carga, considerando una resistencia shunt de 100Ω .

Se puede observar que el control propuesto en la figura (5.6) tiene un tiempo de respuesta alto, ya que tarda solo un periodo de muestreo después de una variación abrupta de la resistencia de carga, para seguir nuevamente de cerca la referencia de voltaje que se desea en la resistencia shunt.

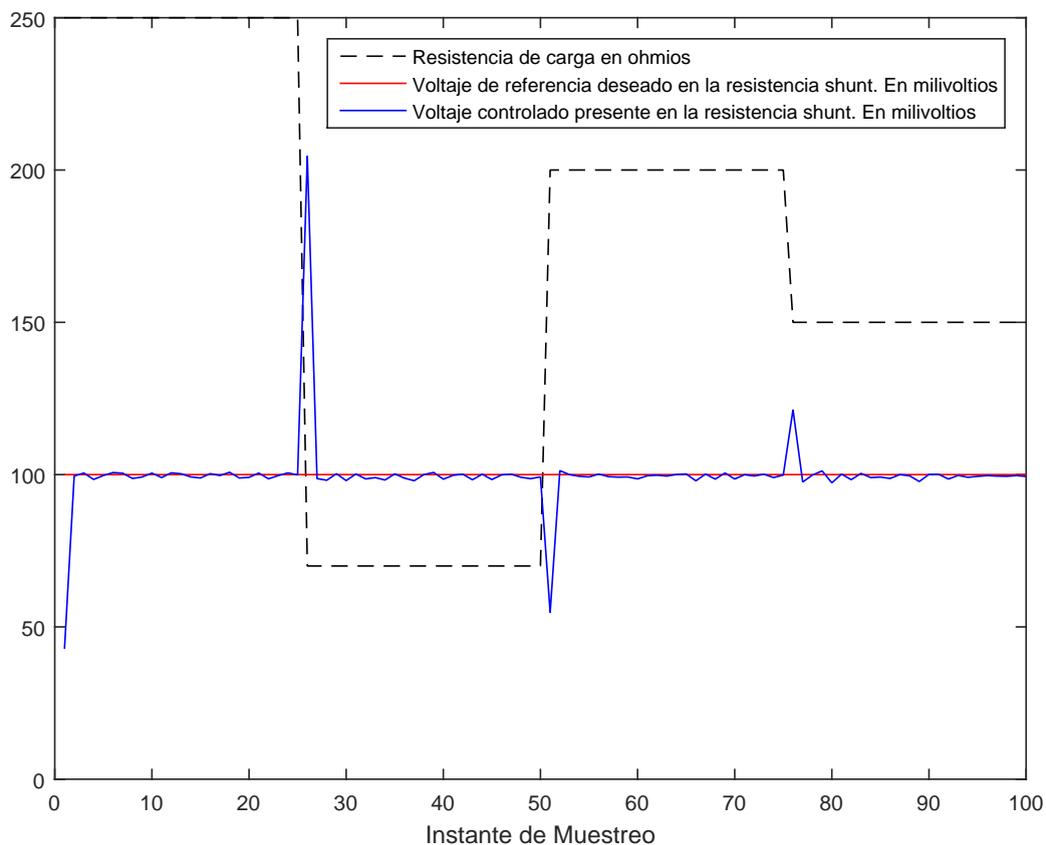


Figura 5.7: Respuesta del controlador proporcional propuesto en la figura (5.6) ante variaciones abruptas de la resistencia de carga. Fuente propia

Una comparación entre los dos esquemas de control proporcional planteados indica que el controlador mostrado en la figura (5.6) posee un mejor comportamiento en la velocidad de seguimiento de la referencia ante variaciones abruptas de la resistencia de carga que el planteado en la figura (5.2); la figura (5.8) muestra gráficamente esta aseveración.

Por las razones expuestas anteriormente el control mostrado en la figura (5.6) es el que se utilizó para controlar la corriente en la fuente propuesta, debido a que para el controlador expuesto en las ecuaciones (5.3) a (5.7) no existe una constante C , que garantice un buen comportamiento del sistema en lazo cerrado para variaciones de resistencia de carga entre 45Ω a $3.1 \text{ k}\Omega$.

Los cálculos matemáticos de las ecuaciones que rigen al esquema de control escogido se realizan

cada 2 periodos de la señal sinusoidal de salida, como se detalló en la figura (4.17).

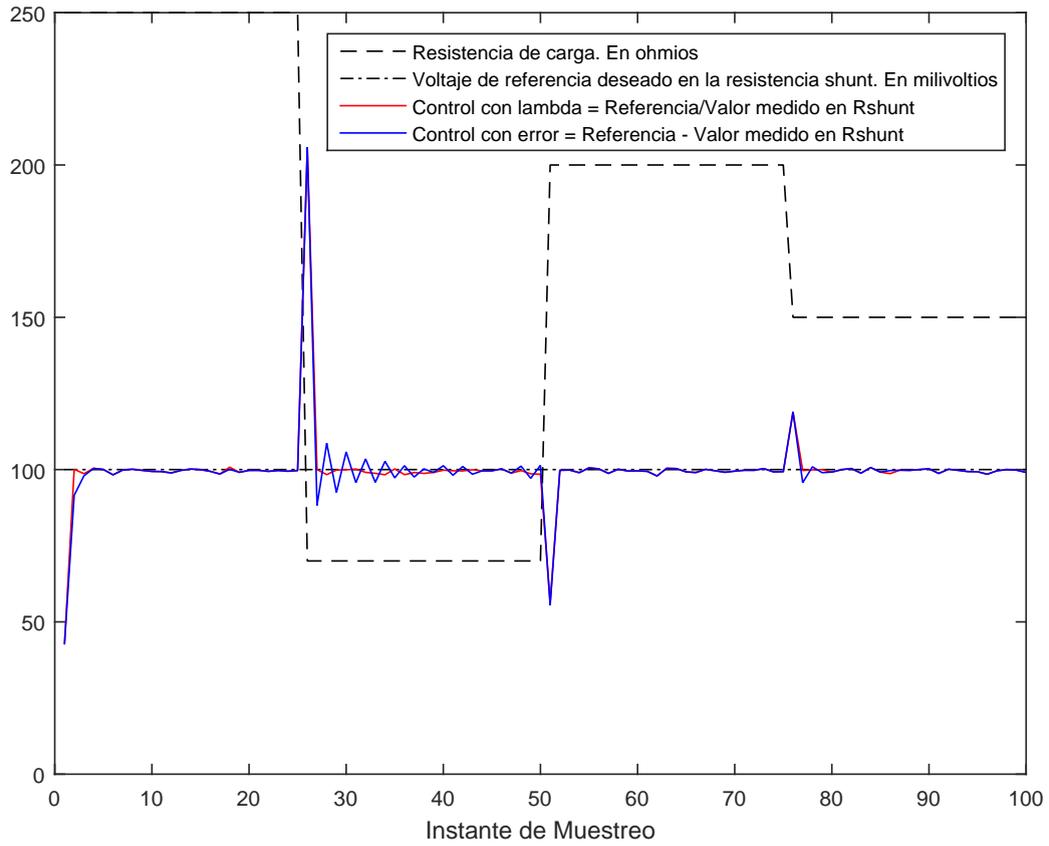


Figura 5.8: Comparación de la respuesta de los controladores propuesto en las figuras (5.2) y (5.6). Fuente propia

Capítulo 6

Experimentación y resultados

Para caracterizar la fuente se midió la resistencia mínima y máxima de carga, las diferentes frecuencias de trabajo de la fuente y la distorsión armónica, conservando una corriente de salida controlada de 1 mili amperio pico.

6.1. Rangos de impedancia de carga.

Ya que el esquema de medición de corriente de la fuente propuesta utiliza una resistencia Shunt de 100Ω en serie con la carga y con el fin de medir 1 mA pico, es necesario observar en la resistencia shunt una amplitud pico de 100 mV.

En la figura (6.1) se aprecia el montaje realizado para medir la impedancia de carga máxima y mínima; en este caso el valor del potenciómetro se varió con el fin de observar que valores de resistencia hacían que la controlabilidad de corriente de 1 mA pico no se pudiera sostener a diferentes frecuencias.

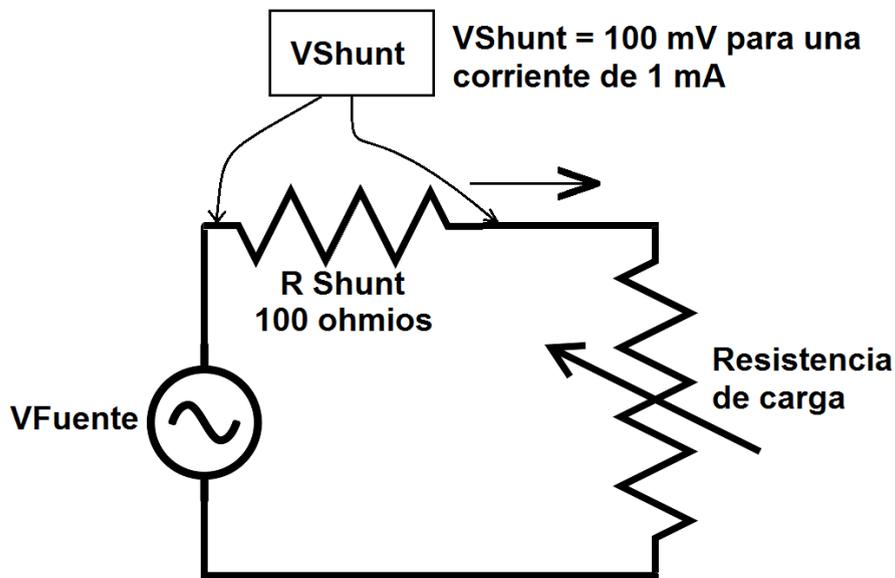


Figura 6.1: Montaje realizado para medir los valores máximo y mínimo de la resistencia de carga.

A valores de resistencia de carga menores de 45Ω , el valor de voltaje en la resistencia Shunt comienza a aumentar por encima de 100 mV, indicando que la corriente que fluye hacia la carga es mayor de 1 mA pico, debido a una restricción que no permite a la fuente generar señales con valores menores a 150 mV pico, para evitar una alta distorsión por cuantización al generar una señal de baja amplitud.

La tabla 6.1 muestra los valores de resistencia máxima que puede manejar la fuente propuesta para distintas frecuencias de salida, por encima de los cuales ya no es posible mantener la controlabilidad de la corriente para 1 mA pico constante.

Frecuencia kHz	0.001	0.01	0.1	1	5	10	30	53	80	95	120	
Res Max en $k\Omega$	3.7	3.68	3.67	3.67	3.67	3.67	3.67	3.67	3.5	3.2	3.1	3.1

Tabla 6.1: Valores de resistencia de carga máxima que permite controlabilidad de corriente de 1 mA pico vs frecuencia de salida

Al aumentar la frecuencia de la señal a generar, también lo hace la frecuencia de muestreo del CDA de corriente de la PSoC, el cual no puede sostener una corriente determinada a altas frecuencias de muestreo, haciendo que el voltaje de salida de la fuente sea menor que el deseado;

esto acota el valor de la resistencia máxima de carga posible ya que voltajes menores de salida implican una corriente menor de salida.

Se puede observar en la tabla 6.1 que a medida que aumenta la frecuencia de salida, la resistencia de carga máxima disminuye, siendo el valor de 3100Ω aquel que permite una controlabilidad de corriente de 1mA pico en todo el rango de frecuencias que puede manejar la fuente.

6.2. Rangos de frecuencia.

Para una corriente constante de 1mA pico, la fuente diseñada permite la generación de una frecuencia mínima de 1hz y máxima de 120 kHz. La frecuencia de la señal que puede generar la fuente está dada por la ecuación (6.1). Aquí el valor 52 corresponde al número de muestras por periodo de la señal a generar, N es la cantidad de conteos que realiza el Timer encargado de disparar una transferencia DMA y T_{clock} es la frecuencia de reloj a la entrada del Timer la cual es de 25 MHz, ver figura (6.2).

$$F = \frac{1}{52NT_{clock}} \quad (6.1)$$

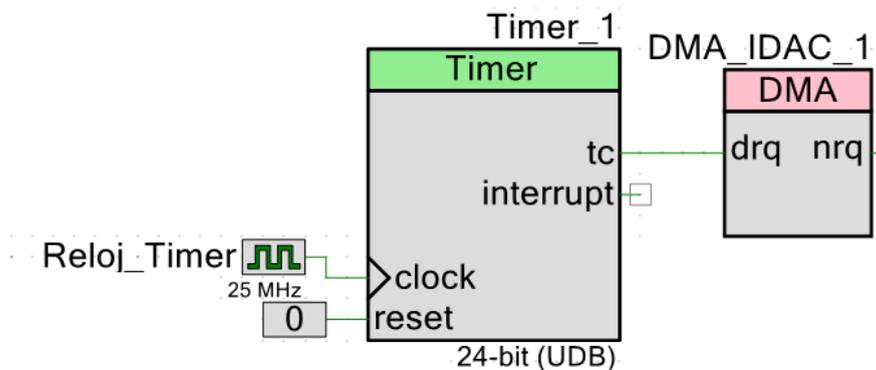


Figura 6.2: Configuración hardware para transferencia DMA.

Ya que el prototipo final de la fuente se alojó en una PSoC 5LP CY8C5888AXI-LP096 con frecuencia de reloj de 75 MHz, la expresión NT_{clock} que corresponde al tiempo que dura una transferencia DMA, debe ser mayor a $0.14\mu S$ para este procesador.

Para cumplir con el tiempo mínimo de una transferencia DMA, el rango de valores enteros que puede tomar N, esta entre 4 y 16777216 debido a los 24 bits para conteo con los que cuenta el Timer, ver figura (6.2). Es claro que debido a que N toma valores enteros, los valores de frecuencia no son continuos, presentándose una discontinuidad apreciable a valores de N pequeños como se ve en la tabla 6.2.

Valor de N	Frecuencia	Valor de N	Frecuencia	Valor de N	Frecuencia
4	120192.308	1000	480.769231	10000	48.0769231
5	96153.8462	1001	480.288942	10001	48.0721159
6	80128.2051	1002	479.809612	10002	48.0673096
7	68681.3187	1003	479.331237	10003	48.0625043
8	60096.1538	1004	478.853816	10004	48.0577
9	53418.8034	1005	478.377344	10005	48.0528966
10	48076.9231	1006	477.90182	10006	48.0480942
11	43706.2937	1007	477.42724	10007	48.0432928
12	40064.1026	1008	476.953602	10008	48.0384923
13	36982.2485	1009	476.480903	10009	48.0336928
14	34340.6593	1010	476.009139	10010	48.0288942
15	32051.2821	1011	475.538309	10011	48.0240966
16	30048.0769	1012	475.06841	10012	48.0192999
17	28280.543	1013	474.599438	10013	48.0145042
18	26709.4017	1014	474.131391	10014	48.0097095
19	25303.6437	1015	473.664267	10015	48.0049157
20	24038.4615	1016	473.198062	10016	48.0001229

Tabla 6.2: Algunos valores teóricos de frecuencia que puede generar la fuente diseñada

En las figuras (6.3), (6.4), (6.5) y (6.6) se puede apreciar el comportamiento de la fuente para algunas frecuencias de salida, respecto a la variación de la resistencia de carga, mostrándose un comportamiento estable en la frecuencia de salida, con una desviación máxima de 2.3% para algunas frecuencias respecto al valor teórico que debería generar la fuente; se puede observar que la frecuencia máxima de salida de la fuente esta alrededor de 119 kHz, lográndose el objetivo de obtener una frecuencia de trabajo por encima de los 100 kHz.

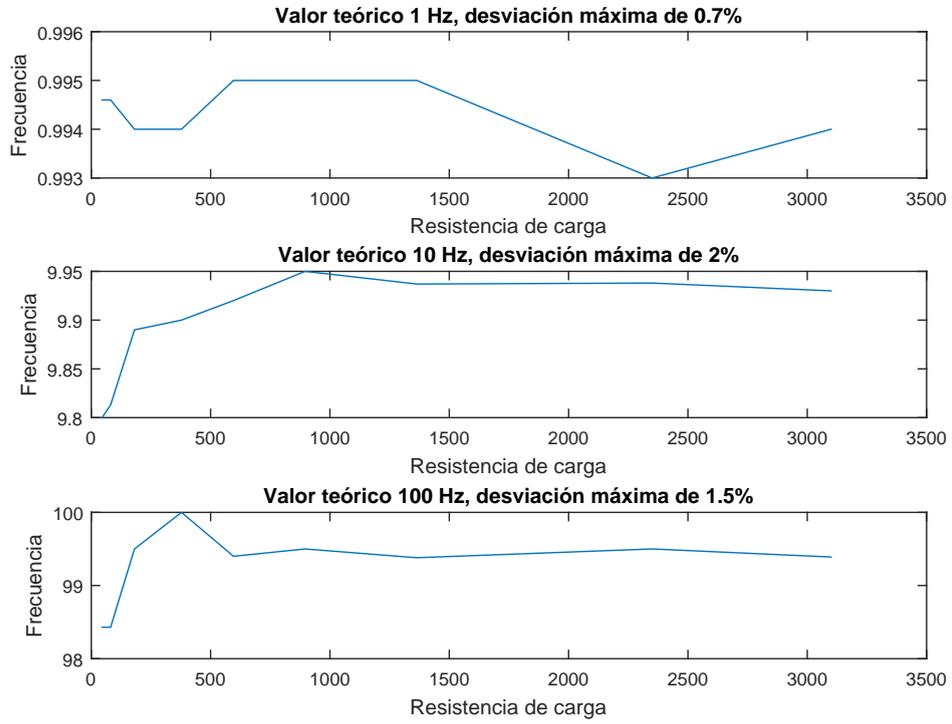


Figura 6.3: Frecuencia de salida (1Hz, 10Hz, 100Hz) vs Resistencia de carga.

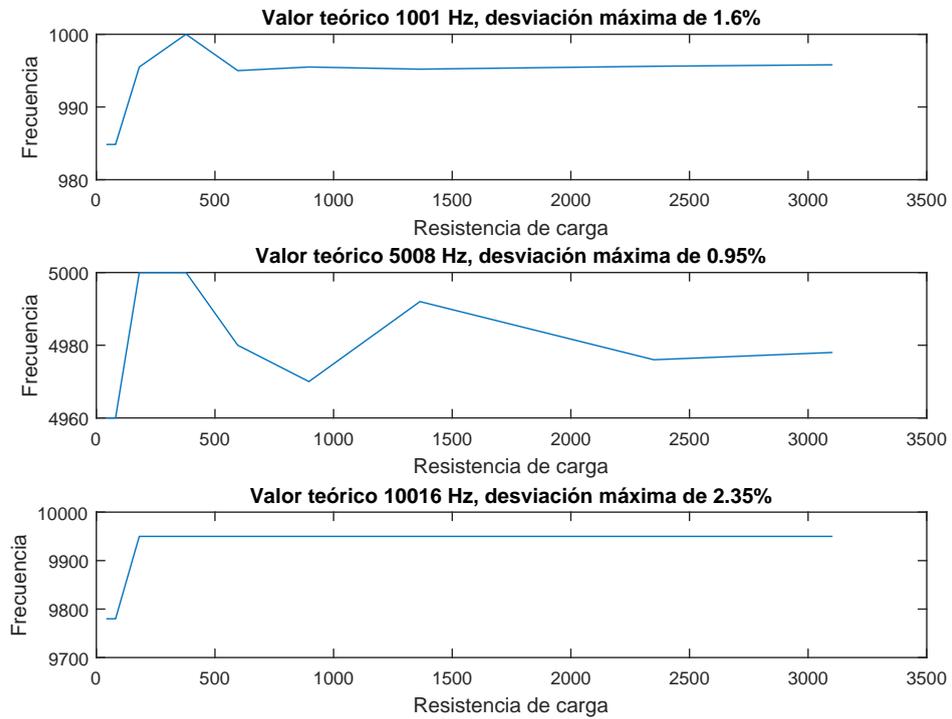


Figura 6.4: Frecuencia de salida (1kHz, 5kHz, 10kHz) vs Resistencia de carga.

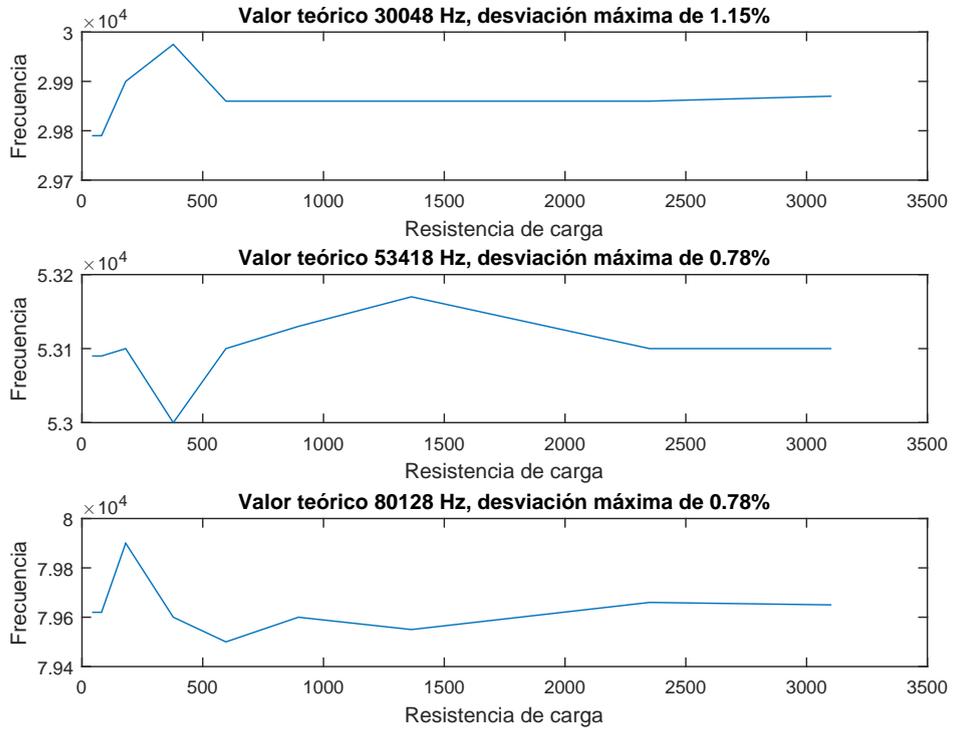


Figura 6.5: Frecuencia de salida (30kHz, 53kHz, 80kHz) vs Resistencia de carga.

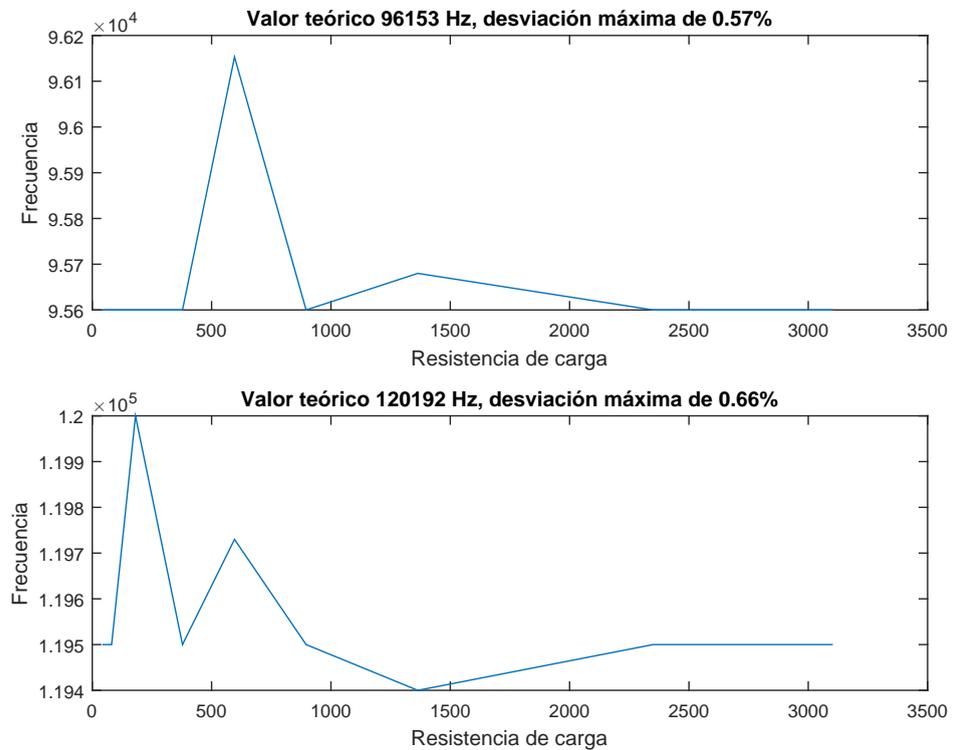


Figura 6.6: Frecuencia de salida (96kHz, 120kHz) vs Resistencia de carga.

6.3. Distorsión armónica

La distorsión armónica de la fuente diseñada se puede apreciar en las figuras (6.7) y (6.8), las cuales muestran la variación de la THD respecto al valor de la resistencia de carga para una determinada frecuencia.

Se puede observar que valores bajos de resistencia de carga producen una distorsión armónica mayor, debido a que la fuente debe disminuir la amplitud del voltaje sinusoidal de salida, con el fin de mantener la corriente pico constante; haciendo que la señal de salida, sea generada utilizando un número reducido de pasos de cuantización, lo cual distorsiona la forma de la señal.

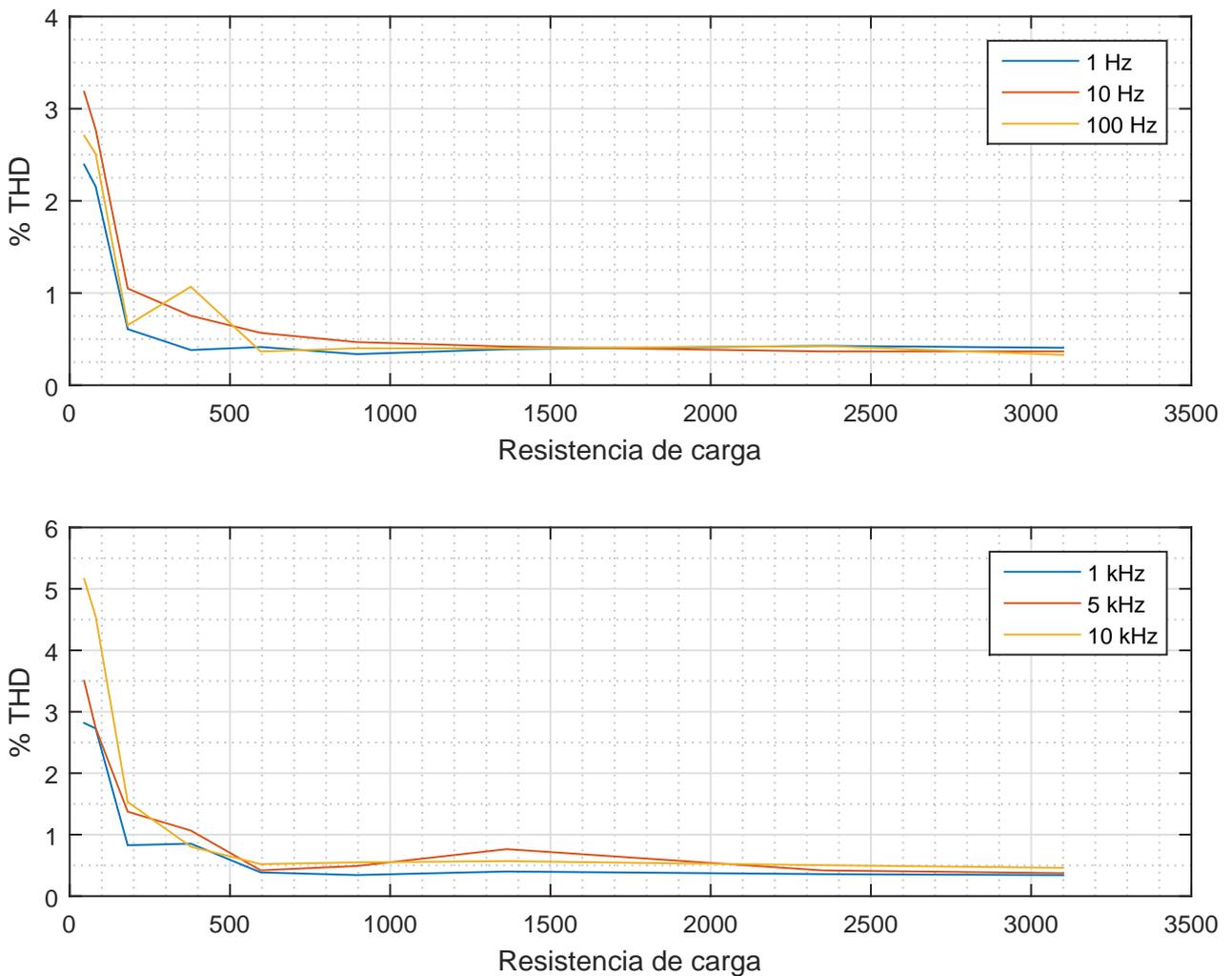


Figura 6.7: Distorsión armónica para distintas resistencias de carga, en frecuencias de 1Hz hasta 10kHz

Otro fenómeno que se puede apreciar en las figuras (6.7) y (6.8) es el aumento de la distorsión armónica al aumentar la frecuencia de salida, para una misma resistencia de carga. Este comportamiento se debe a que al aumentar la frecuencia de la señal de salida, también lo hace la frecuencia de muestreo de los IDACs, los cuales requieren un tiempo mínimo para la estabilización de su corriente de salida cada vez que el valor en la entrada digital de cada uno cambia. Al aumentar la frecuencia de muestreo el tiempo de establecimiento de la corriente disminuye llegando a producir distorsión a frecuencias de muestreo altas.

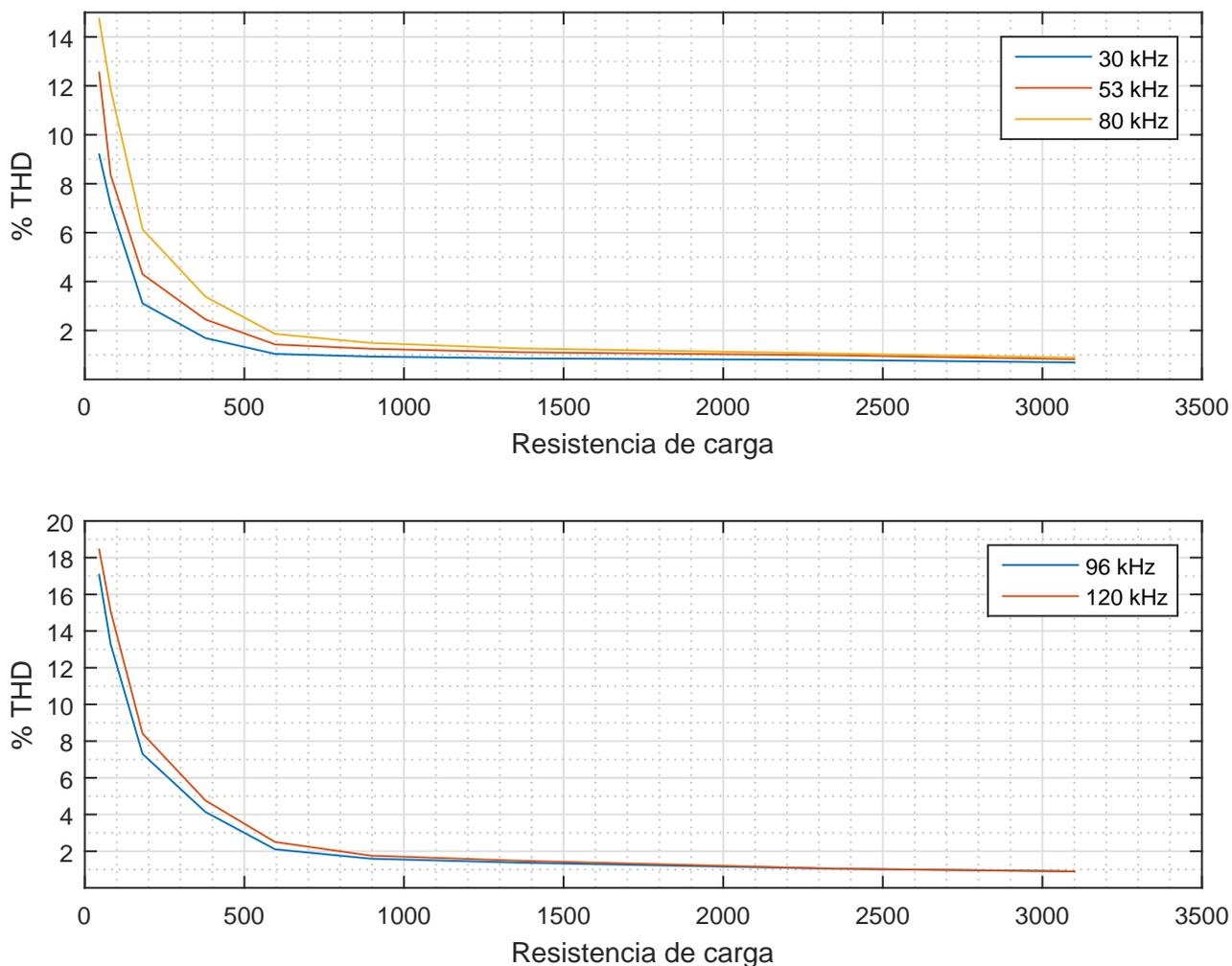


Figura 6.8: Distorsión armónica para distintas resistencias de carga, en frecuencias de 30kHz hasta 120kHz

La figura (6.9) resume el comportamiento de la distorsión armónica para distintas frecuencias de salida y distintas resistencias de carga.

Se puede apreciar que la fuente tiene un comportamiento uniforme y con un bajo porcentaje

de THD, menor al 2%, a partir de los 500Ω para todo el rango de frecuencias de salida que se puede manejar. Para valores de resistencia de carga menores a 500Ω se observa que la distorsión armónica aumenta considerablemente debido a la generación de la señal de salida con pocos pasos de cuantización en los IDACs, como se mencionó en párrafos anteriores.

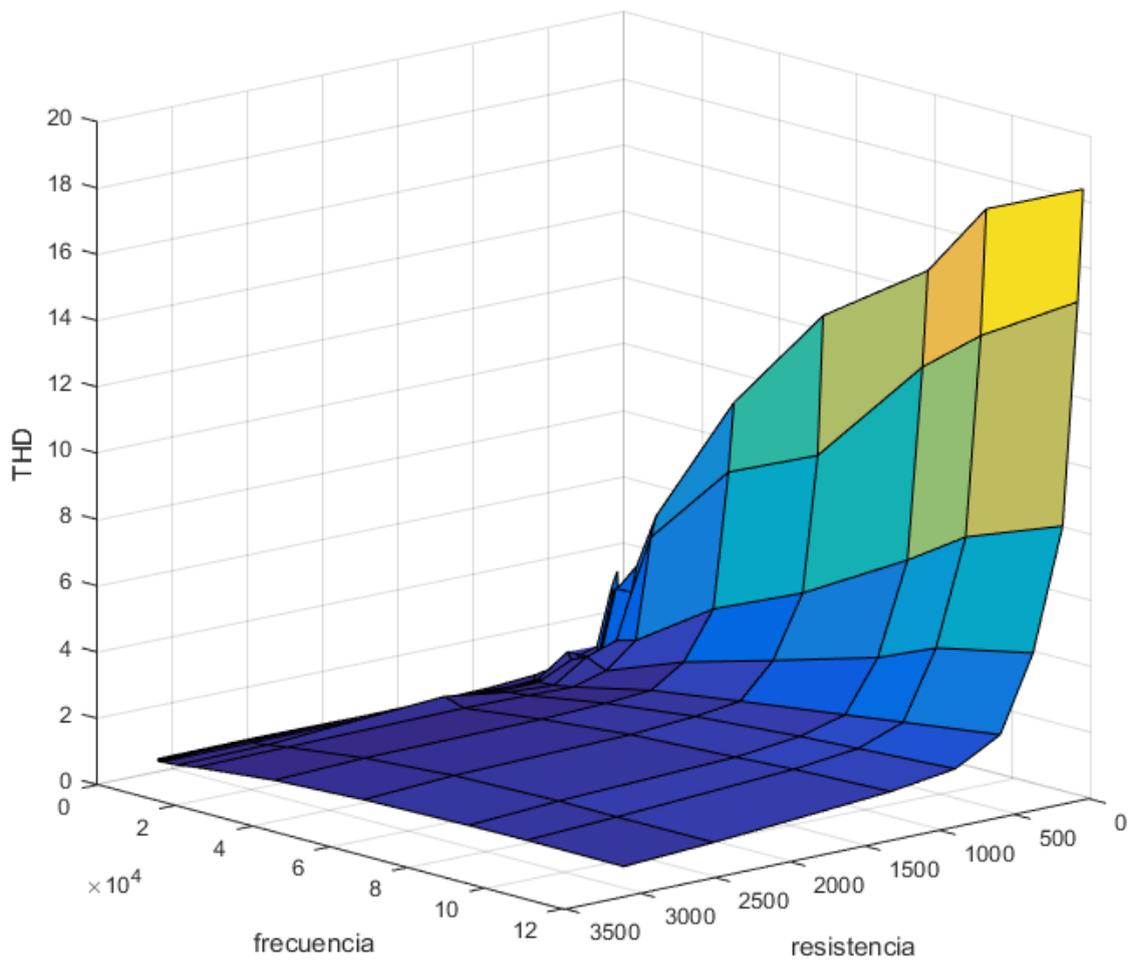


Figura 6.9: Distorsión armónica para distintas resistencias de carga y distintas frecuencias de salida de la fuente.

6.4. Comportamiento del controlador.

Las figuras (6.10) y (6.11) muestran el comportamiento del valor pico de la corriente para diferentes frecuencias a diferentes resistencias de carga, con una referencia de 1 miliamperio pico.

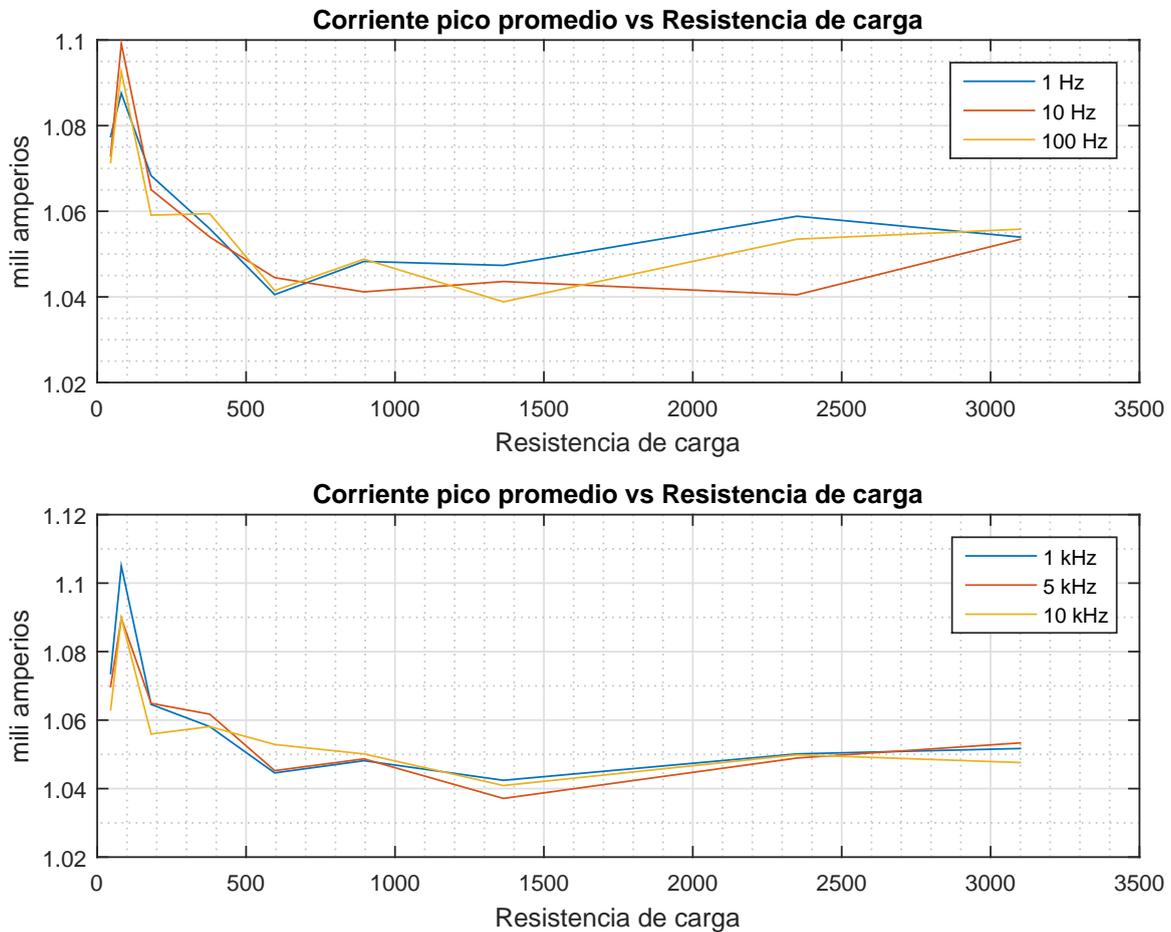


Figura 6.10: Amplitud pico promedio para distintos valores de resistencia de carga a distintas frecuencias

Se puede observar que seguimiento exacto de la referencia de un miliamperio no se logra debido a la resolución del CDA (8 bits) el cual no puede seguir exactamente las consignas que el controlador indica. También la resolución del CAD influye en el no seguimiento exacto de la referencia debido a que el controlador no tiene una lectura precisa del valor de corriente pico en la resistencia shunt.

Para valores bajos de resistencia de carga, el valor de corriente pico se aleja más de la referencia,

ya que con el fin de minimizar la distorsión armónica la fuente no genera valores muy bajos de voltaje que requieren pocos pasos de cuantización, lo que se traduce en un aumento de la corriente.

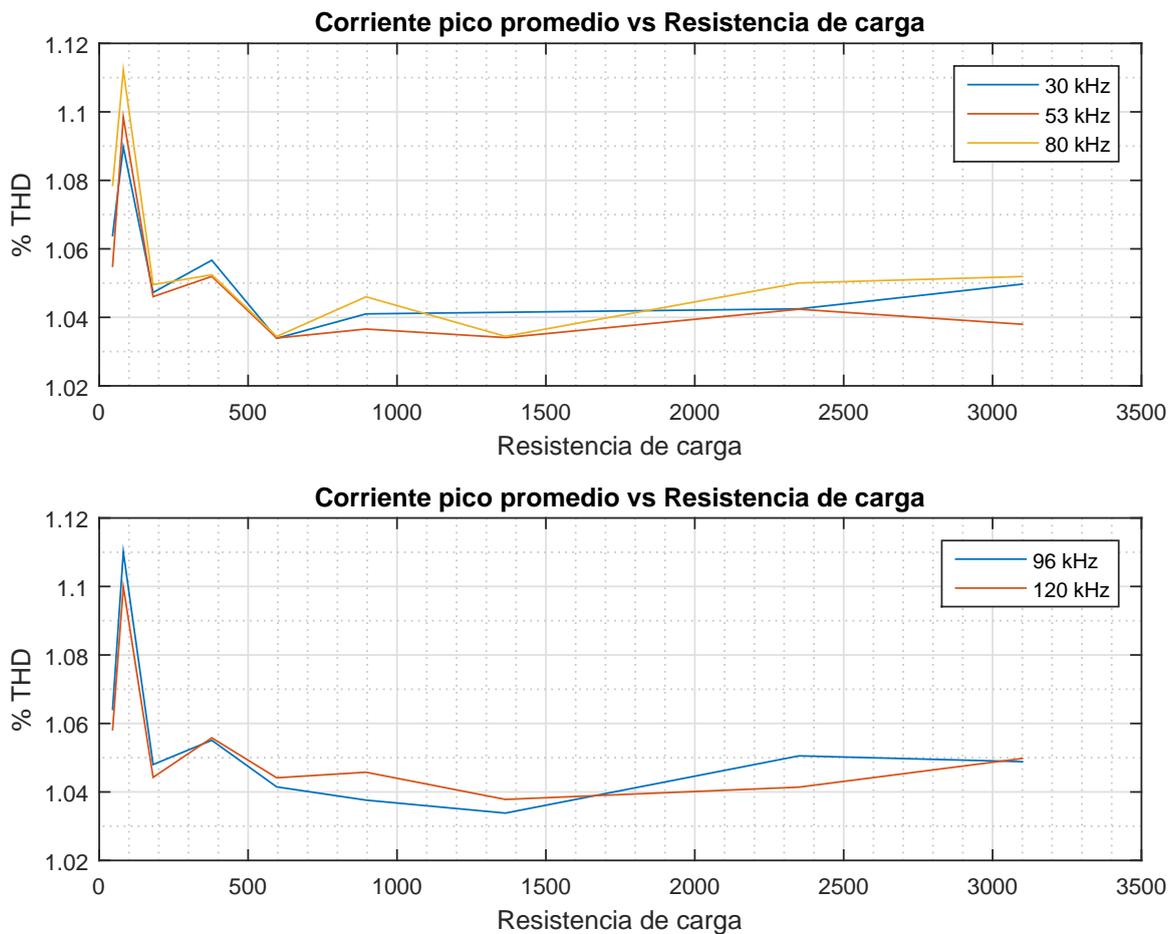


Figura 6.11: Amplitud pico promedio para distintos valores de resistencia de carga a distintas frecuencias

Capítulo 7

Conclusiones

Los dispositivos electrónicos híbridos deben ser tenidos en cuenta como una alternativa cada vez más atractiva para la solución de problemas que requieran el uso de electrónica digital y analógica apoyada por la capacidad de procesamiento de un microcontrolador. En particular los PSoC 5 tienen la arquitectura hardware necesaria para generar o procesar señales con rangos de frecuencias bajos a medios apoyados por la capacidad de procesamiento de un procesador de 32 bits corriendo velocidades de hasta 80 MHz. Haciendo un uso eficiente de sus recursos se pueden plantear soluciones de bajo costo y con buenos resultados.

Realizar un control fino de la amplitud y forma de la corriente sinusoidal de salida a frecuencias de varias decenas de kilo Hertz para una fuente embebida en una plataforma híbrida como la PSoC 5LP, no es la solución más apropiada, debido a la capacidad de procesamiento con la que se cuenta y la limitación en la frecuencia de muestreo de los CAD y CDA, por lo que el enfoque de control debe ser minimalista respecto al uso de los recursos hardware, sugiriéndose un control de amplitud pico cada pocos periodos de la señal, transformando el problema de control a el seguimiento de una referencia fija.

Se demostró que un controlador simple que multiplique la salida actual de voltaje por el cociente entre la salida inmediatamente anterior y la referencia es más que suficiente para mantener un buen control de amplitud pico de la señal, respondiendo en unos pocos periodos de la señal.

En este trabajo se hace evidente las ventajas que ofrece la generación de señales de cualquier tipo utilizando transferencias DMA desde una tabla de valores hacia un CDA de corriente o voltaje, ya que de esta manera los tiempos de cambio de contexto entre funciones, interrupciones o procesamiento de datos son sorteados permitiendo que el límite de velocidad de muestreo sea

impuesto por el CDA o el tiempo de acceso a memoria.

Si la generación de la señal se realiza mediante la transferencia de valores desde una tabla hacia el convertor digital analógico mediante un canal DMA, la detección del valor pico de la corriente se logra detectando el valor pico de voltaje presente en la resistencia shunt, el cual se produce en el mismo instante de tiempo que el valor pico de la señal de voltaje generada por la fuente. Esta detección se logra sin el uso de circuitos extra utilizando la salida de fin de transferencia DMA la cual activa la captura de voltaje presente en la resistencia shunt por medio de un CAD.

Para un sistema con polarización unipolar como el PSoC 5LP es posible generar señales bipolares sobre una carga, simplemente conectándola entre dos salidas de la fuente sin referencia a tierra y alternado en cada salida niveles de voltaje de tal forma que la corriente pueda circular a través de la carga en un sentido y otro debido a la diferencia de potencial.

Se encontró un pobre comportamiento de la fuente respecto a la distorsión armónica a bajos valores de resistencia de carga, ya que para mantener un valor de corriente constante con esos niveles de resistencia se requerían valores pico de voltaje pequeños, generando la señal con pocos pasos de cuantización, lo que redundaba en distorsión en la forma de la señal sinusoidal que se quería generar; de igual manera a medida que la frecuencia de salida de la señal se aumenta también lo hace la THD, ya que para generar frecuencias altas se requiere que la frecuencia de muestreo de los CDA de corriente se lleve a su límite, haciendo que no se puedan alcanzar los tiempos de establecimiento de corriente entre muestra y muestra.

En general si se utiliza un CDA de 8 bits a plena escala con una frecuencia de muestreo en un rango medio de su máxima capacidad, es posible generar señales sinusoidales a 52 muestras por periodo con THD menores al 1%.

Para ampliar el rango de resistencias de carga que puede manejar la fuente se puede utilizar un amplificador de ganancia programable, el cual permite amplificar o atenuar el valor de voltaje de salida, permitiendo que el convertor digital a analógico de la PSoC funcione a plena escala, lo cual redundará en una THD baja cercana al 1%.

Siglas

AGP	Amplificador de Ganancia Programable
CAB	Bloques Analógicos Configurables
CAD	Conversor Analógico a Digital
CDA	Conversor Digital a Analógico
CE	Capacitancia de Entrada
CORDIC	Computador digital de rotación de coordenadas
CPU	Unidad Central de Procesamiento
CS	Capacitancia de Salida
CSIR	Computador de Set de Instrucciones Reducido
DMA	Acceso Directo a Memoria
DT	Descriptor de la Transacción
EIT	Tomografía por Impedancia Eléctrica
FPAA	Arreglo analógico programable en campo
FPGA	Compuerta lógica programable en campo
HW	Hardware
IDAC	Conversor Digital a Analógico de Corriente
IE	Impedancia de Entrada
IS	Impedancia de Salida
PDS	Procesamiento Digital de Señales
PSoC	Sistema Programable en Chip
RC	Resistencia de Carga
SAR	CAD de Aproximaciones Sucesivas
SDD	Síntesis Digital Directa
SW	Software
TIA	Amplificador de TransImpedancia
USB	Bus Serial Universal

VDAC Conversor Digital a Analógico de Voltaje (por sus siglas en inglés)

VD_{Real} Valor Digital Real en la entrada del IDAC.

VDD_{Max} Valor Digital Máximo Deseado en la entrada del IDAC.

VDR_{Max} Valor Digital Real Máximo a la entrada del IDAC.

VTIA Voltaje a la salida del TIA.

Referencias

- [1] N. Li, H. Xu, W. Wang, and W. Zhang, “High-speed digital-controlled variable voltage source with current monitor for EIT application,” in *4th International Conference on Biomedical Engineering and Informatics (BMEI)*, Oct 2011, pp. 1110 – 1113.
- [2] N. Li, J. Guo, H. S. Nie, W. Yi, H. J. Liu, and H. Xu, “Design of embedded bio-impedance analyzer based on digital auto balancing bridge method,” in *Applied Mechanics and Materials*, vol. 135. Trans Tech Publ, 2012, pp. 396–401.
- [3] N. Li, H. Xu, W. Wang, Z. Zhou, G. Qiao, and D. D. Li, “A high-speed bioelectrical impedance spectroscopy system based on the digital auto-balancing bridge method,” *Measurement Science and Technology*, vol. 24, no. 6, p. 065701, 2013.
- [4] N. Li, W. Wang, H. Xu, H. Yu, J. Diao, and D. D.-U. Li, “Wide-bandwidth biological impedance spectroscopy system based on the digital lock-in technique,” *Spectroscopy Letters*, vol. 46, no. 7, pp. 476–482, 2013.
- [5] S. Khan, P. Manwaring, A. Borsic, and R. Halter, “FPGA - based voltage and current dual drive system for high frame rate electrical impedance tomography,” *IEEE transactions on medical imaging*, vol. 34, no. 4, pp. 888–901, 2015.
- [6] J. J. Cabrera-L, J. Velasco-Medina, E. Rodr, J. F. Brice, O. Juli *et al.*, “Bioimpedance measurement using mixed-signal embedded system,” in *2016 IEEE 7th Latin American Symposium on Circuits & Systems (LASCAS)*. IEEE, 2016, pp. 335–338.
- [7] M. Bataller Mompean, “Dispositivos analógicos programables,” <http://roderic.uv.es/bitstream/handle/10550/40598/FPAA.pdf>, 2009.
- [8] V. J. de León Villamor, “Sistema de adquisición de datos basado en fpaa,” 2012.
- [9] C. S. Corporation, “Psoc 3 and psoc 5lp: Getting more resolution from 8 bit dacs,” <http://www.cypress.com/file/136326/download>, 2015, document No. 001 64275 Rev. F.

- [10] R. Caicedo Grueso and J. Velasco Medina, "Diseño de circuitos análogos usando fpaas," in *IX Workshop Iberchip*, 2003.
- [11] D. Bouchaala, X. Chen, Q. Shi, O. Kanoun, and N. Derbel, "Comparative study of voltage controlled current sources for bioimpedance measurements," in *9th International Multi-Conference on Systems, Signals and Devices (SSD)*, March 2012, pp. 1–6.
- [12] G. S. Sarode, S. C. Sarode, M. Kulkarni, S. Karmarkar, and S. Patil, "Role of bioimpedance in cancer detection: A brief review," *International Journal of Dental Science and Research*, vol. 3, no. 1, pp. 15–21, 2016.
- [13] H. Yazdaniyan, M. Samani, and A. Mahanm, "Characteristics of the Howland current source for bioelectric impedance measurements systems," in *20th Iranian Conference on Biomedical Engineering (ICBME)*, Dec 2013, pp. 189–193.
- [14] A. Tucker, R. Fox, and R. Sadleir, "Biocompatible, high precision, wideband, improved Howland current source with lead-lag compensation," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 7, no. 1, pp. 63–70, 2013.
- [15] T. Instruments, "A comprehensive study of the howland current pump," *AN-1515 A*, 2008.
- [16] D. Bouchaala, O. Kanoun, and N. Derbel, "High accurate and wideband current excitation for bioimpedance health monitoring systems," *Measurement*, vol. 79, pp. 339–348, 2016.
- [17] P. Bertemes Filho, "Tissue characterisation using an impedance spectroscopy probe," Ph.D. dissertation, University of Sheffield, 2002.
- [18] P. J. Langlois, N. Neshatvar, and A. Demosthenous, "A sinusoidal current driver with an extended frequency range and multifrequency operation for bioimpedance applications," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 9, no. 3, pp. 401 – 411, 2015.
- [19] A. Al-Obaidi and M. Meribout, "A new enhanced Howland voltage controlled current source circuit for EIT applications," in *IEEE Conference and Exhibition (GCC)*, Feb 2011, pp. 327–330.
- [20] Z. Hamed, H. Tenhunen, and G. Yang, "A programmable low power current source for bioimpedance measurement: Towards a wearable personalized health assistant," in *37th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC)*, Aug 2015, pp. 2038–2042.

- [21] A. McEwan, G. Cusick, and D. Holder, “A review of errors in multi-frequency eit instrumentation,” *Physiological measurement*, vol. 28, no. 7, p. S197, 2007.
- [22] B. Blad, J. Johannesson, G. Johnsson, B. Bachman, and K. Lindstrom, “Waveform generator for electrical impedance tomography (eit) using linear interpolation with multiplying d/a converters,” *Journal of medical engineering & technology*, vol. 18, no. 5, pp. 173–178, 1994.
- [23] J. Cabrera-López and J. V. Medina, “Implementación de filtros análogos usando psocs/fpaas,” *Revista Colombiana de Física*, vol. 40, no. 2, 2008.