

# ANÁLISIS DEL DESEMPEÑO DE UN SISTEMA DE COMUNICACIONES CON MODULACIÓN FSK/MSK BASADO EN HARDWARE RECONFIGURABLE



Julieth Katherine Daza Alvarado  
Mosse Edwin Marín Hurtado

Director: Harold Armando Romo Romero.

*Universidad del Cauca*

Facultad de Ingeniería Electrónica y Telecomunicaciones  
Departamento de Telecomunicaciones  
GRIAL – Grupo de Radio e InALámbricas  
GNTT – Grupo I+D Nuevas Tecnologías en Telecomunicaciones  
Señales y Sistemas de Acceso y Difusión Basados en Radio  
Gestión Integrada de Redes, Servicios y Arquitecturas de Telecomunicaciones  
Popayán, 2014

# ANÁLISIS DEL DESEMPEÑO DE UN SISTEMA DE COMUNICACIONES CON MODULACIÓN FSK/MSK BASADO EN HARDWARE RECONFIGURABLE



Trabajo de Grado presentado como requisito para obtener el título de  
Ingeniero en Electrónica y Telecomunicaciones

Julieth Katherine Daza Alvarado  
Mosse Edwin Marín Hurtado

Director: Harold Armando Romo Romero.

*Universidad del Cauca*

Facultad de Ingeniería Electrónica y Telecomunicaciones  
Departamento de Telecomunicaciones  
GRIAL – Grupo de Radio e InALámbricas  
GNTT – Grupo I+D Nuevas Tecnologías en Telecomunicaciones  
Señales y Sistemas de Acceso y Difusión Basados en Radio  
Gestión Integrada de Redes, Servicios y Arquitecturas de Telecomunicaciones  
Popayán, 2014

# AGRADECIMIENTOS

Los autores expresan sus agradecimientos a:

*A Dios Todopoderoso por brindarnos la salud y ser guía a lo largo de nuestra carrera, por permitirnos culminar esta etapa de estudio y experiencia.*

*A nuestros padres y hermanos, por su apoyo incondicional y acompañarnos día a día en el proceso de formación.*

*Al Ingeniero Harold Romo, director del trabajo de grado, por su dedicación, orientación y compartir sus conocimientos y experiencia para culminar nuestro trabajo.*

*A la Universidad del Cauca, a los grupos de investigación GRIAL y GNTT de la Facultad que apoyaron la realización de nuestro trabajo.*

# TABLA DE CONTENIDO

1.GENERALIDADES.....	1
1.1 Sistema de Comunicación Digital .....	1
1.1.1 Componentes de un Sistema de Comunicación Digital.....	1
1.2 Sistema de Comunicación Digital Banda Base con modulaciones FSK/MSK	3
1.2.1 Modulador FSK Banda Base .....	3
1.2.2 Modulador MSK Banda Base .....	7
1.2.3 Demodulador FSK Banda Base.....	8
1.2.4 Demodulador MSK Banda Base.....	9
1.2.5 Canal de Comunicaciones.....	10
2.MODELADO, SIMULACIÓN E IMPLEMENTACIÓN.....	15
2.1 Metodología de Simulación.....	15
2.1.1 Fase 0. Descripción de las Especificaciones.....	16
2.1.2 Fase 1. Selección de Tecnologías y Herramientas .....	16
2.1.3 Fase 2. Definición del Sistema .....	18
2.1.4 Fase 3. Diseño del Sistema.....	18
2.1.5 Fase 4. Simulación del Sistema .....	32
2.1.6 Fase 5. Implementación Física del Sistema .....	45
2.1.7 Fase 6. Validación .....	48
3.EXPERIMENTACIÓN Y ANÁLISIS DE RESULTADOS.....	51
3.1 Plan de Pruebas .....	51
3.2 Resultados y Análisis.....	51
3.2.1 Pruebas del sistema de comunicación banda base con modulación FSK.....	52
3.2.2 Pruebas del sistema de comunicación banda base con modulación MSK.....	55
3.2.3 Comparación del desempeño de los sistemas de comunicación con modulación FSK/MSK.....	56

3.2.4 Comparación de recursos hardware de los sistemas de comunicación con modulación FSK/MSK.....	57
3.2.5 Tiempo de uso de recursos por bit. ....	58
4.CONCLUSIONES, RECOMENDACIONES Y TRABAJOS FUTUROS.....	60
4.1 Conclusiones .....	60
4.2 Recomendaciones .....	61
4.3 Trabajos Futuros.....	61
BIBLIOGRAFÍA .....	63
APÉNDICE .....	65
APÉNDICE A. Probabilidad de error del esquema de modulación MSK. ....	65
APÉNDICE B. Lógica de diseño de bloques adicionales.....	68
APÉNDICE B.1 Calculador de BER.....	68
APÉNDICE B.2 Sistema de Visualización LCD .....	69
APÉNDICE B.3 Sistema de Control.....	70
APÉNDICE C. Valores de BER Simulink y FPGA.....	72
APÉNDICE D. Valores de BER modulación FSK. Simulink, System Generator y FPGA. ....	73
APÉNDICE E. Valores de BER modulación MSK. Simulink, System Generator y FPGA. ....	87
APÉNDICE F. Valores promedio de BER. Simulink, System Generator y FPGA. .	91
APÉNDICE F.1 Modulación FSK.....	91
APÉNDICE F.2 Modulación MSK .....	93

## LISTA DE FIGURAS

Figura 1.1 Diagrama de bloques sistema de comunicación digital. ....	1
Figura 1.2 Componentes del sistema de comunicación digital. ....	1
Figura 1.3 Sistema de comunicación banda base con modulación FSK/MSK.....	3
Figura 1.4 Señal modulada con esquema FSK con $h=0.25$ .....	6
Figura 1.5 Constelación modulación FSK con $h=0.25$ . ....	6
Figura 1.6 Señal modulada con esquema MSK.....	7
Figura 1.7 Constelación modulación MSK. ....	8
Figura 1.8 Árbol de fase de Trellis para la modulación FSK Continua.....	9
Figura 1.9 Árbol de fase de Trellis para la modulación MSK. ....	10
Figura 2.1 Metodología de simulación. ....	15
Figura 2.2 Diagrama general del sistema de comunicaciones.....	18
Figura 2.3 Fuente de información. ....	18
Figura 2.4 Bloque general modulador System Generator.....	19
Figura 2.5 Modulador banda base FSK. ....	19
Figura 2.6 Diagrama de flujo <i>Modulador FSK</i> .....	20
Figura 2.7 Modulador banda base MSK.....	21
Figura 2.8 Diagrama de constelación de MSK.....	22
Figura 2.9 Diagrama de flujo <i>Modulador MSK</i> . ....	22
Figura 2.10 Bloque general canal AWGN System Generator.....	23
Figura 2.11 Canal AWGN complejo. ....	24
Figura 2.12 Bloque general demodulador System Generator.....	25
Figura 2.13 Demodulador banda base FSK.....	26
Figura 2.14 Diseño modular del subsistema <i>Detector de fase FSK</i> .....	26
Figura 2.15 Diagrama de flujo <i>Demodulador FSK</i> . ....	28
Figura 2.16 Demodulador banda base MSK.....	28
Figura 2.17 Diagrama de Trellis de señal modulada con modulación MSK.....	29
Figura 2.18 Diagrama de flujo <i>Regenerador I/Q MSK</i> . ....	29

Figura 2.19 Diagrama de decisión para la componente Q.....	30
Figura 2.20 Diagrama de decisión para la componente I.....	30
Figura 2.21 Diagrama de estados de la señal modulada.....	31
Figura 2.22 Máscara de configuración <i>Fuente de Información</i> . ....	32
Figura 2.23 Secuencia de bits generados por el LFSR.....	33
Figura 2.24 Máscara de configuración <i>Modulador FSK</i> . ....	34
Figura 2.25 Cambios de fase del bloque <i>Modulador FSK</i> . ....	34
Figura 2.26 Componentes en fase y cuadratura de la señal FSK, con $h = 0.25$ . ...	35
Figura 2.27 Diagrama de constelación de señal FSK con $h = 0.25$ . ....	35
Figura 2.28 Cambios de fase <i>Modulador MSK</i> . ....	36
Figura 2.29 Componentes en fase y cuadratura de la señal MSK. ....	36
Figura 2.30 Diagrama de constelación de señal MSK. ....	37
Figura 2.31 Máscara de configuración <i>Canal AWGN</i> . ....	38
Figura 2.32 Componentes en fase y cuadratura antes y después del canal.....	39
Figura 2.33 Diagrama de constelación FSK perturbado por ruido. ....	39
Figura 2.34 Diagrama de constelación MSK perturbado por ruido. ....	40
Figura 2.35 Secuencia de bits transmitidos y recibidos para señal FSK.....	40
Figura 2.36 Secuencia de bits transmitidos y recibidos para señal MSK.....	41
Figura 2.37 Bloque general <i>Calculador de BER System Generator</i> . ....	41
Figura 2.38 Componentes del <i>Calculador de BER</i> . ....	42
Figura 2.39 Bloque general <i>Sistema de Visualización LCD System Generator</i> .....	43
Figura 2.40 Componentes del <i>Sistema de Visualización LCD</i> . ....	43
Figura 2.41 Bloque general <i>Sistema de Control System Generator</i> . ....	44
Figura 2.42 Componentes del <i>Sistema de Control</i> . ....	45
Figura 2.43 Configuración de System Generator para generar archivo bitstream. 46	
Figura 2.44 Reconocimiento del FPGA.....	46
Figura 2.45 Programación del FPGA con bitstream.....	47
Figura 2.46 Programación exitosa del FPGA.....	47
Figura 2.47 Funcionamiento de la tarjeta con el bitstream descargado en el FPGA. ....	48

Figura 2.48 Sistema de comunicación banda base con modulación FSK. ....	48
Figura 2.49 Sistema de comunicación banda base con modulación MSK.....	49
Figura 2.50 Curva de desempeño esquema FSK Simulink e Implementada, <i>h = 0.25</i> . ....	49
Figura 2.51 Curva de desempeño esquema MSK Simulink e Implementada. ....	50
Figura 3.1 Curva de desempeño esquema FSK. Simulink, System Generator, FPGA y Teórica <i>h=0.5</i> . ....	52
Figura 3.2 Curva de desempeño esquema FSK. Simulink, System Generator y FPGA <i>h=0.25</i> . ....	53
Figura 3.3 Curva de desempeño esquema FSK. Simulink, System Generator y FPGA <i>h=0.125</i> . ....	54
Figura 3.4 Curva de desempeño. FSK Implementada con diferentes índices de modulación. ....	55
Figura 3.5 Curva de desempeño esquema MSK. Simulink, System Generator, FPGA y Teórica.....	56
Figura 3.6 Curva de desempeño. MSK y FSK con <i>h=0.5</i> Implementadas.....	57
Figura A.1 Constelación para el sistema de comunicación con modulación MSK.	65
Figura B.1 Diagrama de flujo <i>Calculador de BER</i> . ....	68
Figura B.2 Diagrama de estados <i>Sistema de Visualización LCD</i> .....	69
Figura B.3 Diagrama de estados <i>Sistema de Control</i> . ....	70
Figura B.4 Diagrama de flujo del estado S1 del <i>Sistema de Control</i> . ....	71
Figura B.5 Máscara de configuración del bloque <i>Coeficientes Sigma</i> . ....	71



## LISTA DE TABLAS

Tabla 2.1 Características FPGA Spartan 3A.....	17
Tabla 3.1 Plan de pruebas sistema de comunicación FSK.....	51
Tabla 3.2 Recursos requeridos por los sistemas de comunicación banda base con modulación FSK con $h=0.5$ y MSK.....	58
Tabla 3.3 Restricción de reloj para esquemas FSK/MSK.....	58
Tabla C.1 Valores de BER, Modulación FSK.....	72
Tabla C.2 Valores de BER, Modulación MSK.....	72
Tabla D.1 Valores de BER. Modulación FSK, con $h=0.5$ en la herramienta Simulink.....	74
Tabla D.2 Valores de BER. Modulación FSK, con $h=0.5$ en la herramienta System Generator.....	75
Tabla D.3 Valores de BER. Modulación FSK, con $h=0.5$ para el sistema implementado en el FPGA.....	76
Tabla D.4 Valores de BER. Modulación FSK, con $h=0.25$ en la herramienta Simulink.....	78
Tabla D.5 Valores de BER. Modulación FSK, con $h=0.25$ en la herramienta System Generator.....	79
Tabla D.6 Valores de BER. Modulación FSK, con $h=0.25$ para el sistema implementado en el FPGA.....	80
Tabla D.7 Valores de BER. Modulación FSK, con $h=0.125$ en la herramienta Simulink.....	82
Tabla D.8 Valores de BER. Modulación FSK, con $h=0.125$ en la herramienta System Generator.....	84
Tabla D.9 Valores de BER. Modulación FSK, con $h=0.125$ para el sistema implementado en el FPGA.....	86
Tabla E.1 Valores de BER. Modulación MSK, en la herramienta Simulink.....	88
Tabla E.2 Valores de BER. Modulación MSK, en la herramienta System Generator.....	89

Tabla E.3 Valores de BER. Modulación MSK, para el sistema implementado en el FPGA.....	90
Tabla F.1 Valores de BER. Modulación FSK con $h=0.5$ . Simulink, System Generator y FPGA.....	91
Tabla F.2 Valores de BER. Modulación FSK con $h=0.25$ . Simulink, System Generator y FPGA.....	92
Tabla F.3 Valores de BER. Modulación FSK con $h=0.125$ . Simulink, System Generator y FPGA.....	92
Tabla F.4 Valores de BER. Modulación MSK. Simulink, System Generator y FPGA. ....	93

# LISTA DE ACRÓNIMOS

- AWGN** *Additive White Gaussian Noise*, Ruido Blanco Gaussiano Aditivo.
- BER** *Bit Error Rate*, Tasa de Error de Bit.
- CPFSK** *Continuous Phase Frequency Shift Keying*, Modulación por desplazamiento de Frecuencia con Fase Continua.
- FPGA** *Field Programmable Gate Array*, Arreglo de Compuertas Programables en Campo.
- FSK** *Frequency Shift Keying*, Modulación por Desplazamiento de Frecuencia.
- LB** *Logic Block*, Bloques Lógicos.
- LFSR** *Linear Feedback Shift Register*, Registro de Desplazamiento con Retroalimentación Lineal.
- LUT** *Look-Up Table*, Tablas de Consulta.
- MPGA** *Mask-Programmable Gate Arrays*, Arreglos de Compuertas de Máscara Programable.
- MSK** *Minimum-Shift Keying*, Modulación por Desplazamiento Mínimo.
- PAL** *Programmable Array Logic*, Arreglos de Lógica Programable.
- SDR** *Software Defined Radio*, Radio Definida por Software.
- VHDL** *VHSIC Hardware Description Language*, Lenguaje de Descripción Hardware para VHSIC.
- VHSIC** *Very High Speed Integrated Circuit*, Circuito Integrado de Muy Alta Velocidad.
- WGNG** *White Gaussian Noise Generator*, Generador de Ruido Blanco Gaussiano.

# INTRODUCCIÓN

En el ámbito de la Ingeniería de las Telecomunicaciones es de gran importancia estudiar los componentes de un sistema de comunicación digital y observar cómo se comportan en un ambiente real y no solamente bajo simulación. Los dispositivos disponibles en el mercado que implementen un sistema de comunicación digital usualmente son de aplicación específica con opciones limitadas de configuración que representan un alto costo de inversión; por lo cual es necesario estudiar una alternativa más flexible en implementación y asequible en costo.

Los Arreglos de Compuertas Programables en Campo (FPGA, *Field Programmable Gate Array*) son utilizados en múltiples áreas de investigación; debido a que presentan una alta densidad de elementos digitales, un costo razonable para la implementación hardware de sistemas y flexibilidad para la modificación de los sistemas diseñados e implementados en el mismo. En el área de las Telecomunicaciones es utilizado en etapas de codificación, modulación, control de errores, entre otras.

Lo anterior se puede evidenciar en los estudios de los sistemas que se han desarrollado principalmente en el campo de Radio Definida por Software (SDR, *Software Defined Radio*); muestra de estos son: la "Implementación de un Sistema de Comunicación en un dispositivo radio" [1] y la "Simulación e Implementación en FPGA de un Esquema de Codificación del Canal sujeto al Estándar de Wimax" en el que se realiza la implementación para codificación de canal bajo el protocolo IEEE 802.16-2004 [2].

Así mismo, se tiene el desarrollo del estudio de un enlace de radio entre dos regiones de Guayaquil; en esta investigación se implementó un enlace con el fin de proveer comunicación entre dos dispensarios (Nitiluisa y Pulinguí) del Seguro Social. El uso del FPGA fue clave debido a que se requería una comunicación con un radio software que representara un bajo costo [3].

Con lo expuesto anteriormente, se puede comprobar el gran potencial con que cuentan estos dispositivos y el nivel de recursos que tienen para diseñar e implementar sistemas de comunicaciones.

En este trabajo de grado se hace uso del FPGA como dispositivo de implementación de un sistema de comunicación digital con dos esquemas de modulación digital; uno, Modulación por Desplazamiento de Frecuencia (FSK,

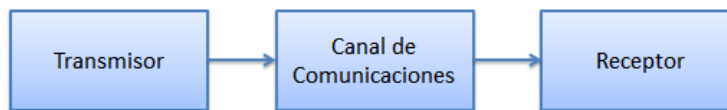
*Frequency Shift Keying*) y dos, Modulación por Desplazamiento Mínimo (MSK, *Minimum Shift Keying*), con el objetivo de analizar su desempeño según el parámetro de probabilidad de error o Tasa de Error de Bit (BER, *Bit Error Rate*) en función de la relación Energía de bit a Densidad Espectral de Potencia de Ruido ( $E_b/N_o$ ).

Inicialmente, en el capítulo 1 se abordan los conceptos generales de un sistema de comunicación digital y de un sistema de comunicación banda base con modulaciones FSK y MSK, con un canal de Ruido Blanco Gaussiano Aditivo (AWGN, *Additive White Gaussian Noise*) complejo. En el capítulo 2, se presenta el diseño de los sistemas de comunicaciones digital con modulaciones FSK y MSK, su simulación, implementación y validación. En el capítulo 3 se presentan las pruebas realizadas y el análisis de los resultados obtenidos. Finalmente, el capítulo 4 presenta las conclusiones y las recomendaciones que surgieron durante el desarrollo de este trabajo de grado, además de la propuesta de trabajos futuros.

# 1. GENERALIDADES

## 1.1 Sistema de Comunicación Digital

La comunicación implica la transmisión de información de un punto a otro a través de una sucesión de procesos. Todo sistema de comunicación comprende de tres elementos básicos que son: transmisor, canal y receptor, como se muestra en la figura 1.1 [4].

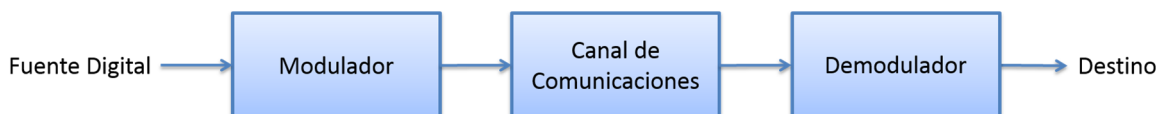


**Figura 1.1** Diagrama de bloques sistema de comunicación digital.

El transmisor o emisor se encarga de convertir la información en una señal adecuada para transmitirse a través del canal de comunicación; el canal de comunicaciones es el enlace entre el transmisor y el receptor; el objeto del receptor es extraer la información transmitida a partir de la señal degradada a la salida del canal.

### 1.1.1 Componentes de un Sistema de Comunicación Digital

Con base en el diagrama de bloques del sistema de comunicación digital, se presentan los componentes del sistema en la figura 1.2 [5].



**Figura 1.2** Componentes del sistema de comunicación digital.

- **Fuente Digital**

Genera la información a transmitir; esta información se materializa como un conjunto finito y discreto de  $N$  símbolos distintos e independientes, cuyo significado es conocido en el destino del sistema.

- **Modulador**

La modulación es el proceso necesario para la transmisión de información adaptando la señal a las características del canal. En los sistemas de comunicación digital la modulación puede clasificarse en dos grupos: modulación pasa banda y modulación banda base.

La modulación pasa banda consiste en la variación de un parámetro de la señal portadora como puede ser su frecuencia, amplitud o fase en función de la señal de información, utilizar una frecuencia portadora implica la traslación del espectro de la señal del origen al valor de la portadora.

La modulación banda base no incluye una traslación del espectro de la señal de información, es decir que se envía en la misma banda en que se origina.

- **Canal de Comunicaciones**

El canal es el medio físico a través del cual se envía la información; este puede ser un par de conductores de cobre que propaguen las señales en forma de flujo de corriente eléctrica. También se puede convertir la información a ondas electromagnéticas para transmitir las por el espacio libre como ondas de radio o a través de fibra óptica como pulsos luminosos. Al propagarse a través del canal, la señal transmitida se distorsiona debido a fuentes de ruido e interferencias que recoge la señal a su paso por el canal.

- **Demodulador**

Es el proceso inverso de la modulación, cuya función es recuperar la información transmitida a partir de los símbolos modulados.

Existen dos tipos de demoduladores: los no-coherentes y los coherentes. Los demoduladores no coherentes son sistemas donde el reloj del transmisor y receptor no necesariamente deben estar sincronizados; los sistemas con demodulación coherente deben asegurar sincronía entre el transmisor y el

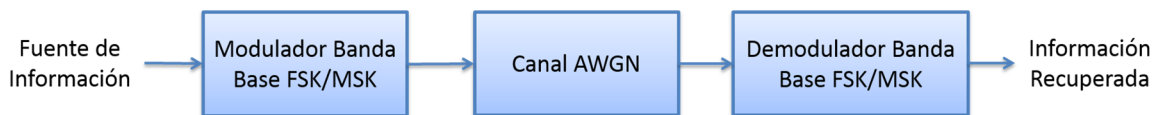
receptor, pero los sistemas de sincronía requeridos hacen que este tipo de demoduladores sean costosos.

- **Destino**

La información recuperada es entregada al usuario final.

## 1.2 Sistema de Comunicación Digital Banda Base con modulaciones FSK/MSK

El sistema de comunicación digital, banda base, con modulaciones FSK/MSK consta de una entrada, tres bloques modulares y una salida como se observa en la figura 1.3. Este incluye: una entrada con la información a transmitir, un modulador banda base FSK/MSK, un canal AWGN, un demodulador banda base FSK/MSK y una salida con la información recuperada.



**Figura 1.3** Sistema de comunicación banda base con modulación FSK/MSK.

### 1.2.1 Modulador FSK Banda Base

En un sistema con modulación FSK, la frecuencia de la señal de salida cambia en función de la señal binaria de información. La señal en pasa banda está definida como:

$$S(t) = A \cos(2\pi(f_c \pm \Delta f)t), \quad (1.1)$$

donde:

$A$  : Amplitud de la señal portadora,

$f_c$ : Frecuencia de la señal portadora,

$+\Delta f$ : Desviación de frecuencia para la transmisión del símbolo '1',

$-\Delta f$ : Desviación de frecuencia para la transmisión del símbolo '0'.

En un modulador I/Q la señal de información se puede representar de acuerdo a la ecuación 1.2:



$$S(t) = I(t) \cos(2\pi f_c t) - Q(t) \sin(2\pi f_c t), \quad (1.2)$$

donde:

$I(t)$  : Componente en fase,

$Q(t)$  : Componente en cuadratura.

Haciendo  $A=1$  en la ecuación 1.1, se obtiene:

$$S(t) = \cos(2\pi \Delta f t) \cos(2\pi f_c t) \mp \sin(2\pi \Delta f t) \sin(2\pi f_c t). \quad (1.3)$$

Relacionando las ecuaciones 1.2 y 1.3 se observa que las componentes en fase y cuadratura vienen dadas por:

$$I(t) = \cos(2\pi \Delta f t), \quad (1.4)$$

$$Q(t) = \pm \sin(2\pi \Delta f t). \quad (1.5)$$

Para un sistema discreto se tiene que [6]:

$$f = f_{CLK} \frac{\theta}{2\pi}, \quad (1.6)$$

$$f = f_c \pm \Delta f, \quad (1.7)$$

siendo:

$f$  : Frecuencia de la señal modulada en pasa banda,

$f_{CLK}$  : Frecuencia de reloj sistema digital.

Relacionado las ecuaciones 1.6 y 1.7 se obtiene:

$$\theta = \frac{2\pi f}{f_{CLK}} = \frac{2\pi(f_c \pm \Delta f)}{f_{CLK}} \quad (1.8)$$

$$\theta = \theta_c \pm \Delta\theta. \quad (1.9)$$

Como se aprecia en la ecuación 1.8, el cambio de frecuencia de la señal modulada se puede interpretar como un cambio de fase de la misma.

En la ecuación 1.9 se observa que el cambio de fase de la señal viene dado por un cambio propio de la portadora ( $\theta_c$ ) y otro cambio de fase ( $\Delta\theta$ ) en función de la desviación de frecuencia ( $\Delta f$ ).

Para una modulación en banda base FSK, el término que tiene relevancia en las componentes I/Q es  $\Delta f$ , por lo tanto el cambio de fase para el modulador banda base depende únicamente del término  $\pm\Delta\theta$ . El símbolo '1' se modula en un cambio de fase  $+\Delta\theta$ , mientras que para un símbolo '0' el cambio es  $-\Delta\theta$ .

Si se considera que  $f_{CLK}$  es igual a la frecuencia de símbolo binario  $f_{SIM}$ , al no tener sobremuestreo de la señal de información, se tiene que:

$$\Delta\theta = \frac{2\pi\Delta f}{f_{SIM}}. \quad (1.10)$$

Introduciendo el índice de modulación ( $h$ ) dentro de la ecuación 1.10, el cual viene definido como [7]:

$$h = \frac{2\Delta f}{f_{SIM}}, \quad (1.11)$$

se tiene que:

$$\Delta\theta = \pi h, \quad (1.12)$$

El índice de modulación ( $h$ ) generalmente es un valor menor a 1, con el fin de obtener un espectro angosto de la señal a transmitir [8].

Tomando el caso para un índice de modulación  $h = 0.25$ , el cambio de fase presente en el modulador está dado por:

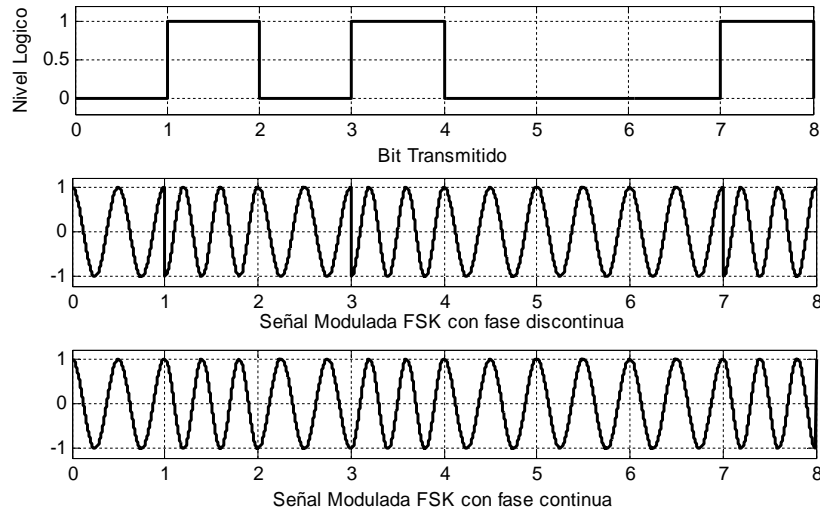
$$\Delta\theta = \pi/4.$$

Cuando la señal presenta discontinuidad de fase en la transición de bit, esta tiene un mayor número de componentes espectrales, lo cual implica un mayor ancho de banda para la transmisión [8].

Si la señal modulada es continua en la transición de bit, se tiene una variante de la modulación FSK, denominada Modulación por Desplazamiento de Frecuencia con Fase Continua (CPFSK, *Continuous Phase Frequency Shift Keying*). La modulación CPFSK hace uso de memoria para tener control de la fase de las señales usadas para representar cada símbolo, de tal manera que en la transición de bit no exista discontinuidad abrupta de fase; esta modulación tiene mejor

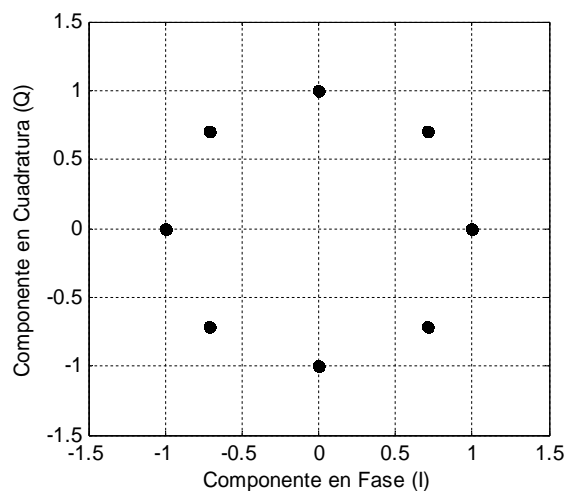
desempeño a nivel de BER que la FSK convencional, pero su desventaja es que requiere circuitos de sincronización y por consiguiente su implementación es más costosa [9].

En la figura 1.4 se muestran las señales moduladas con esquema FSK e índice de modulación  $h = 0.25$  con fase continua y discontinua, para una secuencia de bits transmitidos.



**Figura 1.4** Señal modulada con esquema FSK con  $h=0.25$ .

En la figura 1.5 se muestra la constelación resultante para una modulación FSK con índice  $h = 0.25$ , a partir del cambio de fase ( $\Delta\theta = \pi/4$ ).

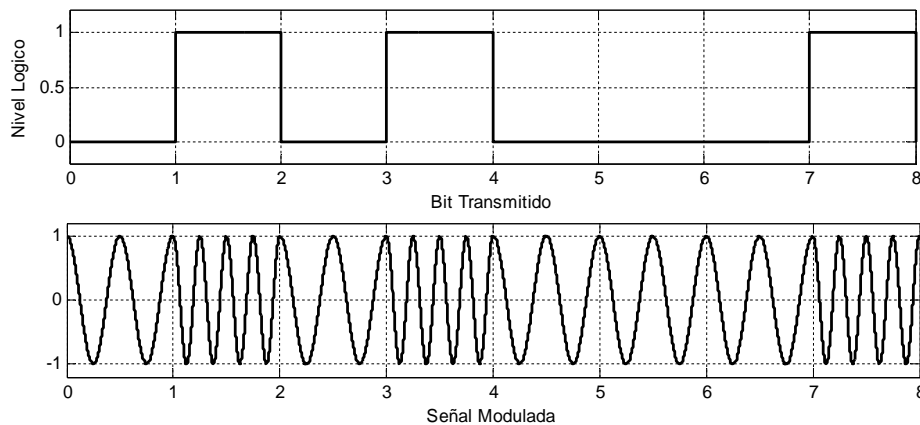


**Figura 1.5** Constelación modulación FSK con  $h=0.25$ .

### 1.2.2 Modulador MSK Banda Base

La modulación MSK es considerada como un caso particular de la modulación FSK de fase continua, con índice de modulación  $h = 0.5$ .

Como se observa en la figura 1.6, la señal con modulación MSK presenta continuidad de fase en la transición de bit, a diferencia de una señal con modulación FSK convencional; esta característica hace que MSK presente un espectro más estrecho frente a FSK convencional.



**Figura 1.6** Señal modulada con esquema MSK.

A partir de la ecuación 1.12, el cambio de fase presente en el modulador está dado por:

$$h = \frac{1}{2} \Rightarrow \Delta\theta = \frac{\pi}{2}. \quad (1.13)$$

De igual manera que en el sistema de comunicación con modulación FSK, cuando se presenta un símbolo '1' en la entrada del modulador el cambio de fase presentado en la señal modulada es  $+\pi/2$ , mientras que un símbolo '0' se modula en un cambio de fase  $-\pi/2$ .

Estos cambios de fase, generan la constelación presentada en la figura 1.7.

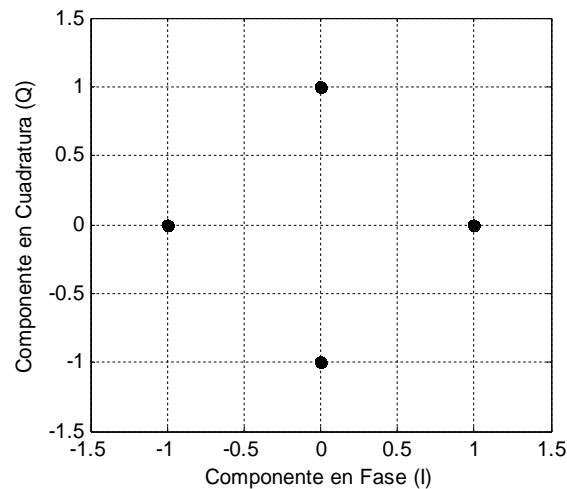


Figura 1.7 Constelación modulación MSK.

### 1.2.3 Demodulador FSK Banda Base

Los demoduladores FSK banda base de tipo no-coherente se basan principalmente en detectores de energía [4]; el detector de energía realiza la regeneración de los puntos en la constelación aplicando el criterio de mínima distancia entre el símbolo recibido y todos los símbolos de la constelación; la estimación del bit transmitido se produce a partir del cambio de fase entre los puntos.

Los demoduladores FSK banda base de tipo coherente usualmente utilizan el algoritmo de Viterbi [10]; este permite encontrar la secuencia de estados más probable mediante los caminos en el diagrama de Trellis, el cual sirve para representar las transiciones de estados mientras transcurre el tiempo; el diagrama se obtiene al especificar los estados en el eje vertical y extendiendo éste a lo largo del tiempo (eje horizontal).

Para un número  $n$  de bits recibidos, el algoritmo calcula la distancia entre la secuencia recibida y la secuencia correspondiente a cada transición en el diagrama, y descarta las transiciones que tienen mayor distancia acumulada [11].

El árbol de fase de Trellis para una modulación FSK binaria de fase continua se ilustra en la figura 1.8; como se aprecia, el árbol presenta para cada uno de los estados dos posibilidades de cambio. Al respecto cabe resaltar que el árbol se genera de acuerdo al índice de modulación, definiendo el número de periodos de tiempo en el que converge y el número de estados.

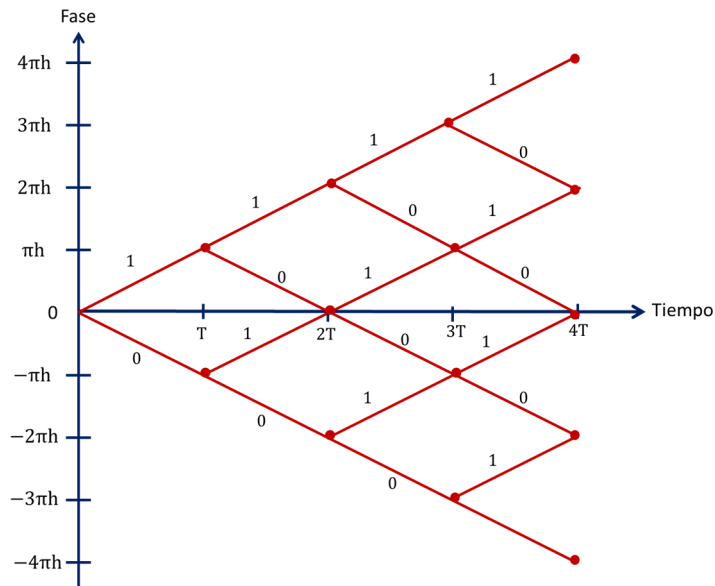


Figura 1.8 Árbol de fase de Trellis para la modulación FSK Continua.

La probabilidad de error de bit para un sistema FSK banda base con fase continua y detección coherente está dada por [12]:

$$P_b \approx Q \left( \sqrt{d_{min} \frac{E_b}{N_o}} \right), \quad (1.14)$$

siendo:

$d_{min}$ : mínima distancia euclidiana entre símbolos,

$E_b$ : energía de bit,

$N_o$ : potencia de ruido.

Para el caso de la señal FSK de fase continua binaria la mínima distancia euclidiana está dada por:

$$d_{min} = 2(1 - \text{sinc}(2h)). \quad (1.15)$$

### 1.2.4 Demodulador MSK Banda Base

La demodulación en banda base para el esquema MSK utiliza el mismo criterio que el demodulador FSK. [10] El árbol de fase de Trellis para este esquema está

dato por la figura 1.9, donde se observa que el árbol converge en ocho periodos de tiempo y presenta nueve estados definidos.

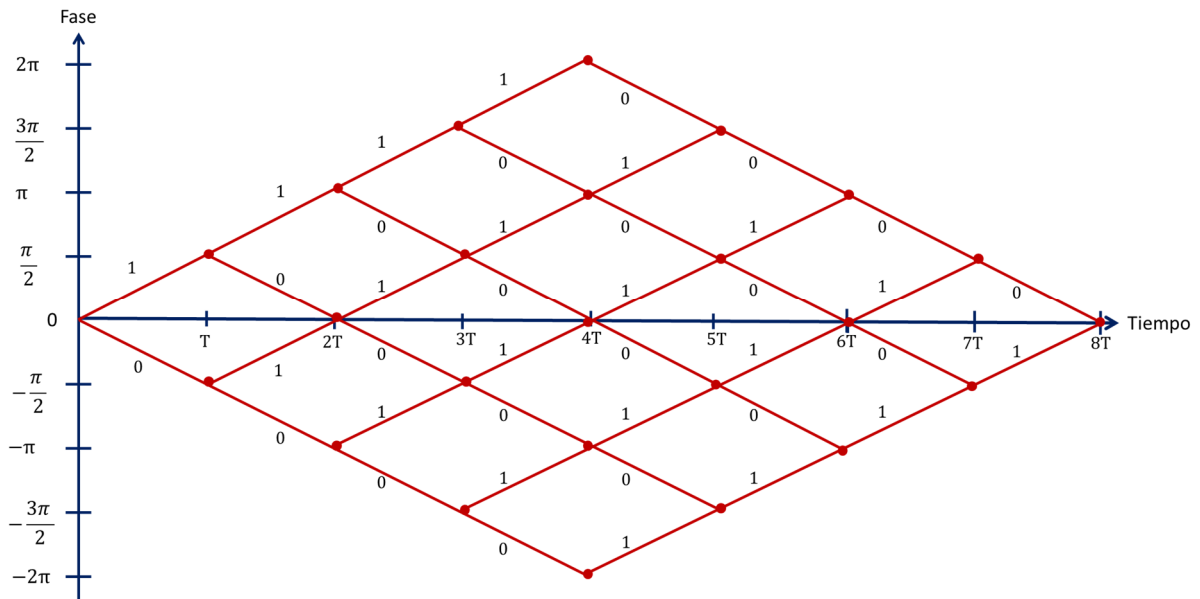


Figura 1.9 Árbol de fase de Trellis para la modulación MSK.

Para un sistema MSK con detección coherente, la probabilidad de error de bit está dada por: (ver su demostración en el apéndice A)

$$P_b = \operatorname{erfc} \left( \sqrt{\frac{E_b}{N_o}} \right) \left[ 1 - \frac{1}{2} \operatorname{erfc} \left( \sqrt{\frac{E_b}{N_o}} \right) \right] \quad (1.16)$$

### 1.2.5 Canal de Comunicaciones

El canal considerado para el sistema de comunicaciones es de tipo AWGN complejo no limitado en banda. Así la salida del canal se modela como:

$$R(t) = S(t) + N(t), \quad (1.17)$$

donde:

$R(t)$ : Proceso aleatorio que representa la señal de salida del canal,

$S(t)$ : Proceso aleatorio que representa la señal de entrada al canal,

$N(t)$ : Proceso aleatorio que representa el ruido presente en el canal.

Se asume que los procesos aleatorios  $S(t)$  y  $N(t)$  son no correlacionados y por ser gaussianos son independientes entre sí [4].

### Ruido AWGN Complejo

Para un canal con ruido AWGN complejo, se consideran dos componentes de ruido blanco gaussiano independientes, uno para la componente en fase (I) y otro para la componente en cuadratura (Q).

El ruido en cada componente se modela por una variable aleatoria distinta, con distribución normal, media cero (0) y varianza  $\sigma^2$ , como se muestra en las ecuaciones 1.18 y 1.19.

$$W_I \sim N(0, \sigma_I^2), \quad (1.18)$$

$$W_Q \sim N(0, \sigma_Q^2) \quad (1.19)$$

donde:

$W_I$ : Variable aleatoria que modela el ruido de la rama en fase (I),

$W_Q$ : Variable aleatoria que modela el ruido de la rama en cuadratura (Q),

$\sigma_I^2$ : Varianza del ruido en la rama en fase (I),

$\sigma_Q^2$ : Varianza del ruido en la rama en cuadratura (Q).

La suma de estas variables aleatorias, genera la variable aleatoria  $W \sim N(0, \sigma^2)$ , con:

$$W \sim N(0, \sigma_I^2 + \sigma_Q^2), \quad (1.20)$$

dado que los valores de varianza corresponden al valor de potencia de ruido generado por las fuentes de ruido, la potencia total de ruido está dada por:

$$P_{NT} = P_I + P_Q, \quad (1.21)$$

$$P_{NT} = \sigma_I^2 + \sigma_Q^2, \quad (1.22)$$

siendo:

$P_{NT}$ : Potencia de ruido total,

$P_I$ : Potencia de ruido en la rama en fase (I),



$P_Q$ : Potencia de ruido en la rama en cuadratura (Q).

Partiendo de la relación entre energía de bit a densidad espectral de potencia de ruido ( $E_b/N_o$ ), se tiene:

$$\frac{E_b}{N_o} = \frac{P_{señal}}{R_b} \times \frac{BW_{señal}}{P_{ruido}}, \quad (1.23)$$

donde:

$P_{señal}$  : Potencia de la señal de información,

$P_{ruido}$  : Potencia de la señal de ruido,

$R_b$  [bps]: Velocidad de transmisión de datos,

$BW_{señal}$ [Hz] : Ancho de banda de la señal de información.

$$BW_{señal} = \frac{1}{T_s}, \quad (1.24)$$

$$R_b = \frac{1}{T_b}, \quad (1.25)$$

siendo:

$T_s$  [s]: Período de símbolo,

$T_b$  [s]: Período de bit.

Reemplazando las ecuaciones 1.24 y 1.25 en la ecuación 1.23 se presenta la ecuación 1.26:

$$\frac{E_b}{N_o} = \frac{P_{señal}}{P_{ruido}} \times \frac{T_b}{T_s}. \quad (1.26)$$

Considerando que el  $T_s$  se define como:

$$T_s = M \times T_b = T_b \times \log_2(m), \quad (1.27)$$

donde:

$M$  : Número de bits por símbolo,

$m$  : Número de estado de la modulación.

Reemplazando la ecuación 1.27 en la ecuación 1.26 se tiene:

$$\frac{E_b}{N_o} = \frac{P_{señal}}{P_{ruido}} \times \frac{1}{\log_2(m)}. \quad (1.28)$$

Ahora, realizando la conversión a dB de la ecuación 1.28 se obtiene:

$$\frac{E_b}{N_o} (dB) = \frac{P_{señal}}{P_{ruido}} (dB) + 10 \log \left( \frac{1}{\log_2(m)} \right) (dB). \quad (1.29)$$

Despejando  $P_{señal}/P_{ruido}$  de la ecuación 1.29:

$$\frac{P_{señal}}{P_{ruido}} (dB) = \frac{E_b}{N_o} (dB) - 10 \log \left( \frac{1}{\log_2(m)} \right) \quad (1.30)$$

$$SNR (dB) = \frac{E_b}{N_o} (dB) - 10 \log \left( \frac{1}{\log_2(m)} \right) \quad (1.31)$$

donde:

$SNR [dB]$ : Relación Señal a Ruido.

Considerando que el nivel de potencia de la señal es normalizado, y a partir de la ecuación 1.22 se tiene:

$$\frac{P_{señal}}{P_{ruido}} = \frac{1}{\sigma_I^2 + \sigma_Q^2}, \quad (1.32)$$

y considerando los valores de desviación estándar del ruido ( $\sigma$ ) iguales:

$$\frac{P_{señal}}{P_{ruido}} = \frac{1}{2\sigma^2}. \quad (1.33)$$

A partir de la ecuación 1.33, se despeja el valor de desviación ( $\sigma$ ):

$$\sigma = \frac{1}{\sqrt{2 \left( \frac{P_{señal}}{P_{ruido}} \right)}} \quad (1.34)$$

$$\sigma = \frac{1}{\sqrt{2 \times SNR}}. \quad (1.35)$$

En la ecuación 1.35 se observa la relación entre la desviación estándar de ruido ( $\sigma$ ) y la relación señal a ruido ( $SNR$ ), la cual tiene una dependencia directa con la relación energía de bit a densidad espectral de potencia de ruido ( $E_b/N_o$ ) (ecuación 1.31).

Para las modulaciones FSK y MSK estudiadas, el número de estados es igual dos ( $m = 2$ ), por lo tanto:

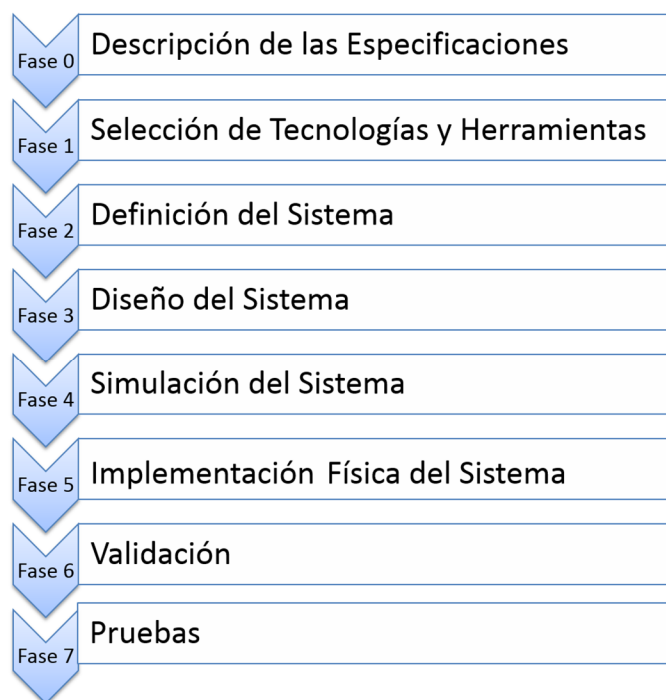
$$SNR(dB) = \frac{E_b}{N_o} (dB), \quad (1.36)$$

$$\sigma = \frac{1}{\sqrt{2 \times (E_b/N_o)}}. \quad (1.37)$$

## 2. MODELADO, SIMULACIÓN E IMPLEMENTACIÓN

### 2.1 Metodología de Simulación

Con el fin de alcanzar el objetivo del trabajo de grado, la metodología de trabajo que se siguió es la adaptación de las metodologías descritas por Zeidman [13]. Este modelo consta de ocho fases, como se observa en la figura 2.1.



**Figura 2.1** Metodología de simulación.

A continuación se describe el desarrollo de cada una de las fases de esta metodología, excepto la última fase, la cual se detalla en el capítulo siguiente.

### **2.1.1 Fase 0. Descripción de las Especificaciones**

Los requisitos planteados para alcanzar el objetivo general del trabajo de grado son:

- Construir un sistema de comunicaciones con los esquemas de modulación FSK/MSK y un canal AWGN sobre hardware reconfigurable.
- Evaluar el desempeño de un sistema de comunicaciones banda base con modulación FSK/MSK en un modelo de canal AWGN sobre hardware reconfigurable, teniendo en cuenta las curvas teórica y práctica de la BER.

### **2.1.2 Fase 1. Selección de Tecnologías y Herramientas**

A continuación se describe el proceso de selección de la tecnología hardware y herramienta software, utilizadas para el desarrollo de este trabajo.

#### **▪ Tecnología Hardware**

La tecnología hardware reconfigurable seleccionada fue los FPGA's; los FPGA's aparecieron a mediados de 1985 [14], son híbridos entre los Arreglos de Lógica Programable (PAL, *Programmable Array Logic*) y los Arreglos de Compuertas de Máscara Programable (MPGA, *Mask-Programmable Gate Arrays*) [15]. Las PAL's son dispositivos completamente programables eléctricamente, se pueden programar rápidamente y con facilidad, sin embargo están limitados a funciones combinacionales [14]. Las MPGA's pueden implementar operaciones mucho más complejas que las PAL's, ya que cuentan con un alto número de elementos desconectados que pueden ser conectados posteriormente para crear un circuito más complejo [16]. Los FPGA's hacen uso de la característica de estructura general propia de la MPGA y la programabilidad ofrecida por la PAL.

Los fabricantes y distribuidores principales de dispositivos lógicos programables son las empresas Xilinx y Altera, quienes se han consolidado en el mercado en el desarrollo de FPGA's. Las principales familias de Xilinx son XC Virtex y XC Spartan; la serie Virtex contiene dispositivos de gama alta, esta familia ofrece velocidades de trabajo hasta de 600 MHz, un alto número de compuertas y bajo

consumo de potencia, pero ante tantas ventajas su costo es elevado; son adecuados para sistemas complejos que requieran un alto desempeño.

La familia Spartan es menos costosa que la familia mencionada anteriormente. Esta proporciona un buen desempeño en los sistemas implementados y es muy utilizada en diseños que no requieran un número elevado de celdas lógicas.

Dentro de las familias más novedosas de Altera, se encuentra Stratix, la cual brinda dispositivos con un alto rendimiento, alta densidad de componentes que permiten integrar más funciones, su costo es elevado por ser una familia de alta gama.

A partir de lo anterior, la herramienta hardware seleccionada fue la tarjeta *Starter Kit Board* de Xilinx, la cual integra un FPGA de la familia Spartan 3A. El FPGA dispone de una densidad media de elemento lógicos, suficientes para la implementación de sistemas medianamente complejos. La cantidad de elementos lógicos con los que cuenta el FPGA se presentan en la tabla 2.1 [17]:

<b>Spartan 3A</b>	<b>Celdas Lógicas</b>	<b>LB's</b>	<b>Memoria RAM</b>	<b>Multiplicadores</b>	<b>Bloques Entrada/Salida</b>
	13.248	1.472	360K	20	372

**Tabla 2.1** Características FPGA Spartan 3A.

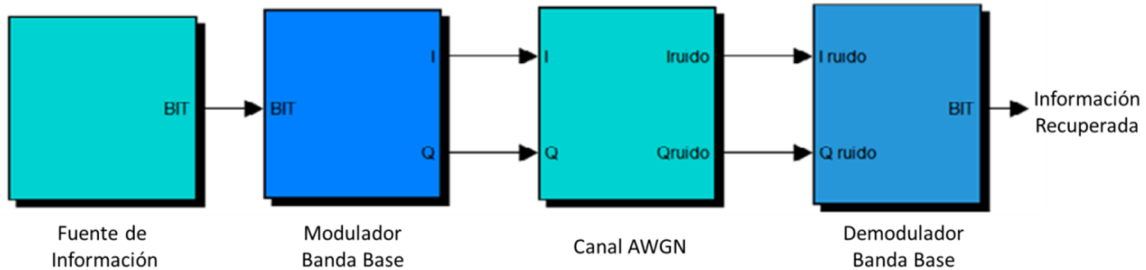
Además de las características mostradas del FPGA en la tabla, la tarjeta dispone de una pantalla LCD de dos líneas, un puerto de transmisión serial, conversores analógicos – digitales con resolución de 12 bits y cuatro canales, tres entradas de reloj y soporta una velocidad de trabajo de 250 MHz.

▪ **Herramienta Software**

La herramienta software seleccionada fue System Generator de Xilinx; esta herramienta es ofrecida por la compañía Xilinx para realizar los diseños que se desean implementar sobre los FPGA's de la misma. La herramienta es atractiva para los desarrolladores, puesto que cuenta con un entorno de desarrollo gráfico y permite utilizar conjuntamente los elementos de las librerías de Simulink y System Generator, para verificar el funcionamiento de los diseños.

### 2.1.3 Fase 2. Definición del Sistema

Con base en el estudio realizado a cerca de los sistemas de comunicaciones y los esquemas de modulación FSK/MSK, se diseñó el diagrama general del sistema de comunicación, el cual está compuesto por cuatro bloques modulares interconectados, que son: fuente de información, modulador banda base, canal AWGN y demodulador banda base, tal como se muestra en la figura 2.2.

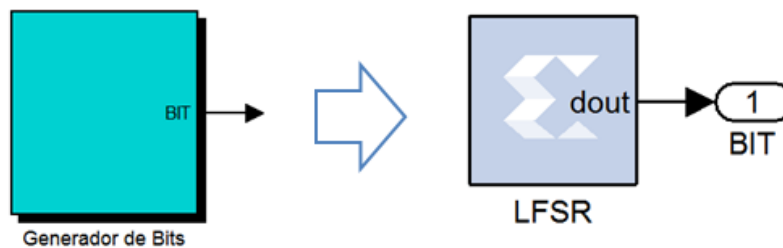


**Figura 2.2** Diagrama general del sistema de comunicaciones.

### 2.1.4 Fase 3. Diseño del Sistema

A partir del diagrama general del sistema de comunicaciones, se diseñaron los módulos que componen el sistema.

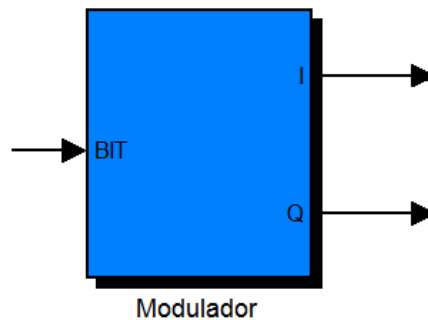
#### 2.1.4.1 Fuente de Información



**Figura 2.3** Fuente de información.

Para el diseño del módulo se utilizó un Registro de Desplazamiento con Retroalimentación Lineal (LFSR, *Linear Feedback Shift Register*) como se muestra en la figura 2.3, el cual genera una secuencia de bits pseudo-aleatoria, representando la información que se desea transmitir.

### 2.1.4.2 Modulador Banda Base

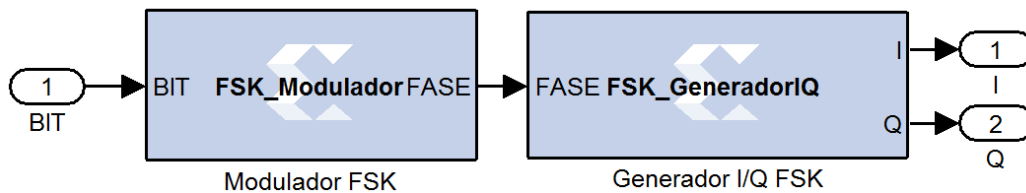


**Figura 2.4** Bloque general modulador System Generator.

El modulador banda base diseñado se compone de una entrada llamada *BIT* y dos salidas denominadas *I* y *Q*, como se muestra en la figura 2.4. La entrada *BIT* recibe los bits generados por el módulo *Generador de Bits*, los cuales son modulados de acuerdo al esquema utilizado (FSK ó MSK), produciendo una salida dividida en dos ramas, una componente en fase y otra en cuadratura.

#### ▪ Modulador Banda Base FSK

En la figura 2.5 se ilustran los componentes del módulo general *Modulador Banda Base* con esquema FSK, estos se encuentran contruidos en base al elemento *MCode*.



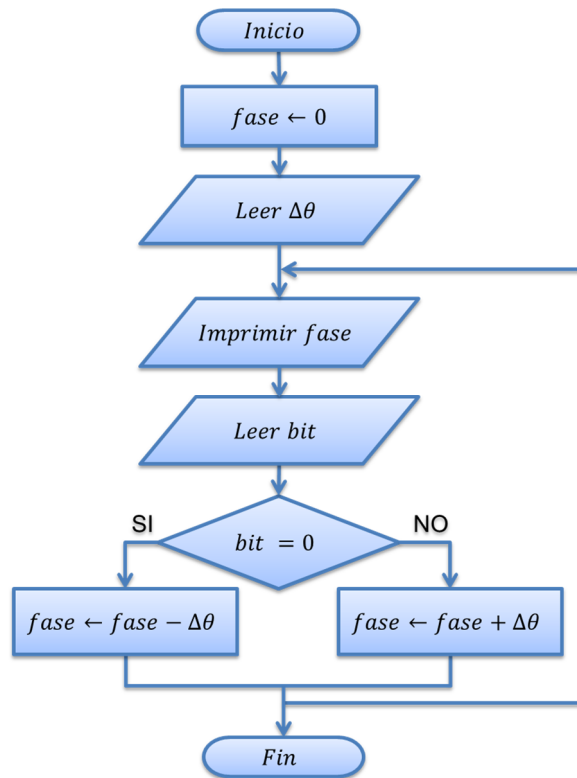
**Figura 2.5** Modulador banda base FSK.

El componente *Modulador FSK* se basa en las ecuaciones consignadas en la sección 1.2.1, donde se observa que un cambio de frecuencia sobre la señal modulada se puede interpretar como un cambio de fase de la misma. El cambio de frecuencia para el símbolo '1' se interpreta como un cambio de fase en sentido anti-horario en función de  $\Delta f$ , mientras que para el símbolo '0' el cambio de fase es en sentido horario.



La figura 2.6 contiene el diagrama de flujo que describe la lógica del script Matlab del componente *Modulador FSK*. Se considera una entrada  $\Delta\theta$ , la cual almacena el cambio de fase en función del cambio de frecuencia, como se observa en la ecuación 2.1.

$$\Delta\theta = \pi h. \quad (2.1)$$



**Figura 2.6** Diagrama de flujo *Modulador FSK*.

Para no realizar cálculos con números irracionales, que requieren un mayor número de elementos lógicos para tener una buena aproximación, se reemplaza el valor de  $\pi$  por la mitad del número de fases discretas posibles en la constelación ( $N$ ) y se redondea  $\Delta\theta$  al valor de fase discreto más cercano. Teniendo así:

$$\Delta\theta = \frac{N}{2} h. \quad (2.2)$$

Una vez determinada la fase, esta pasa por el componente *Generador I/Q FSK*, que cumple la función de crear las componentes en fase y cuadratura correspondientes a la fase de entrada discreta, la cual varía entre los valores de 0 y  $N - 1$ . La fase de entrada se utiliza como dirección para acceder a las

posiciones de dos vectores de información, que guardan los resultados de las funciones trigonométricas coseno y seno de los ángulos, como se muestra en las ecuaciones 2.3 y 2.4.

$$v_{sin} = \sin\left(2\pi \times \frac{0:1:(N-1)}{N}\right) \quad (2.3)$$

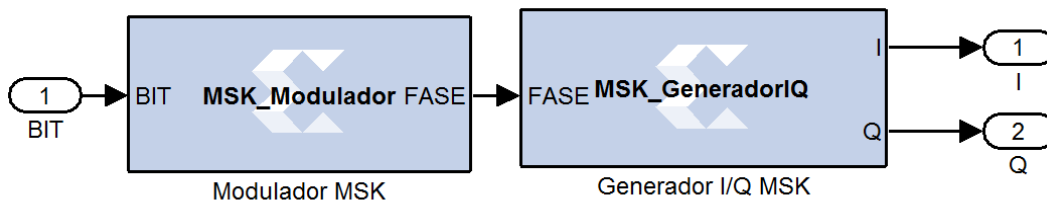
$$Q = v_{sin}(fase)$$

$$v_{cos} = \cos\left(2\pi \times \frac{0:1:(N-1)}{N}\right) \quad (2.4)$$

$$I = v_{cos}(fase)$$

▪ **Modulador Banda Base MSK**

La figura 2.7 presenta los componentes que constituyen el modulador MSK. Estos dos componentes se basan en bloques *MCode*.



**Figura 2.7** Modulador banda base MSK.

El bloque *Modulador MSK* se encarga de generar los cambios de fase de la señal a partir del bit de entrada. Si el bit de entrada es '1' el cambio de fase se genera en sentido anti-horario, en caso contrario, si se envía '0' la fase cambia en sentido horario. Los cambios de fase para las transiciones son de  $\pm 90^\circ$ .

La figura 2.8 muestra la transición de fase en función del bit de entrada.

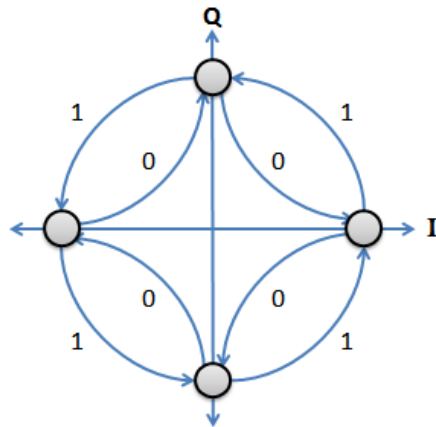


Figura 2.8 Diagrama de constelación de MSK.

La figura 2.9 corresponde al diagrama de flujo del *Modulador MSK*. El parámetro  $\Delta\theta$  es el cambio de fase constante presente en la señal modulada. Si el bit de entrada es '0', se resta  $\Delta\theta$  al valor de fase, de lo contrario, se suma  $\Delta\theta$  a la fase.

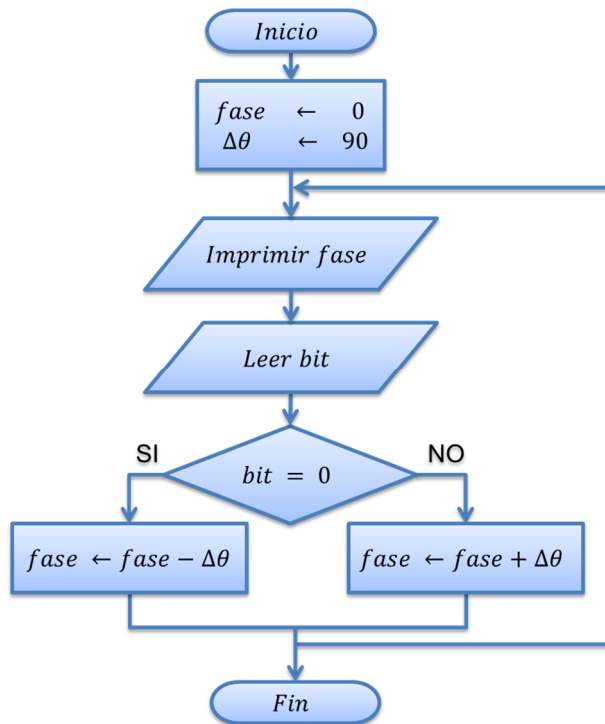


Figura 2.9 Diagrama de flujo *Modulador MSK*.

El bloque *Generador I/Q MSK* se encarga de traducir la fase generada en el bloque *Modulador MSK* en las componentes de fase y cuadratura, a partir de las

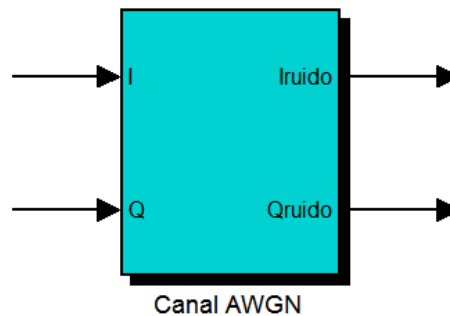
funciones trigonométricas coseno y seno, obteniendo a la salida del modulador la señal normalizada.

La tabla 2.2 muestra las componentes en fase (I) y cuadratura (Q) generadas por el *Generador I/Q MSK* a partir de las fases que se originaron en el *Modulador MSK*.

Fase ( $\theta$ )	Componente en Fase	Componente en Cuadratura
90°	0	1
-90°	0	-1
180°	-1	0
0°	1	0

**Tabla 2.2** Componentes en fase y cuadratura.

### 2.1.4.3 Canal AWGN Complejo



**Figura 2.10** Bloque general canal AWGN System Generator.

El bloque general del canal AWGN cuenta con dos pines de entrada (*I*, *Q*) que reciben las componentes provenientes del modulador, y dos pines de salida (*Iruído*, *Qruído*) que entregan las componentes contaminadas por ruido.

La herramienta System Generator solo cuenta con Generadores de Ruido Blanco Gaussiano (WGNG, *White Gaussian Noise Generator*) con distribución  $N \sim (0, 1)$ .

Para tener una fuente de ruido con distribución  $N \sim (0, \sigma^2)$ , se hace uso de la siguiente propiedad de la varianza:

$$VAR(aX) = a^2 \times VAR(X),$$

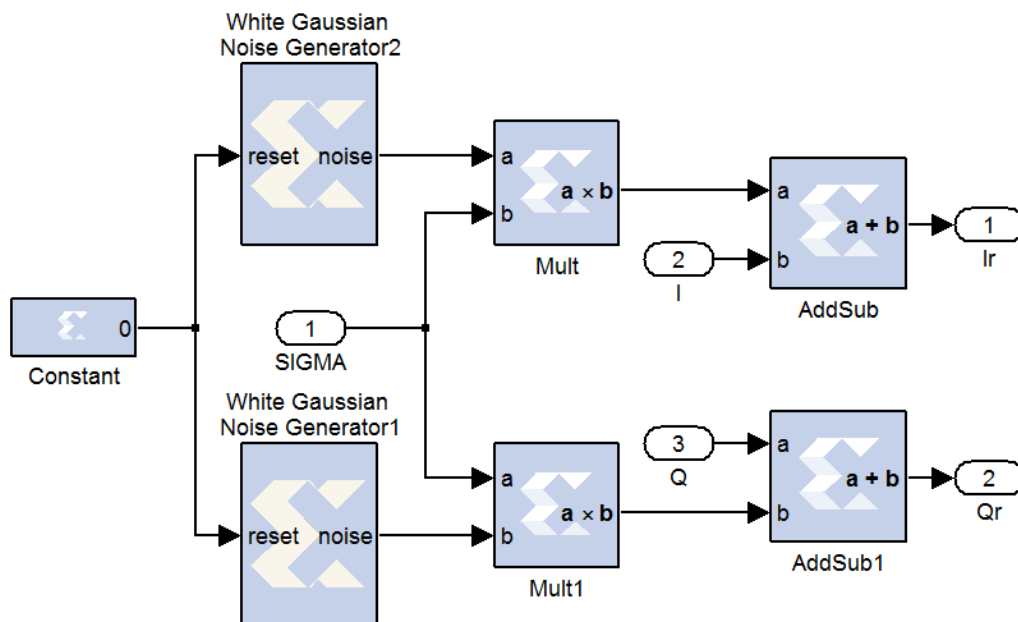
donde:

$a$ : Constante real,

$X$ : Variable aleatoria.

Con base en la anterior propiedad, se observa que con el uso del WGNG disponible se puede construir una fuente de ruido con distribución  $N \sim (0, \sigma^2)$  multiplicando cada valor del WGNG por una constante, donde la constante es la desviación estándar de ruido ( $\sigma$ ), definida para una relación de energía de bit a densidad espectral de potencia de ruido ( $E_b/N_o$ ) como se estudió en la sección 1.2.5.

Los elementos que componen el módulo general del canal AWGN se ilustran en la figura 2.11



**Figura 2.11** Canal AWGN complejo.

El Canal AWGN complejo consta de bloques WGNG's, los cuales generan ruido en las componentes I y Q de manera independiente, este efecto se observa al

colocar valores distintos de semilla en los generadores. Posteriormente, se realiza la multiplicación de la salida del WGNG por el valor de desviación estándar de ruido ( $\sigma$ ). Finalmente, se suma el resultado obtenido con el valor de la componente I y Q, teniendo así a la salida de cada componente la señal contaminada con ruido.

Los valores de desviación estándar de ruido para cada una de las relaciones de energía de bit a densidad espectral de potencia de ruido se hallan basados en las ecuación 1.37.

#### 2.1.4.4 Demodulador Banda Base

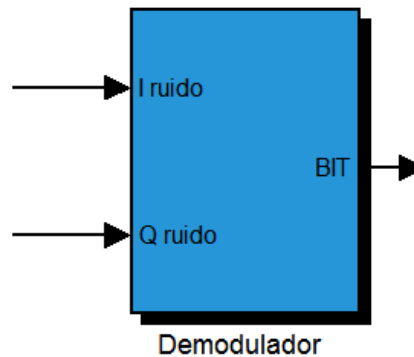


Figura 2.12 Bloque general demodulador System Generator.

El bloque general del demodulador banda base consta de las entradas *I ruido*, *Q ruido* y una única salida llamada *BIT*, como se ilustra en la figura 2.12. Las entradas reciben las componentes *I* y *Q* perturbadas por ruido que serán demoduladas, produciendo en la salida *BIT* la secuencia de bits detectada.

- **Demodulador Banda Base FSK**

La figura 2.13 presenta el demodulador Banda Base FSK diseñado.

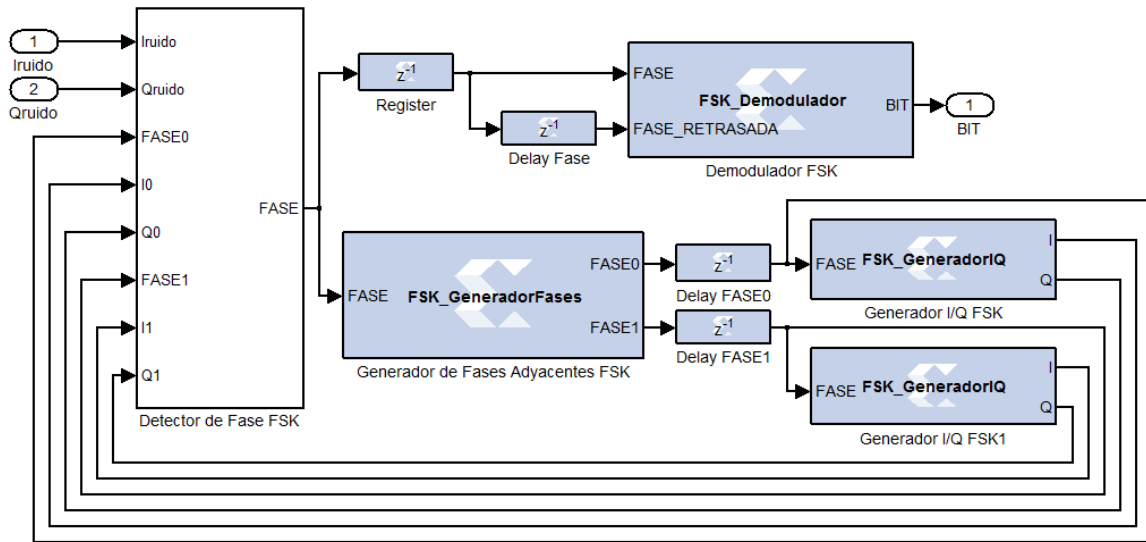


Figura 2.13 Demodulador banda base FSK.

El demodulador FSK diseñado es de tipo coherente; se realizó una aproximación a la reconstrucción de la trayectoria del árbol de trellis debido a que no es posible implementar el algoritmo de Viterbi, puesto que este requiere un mayor número de componentes lógicos que no se disponen en el FPGA seleccionado.

A continuación se realiza una breve descripción de las funciones que tiene a cargo cada uno de los componentes:

El *Detector de Fase FSK*, tiene la función de regenerar el símbolo de entrada a partir de las dos fases posibles utilizando el criterio de mínima distancia cuadrática.

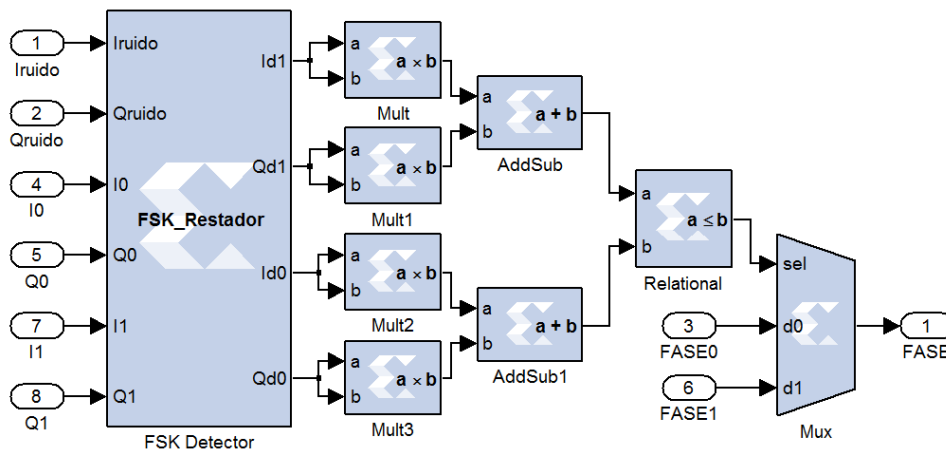


Figura 2.14 Diseño modular del subsistema *Detector de fase FSK*.

Como se aprecia en la figura 2.14, el cálculo de la mínima distancia cuadrática se hace a partir de elementos básicos de System Generator, ya que utilizar un elemento *MCode* requiere el uso de elementos MULT18x18, los cuales son limitados a 20. Los multiplicadores (*Mult*) se configuran para que no utilicen estos elementos y se construyan a partir de Tablas de Consulta (LUT, *Look-Up Table*) y *Slices*.

Los elementos *AddSub* y *AddSub1* tienen a su salida el valor de distancia cuadrática calculada desde el punto de entrada al punto de FASE1 y FASE0 respectivamente.

Los elementos *Relational* y *Mux* seleccionan una de las fases de entrada (FASE0 ó FASE1) a partir de la lógica que se muestra en la tabla 2.3.

Relational	Salida FASE
$a \leq b$	FASE1
$a > b$	FASE0

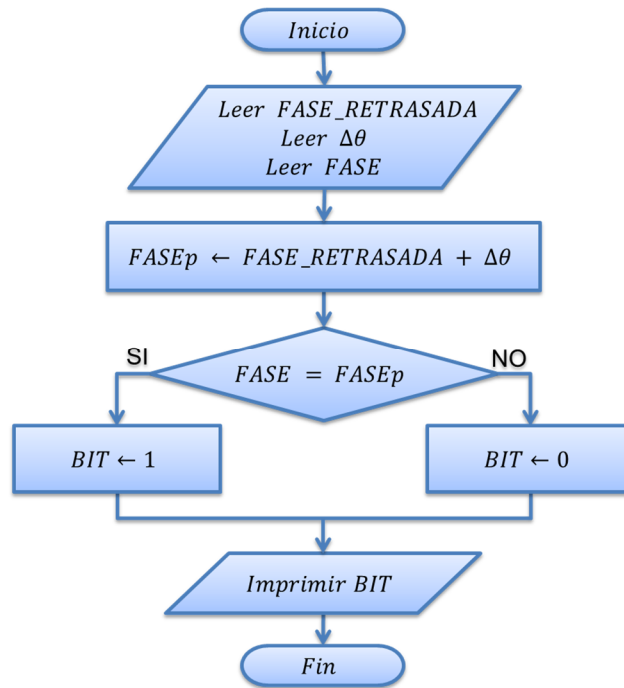
**Tabla 2.3** Decisión bloque *Relational*.

El componente *Generador de Fases Adyacentes FSK*, produce las fases adyacentes posibles a partir de la fase de entrada detectada por el *Detector de Fase FSK*.

Los componentes *Generador I/Q FSK* generan las componentes I y Q de la fase de entrada.

El *Demodulador FSK* es el encargado de decidir el valor del bit a partir de las entradas *FASE* y *FASE\_RETRASADA*, como se muestra en el diagrama de flujo de la figura 2.15.

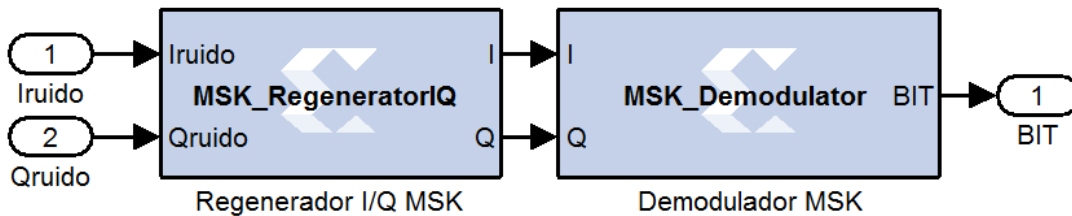




**Figura 2.15** Diagrama de flujo *Demodulador FSK*.

▪ **Demodulador Banda Base MSK**

El demodulador banda base MSK lo componen los bloques que se exhiben en la figura 2.16.

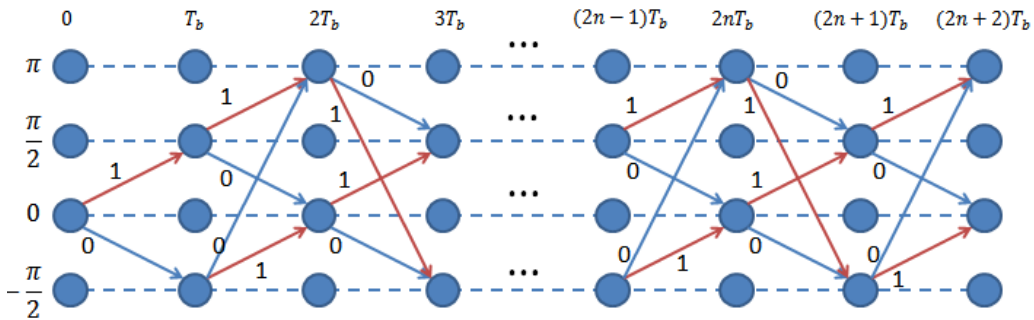


**Figura 2.16** Demodulador banda base MSK.

El bloque *Regenerador I/Q MSK* es el encargado de reconstruir los símbolos que han sido afectados por ruido AWGN.

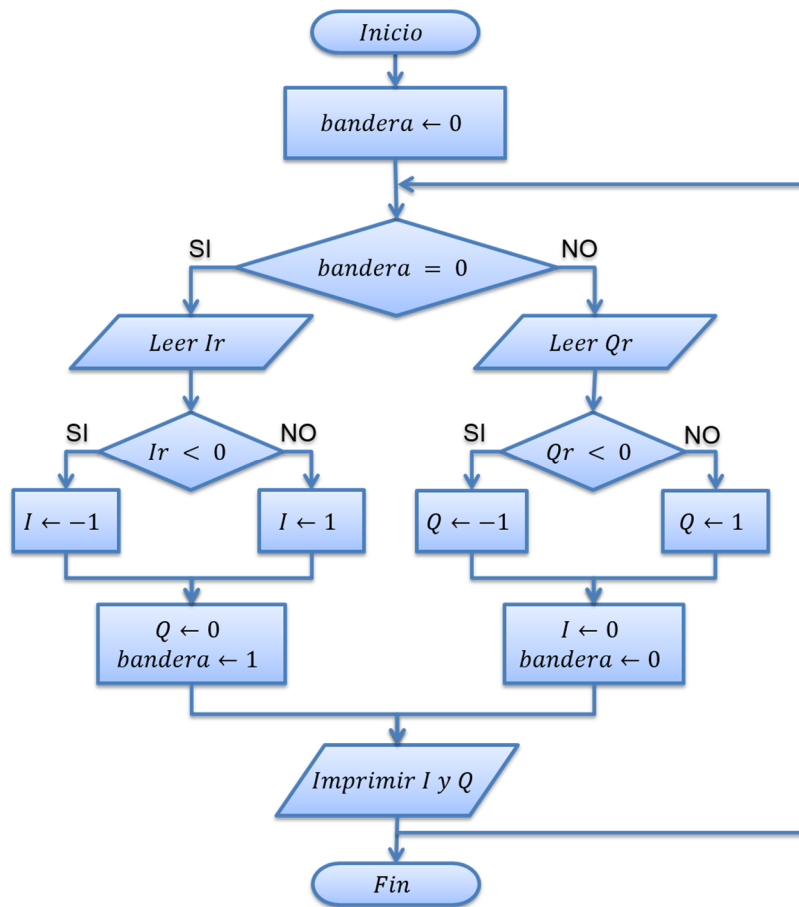
Basado en el diagrama de Trellis mostrado en la figura 2.17, se observa que la fase es cero para un tiempo igual a cero. Para los tiempos de bit impar ( $T_b, 3T_b, \dots, (2n - 1)T_b, (2n + 1)T_b$ ) los valores de fase posibles son  $-\pi/2$  y  $\pi/2$ . En

cambio, para los tiempos de bit par ( $2T_b, \dots, 2nT_b, (2n + 2)T_b$ ) los posibles valores de fase son 0 y  $\pi$ .



**Figura 2.17** Diagrama de Trellis de señal modulada con modulación MSK.

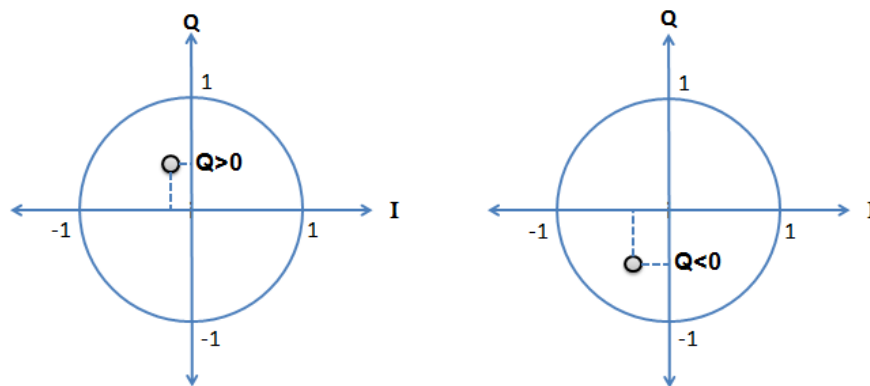
A partir de este análisis se realiza la regeneración de los puntos de la constelación en función del tiempo de bit transcurrido, como se muestra en la figura 2.18.



**Figura 2.18** Diagrama de flujo Regenerador I/Q MSK.

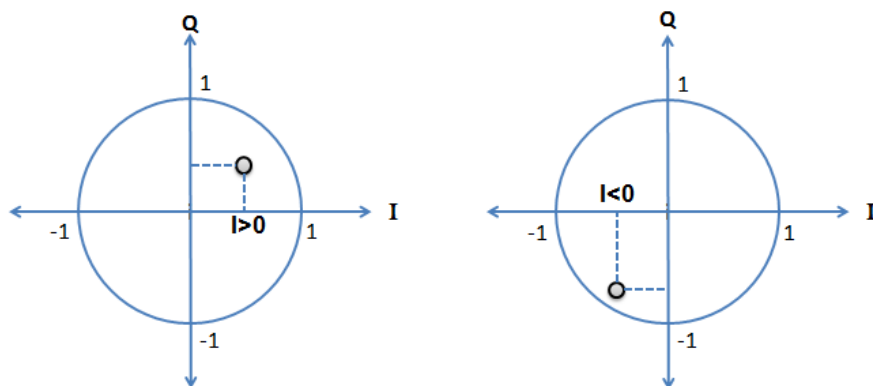
La variable bandera determina si el tiempo de bit ( $T_b$ ) es par o impar, de tal manera que bandera con valor 0 representa un tiempo de bit par, y bandera con valor 1 representa un tiempo de bit impar. Acordado el valor de bandera se define que:

- Si el valor de bandera es 1 las posibles fases generadas son  $-\pi/2$  ó  $\pi/2$ , de modo que la componente en fase (I) no es de interés y solamente es necesario concentrarse en el valor de la componente en cuadratura (Q). Es decir, si la componente es menor que 0 esta toma el valor de -1, de lo contrario su valor será 1.



**Figura 2.19** Diagrama de decisión para la componente Q.

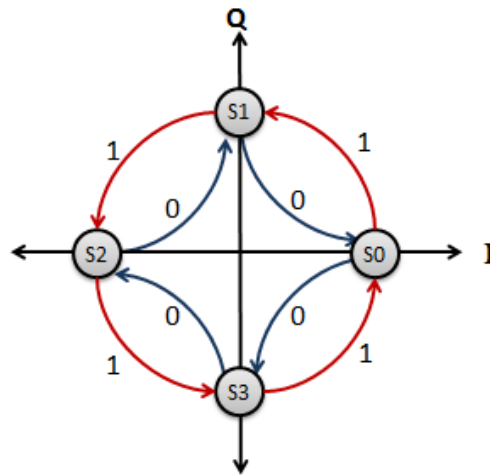
- Si bandera es igual a 0 los tiempos de bit son pares y solamente podrán tomar valores de fase 0 ó  $\pi$ , siendo de interés únicamente la componente en fase. De manera similar, si la componente en fase detectada es mayor a cero se regenera un 1, mientras que si es menor que cero se regenera un -1.



**Figura 2.20** Diagrama de decisión para la componente I.

Con los valores I y Q obtenidos, el bloque *Demodulador MSK* se encarga de determinar la secuencia de bits enviados, este se encuentra construido sobre un elemento *MCode*.

A partir de la figura 2.21 se realiza el algoritmo de detección de bits; como se puede observar la transición de un estado a otro depende del bit enviado. El *Demodulador MSK* compara el estado inmediatamente anterior y el estado actual de la señal. La tabla 2.4 presenta la forma de demodulación en base a los estados.



**Figura 2.21** Diagrama de estados de la señal modulada.

Estado Anterior	Estado Actual	Bit Recuperado
S0	S1	1
S0	S3	0
S1	S2	1
S1	S0	0
S2	S3	1
S2	S1	0
S3	S0	1
S3	S2	0

**Tabla 2.4** Lógica del Demodulador MSK.

### 2.1.5 Fase 4. Simulación del Sistema

Una vez creados los componentes requeridos por el sistema de comunicaciones se procede a simularlos verificando el funcionamiento de cada uno a partir de las señales obtenidas en los componentes *Scope* y *Discrete-Time Scatter Plot Scope*.

#### 2.1.5.1 Fuente de Información

Los parámetros configurables del módulo son:

- ✓ Período de Bit: especifica el número de ciclos de reloj de un bit.
- ✓ Semilla de LFSR: parámetro que determina el comportamiento del registro LFSR.

La figura 2.22 muestra la interfaz de configuración de los parámetros mencionados.

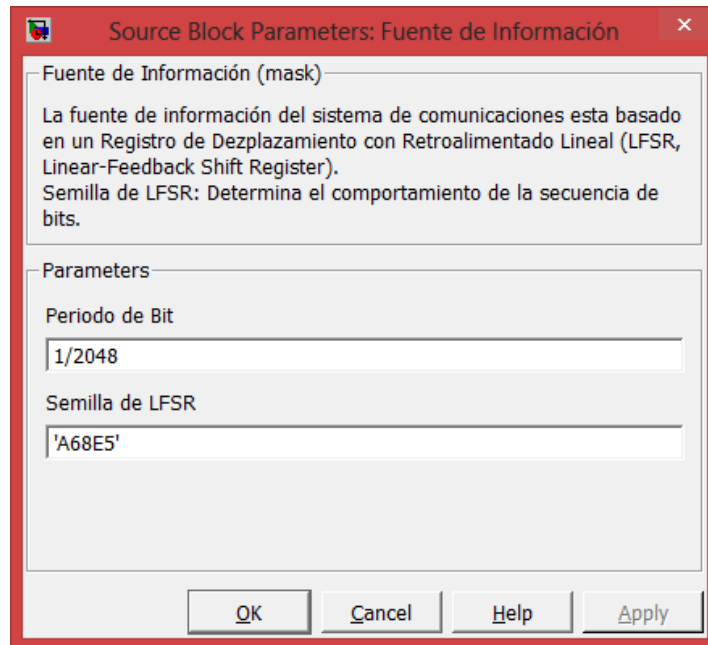


Figura 2.22 Máscara de configuración *Fuente de Información*.

La figura 2.23 ilustra los bits generados por el bloque a partir de la configuración previamente realizada.

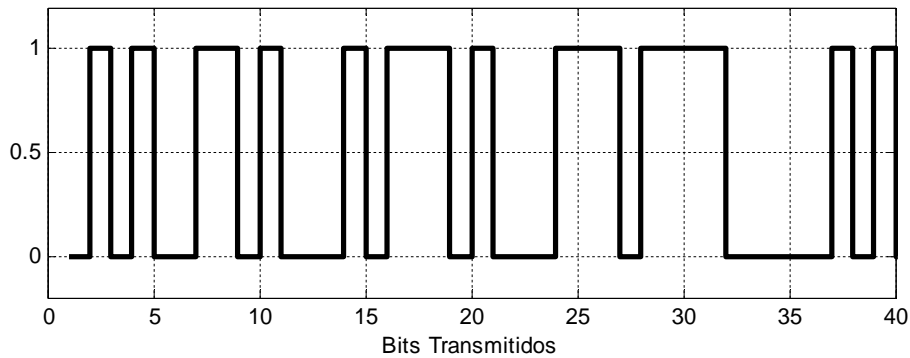


Figura 2.23 Secuencia de bits generados por el LFSR.

### 2.1.5.2 Moduladores Banda Base

#### ▪ Modulador Banda Base FSK

Los parámetros configurables para el modulador son:

- ✓ Índice de Modulación: determinado en la ecuación 1.11.
- ✓ Número de Puntos: determina el número de puntos posibles en la constelación, es un valor potencia de 2.
- ✓ Número de Bits y Punto Binario: fija la longitud binaria de las componentes I/Q.

Los dos últimos parámetros son útiles para optimizar el uso de elementos lógicos con los que cuenta el FPGA.

En la figura 2.24 se observa la configuración de los parámetros del bloque Modulador FSK.

La figura 2.25 presenta los cambios de fase del *Modulador FSK*, donde se observa que el valor de fase discreta oscila entre 0 y 7 debido a que el número de puntos configurados en la constelación fue 8.

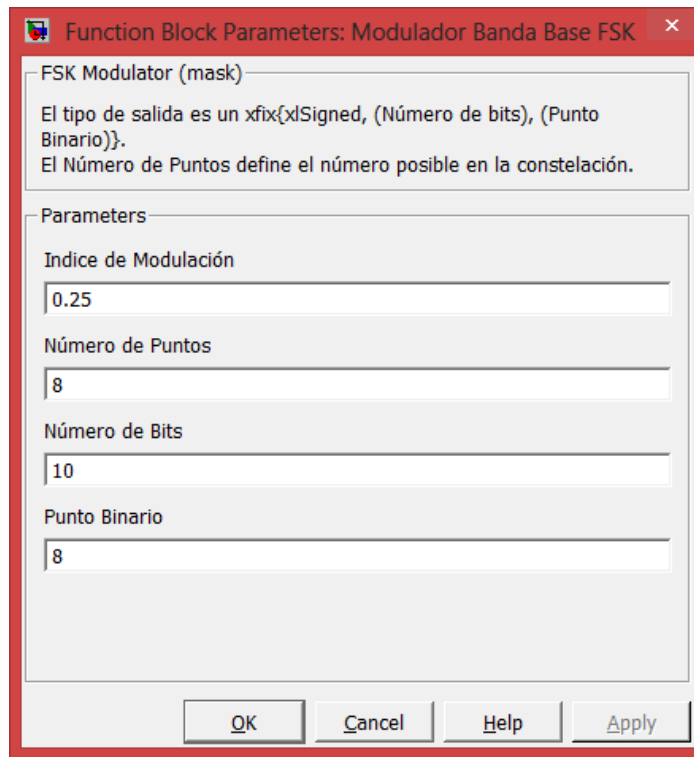


Figura 2.24 Máscara de configuración *Modulador FSK*.

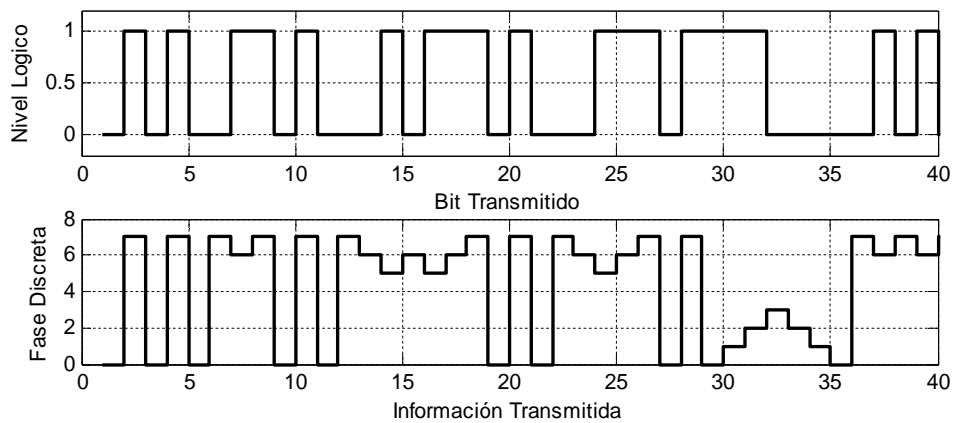
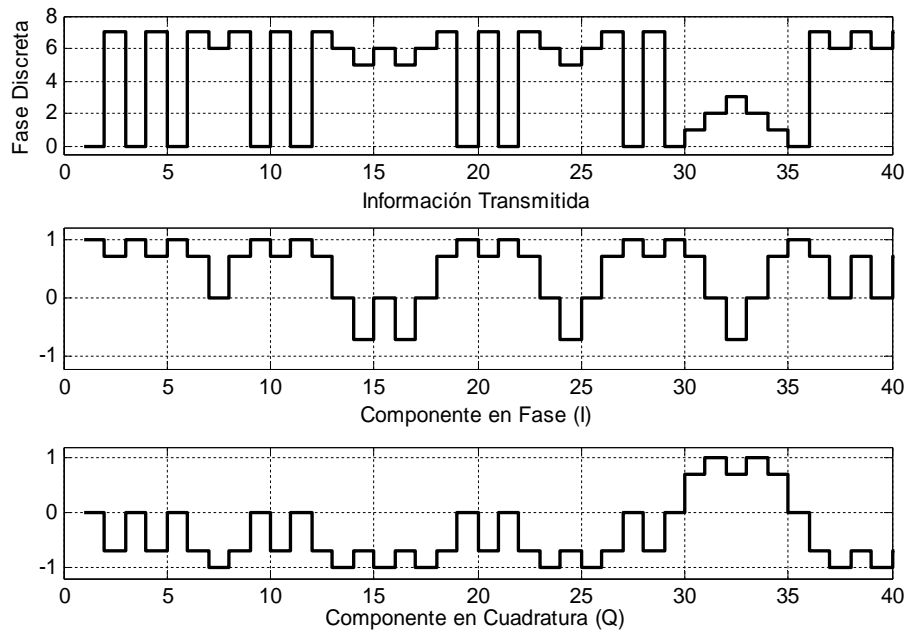
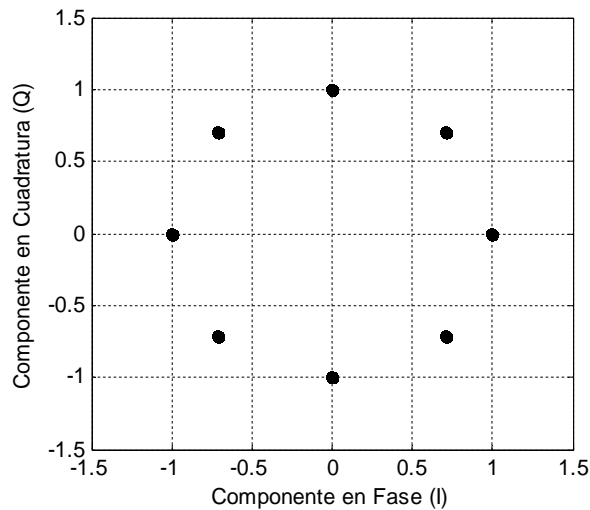


Figura 2.25 Cambios de fase del bloque *Modulador FSK*.

Las componentes en fase y cuadratura producidas por el *Generador I/Q FSK* se presentan en la figura 2.26; la figura 2.27 exhibe el diagrama de constelación de la señal modulada.



**Figura 2.26** Componentes en fase y cuadratura de la señal FSK, con  $h = 0.25$ .

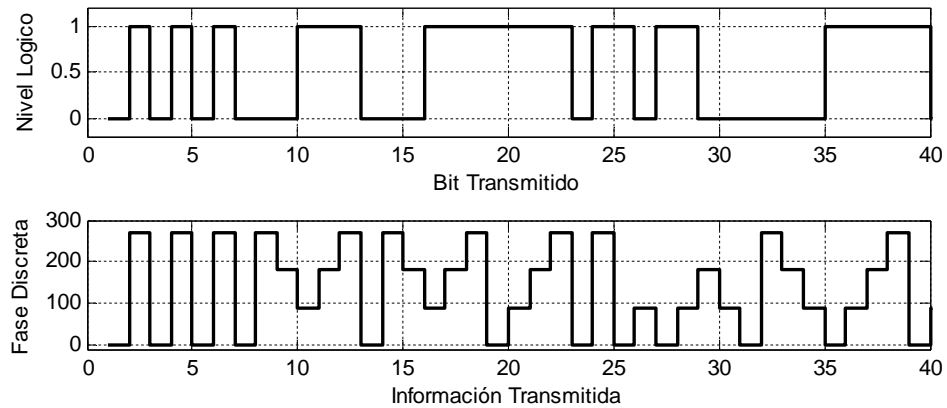


**Figura 2.27** Diagrama de constelación de señal FSK con  $h = 0.25$ .

▪ **Modulador Banda Base MSK**

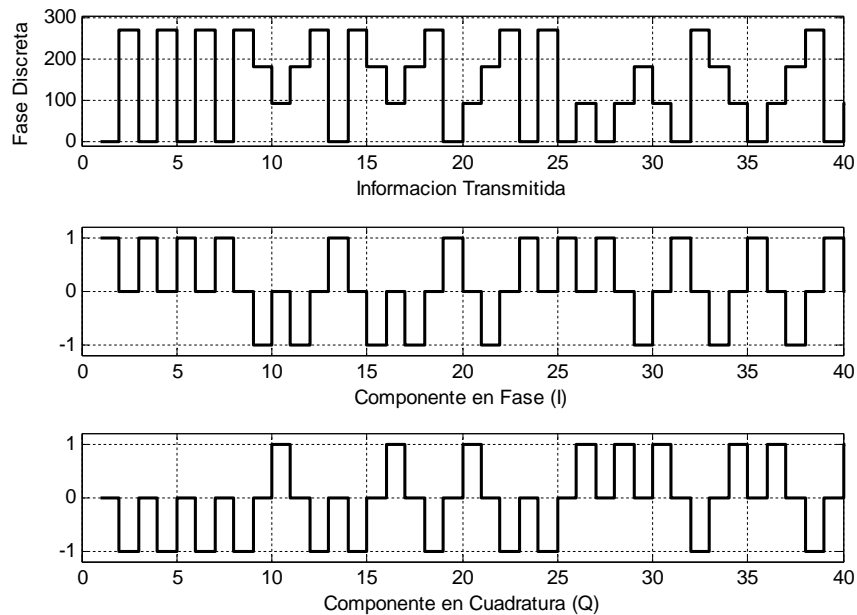
En la figura 2.28 se enseñan los cambios de fase obtenidos a partir de la secuencia de bits enviados. La parte superior de la figura corresponde a los bits enviados y la inferior a los cambios de fase generados.





**Figura 2.28** Cambios de fase *Modulador MSK*.

La figura 2.29 expone las componentes en fase (I) y cuadratura (Q) generadas a partir de la fase.



**Figura 2.29** Componentes en fase y cuadratura de la señal MSK.

Con las componentes en fase (I) y cuadratura (Q) anteriores se obtiene el diagrama de constelación mostrado en la figura 2.30; se puede apreciar que los símbolos presentados en el diagrama están normalizados.

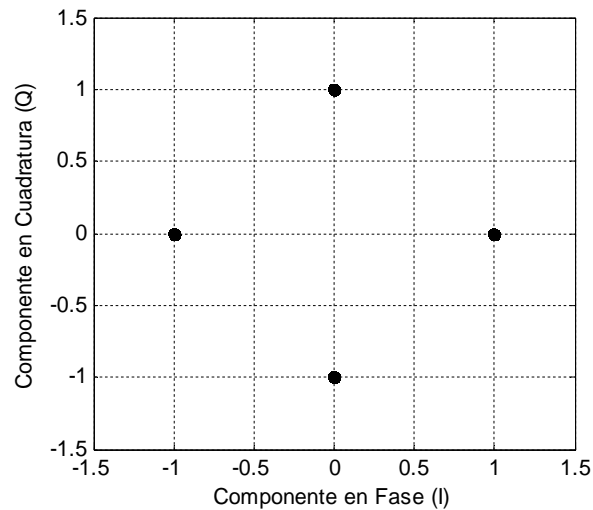


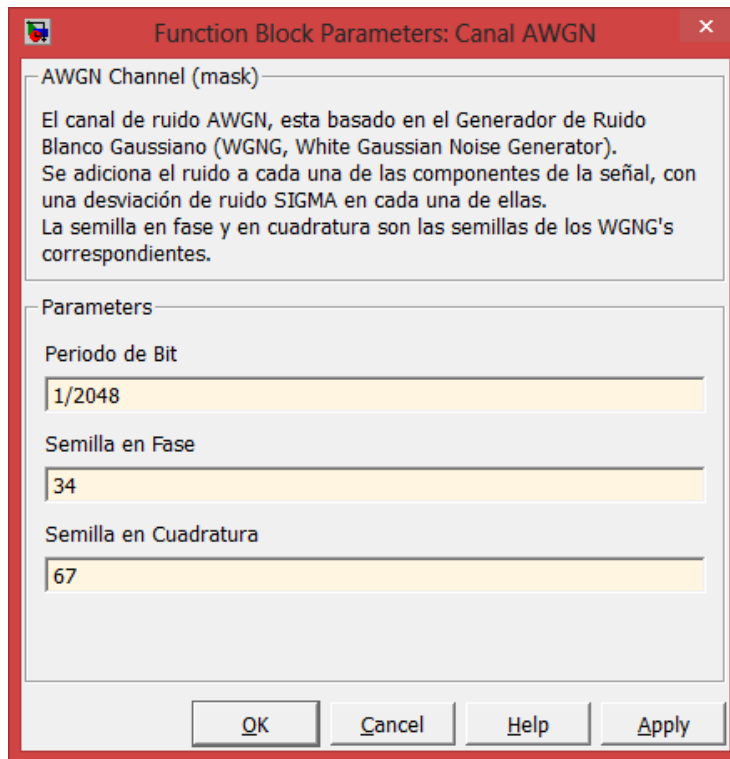
Figura 2.30 Diagrama de constelación de señal MSK.

### 2.1.5.3 Canal AWGN Complejo

Los parámetros configurables para el canal AWGN complejo son:

- ✓ Semilla en fase (I): corresponde al valor de semilla que tendrá el generador de ruido blanco gaussiano en la componente en fase (I).
- ✓ Semilla en cuadratura: corresponde al valor de semilla que tendrá el generador de ruido blanco gaussiano en la componente en cuadratura (Q).

La figura 2.31 muestra la interfaz de configuración de cada uno de estos parámetros.



**Figura 2.31** Máscara de configuración *Canal AWGN*.

La figura 2.32 exhibe las componentes en fase y cuadratura que han sido afectadas por el canal. Las dos primeras formas de onda corresponden a la componente en fase (I) antes y después del canal y las dos siguientes pertenecen a la componente en cuadratura (Q).

Las figuras 2.33 y 2.34 presentan los diagramas de constelación de los símbolos después de atravesar el canal; se observa la dispersión que han sufrido a causa del ruido.

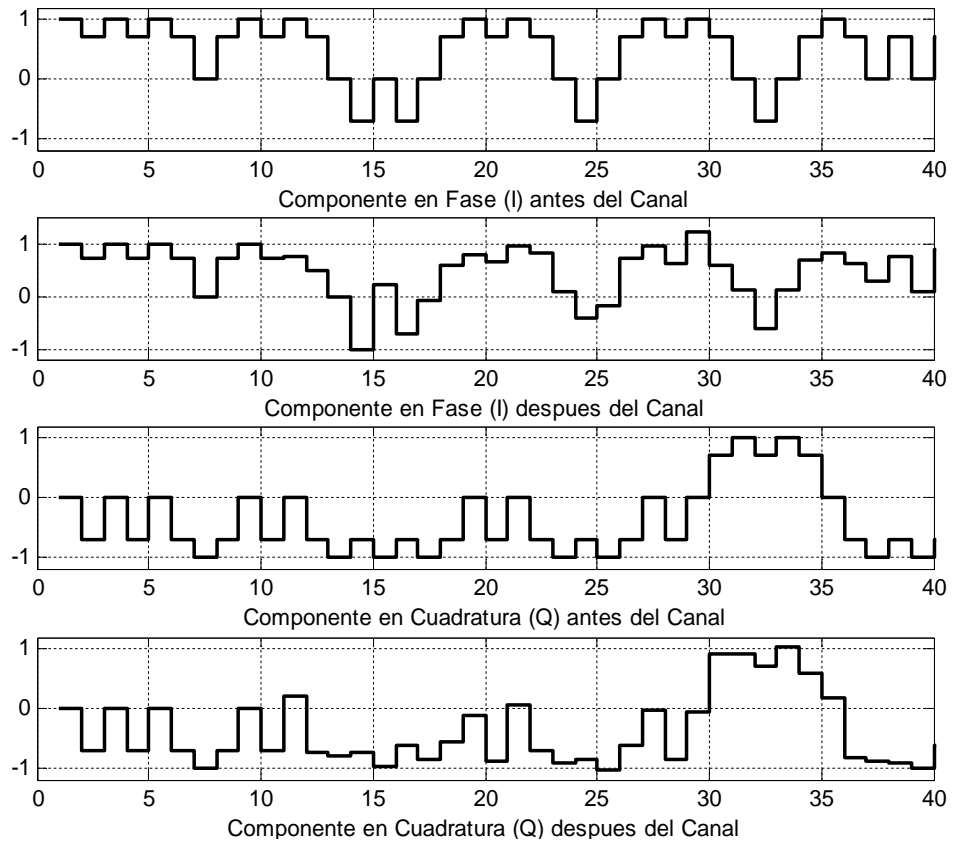


Figura 2.32 Componentes en fase y cuadratura antes y después del canal.

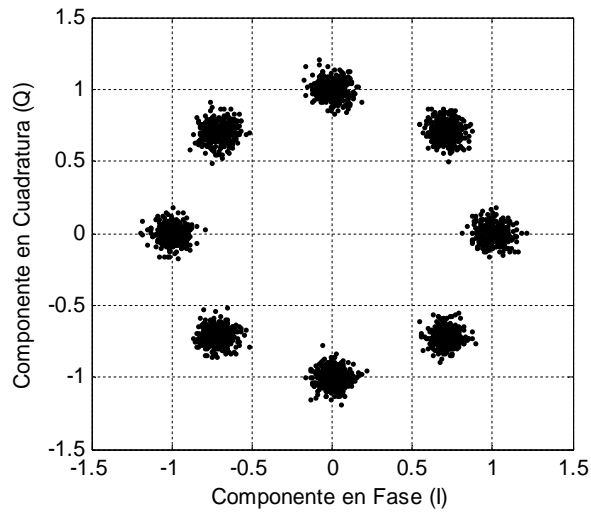


Figura 2.33 Diagrama de constelación FSK perturbado por ruido.

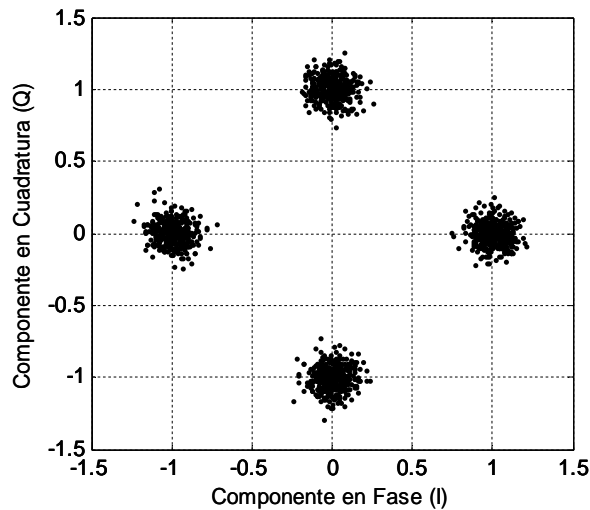


Figura 2.34 Diagrama de constelación MSK perturbado por ruido.

#### 2.1.5.4 Demoduladores Banda Base

- Demodulador Banda Base FSK

La figura 2.35 corresponde a la secuencia de bits transmitidos y recibidos. En la figura se puede visualizar que la secuencia de bits recibidos se encuentra retardada dos símbolos respecto a la secuencia de bits transmitidos, debido al tiempo necesario en el procesamiento de la señal.

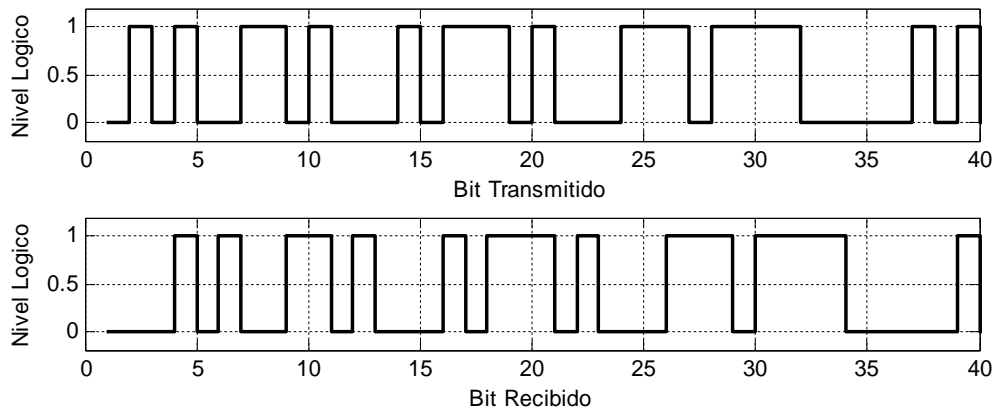
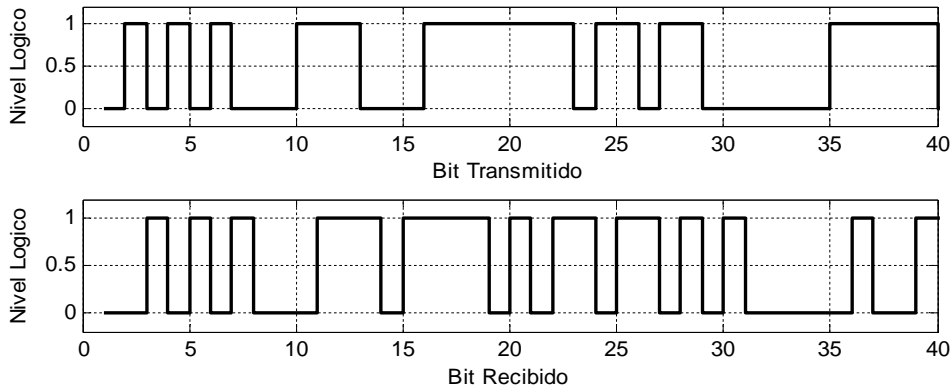


Figura 2.35 Secuencia de bits transmitidos y recibidos para señal FSK.

▪ **Demodulador Banda Base MSK**

La figura 2.36 ilustra la secuencia de bits transmitidos y recibidos. Los bits en recepción se encuentran retrasados un símbolo respecto a los bits transmitidos.



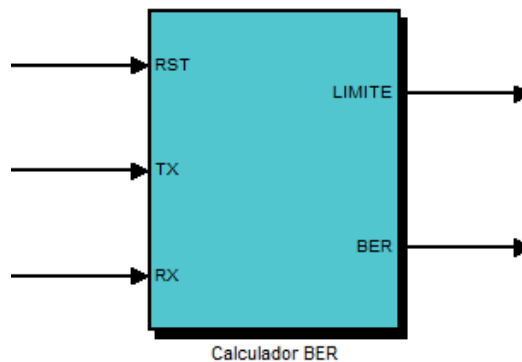
**Figura 2.36** Secuencia de bits transmitidos y recibidos para señal MSK.

**2.1.5.5 Módulos Adicionales del Sistema de Comunicación**

Con el fin de obtener el valor de BER de los sistemas de comunicaciones diseñados y visualizar el resultado, se diseñaron módulos adicionales que cumplieran con estas funciones. La lógica utilizada en el diseño de los bloques adicionales se encuentra en el apéndice B.

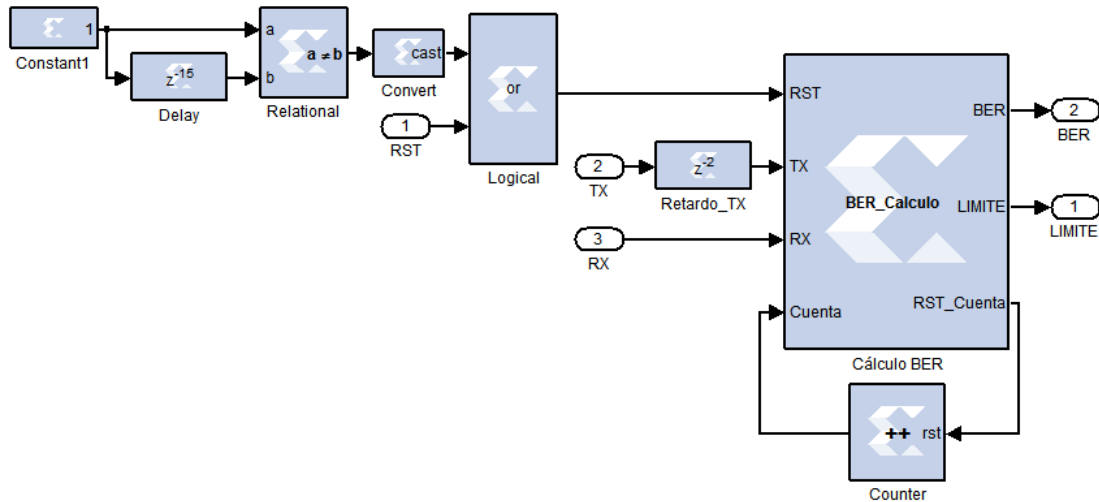
▪ **Calculador de BER**

El módulo tiene la función de calcular el resultado de bits erróneos dentro de un determinado número de bits observados.



**Figura 2.37** Bloque general *Calculador de BER* System Generator.

El módulo general *Calculador de BER* está compuesto por tres entradas denominadas *RST*, *TX*, *RX* y dos salidas llamadas *BER* y *LIMITE*, como se muestra en la figura 2.37. La entrada *RST* reinicia el valor de BER, *TX* contiene la secuencia de bits transmitidos y *RX* la secuencia de bits regenerados en el receptor. La salida *BER* carga el valor calculado de bits errados y *LIMITE* indica un nuevo resultado de BER. Los componentes del bloque general se ilustran en la figura 2.38.



**Figura 2.38** Componentes del *Calculador de BER*.

El canal tarda alrededor de 10 símbolos en agregar ruido a la señal original, por lo cual es necesario omitirlos del cálculo de BER con el fin de obtener un valor fiable. Este proceso se realiza a partir de los elementos *Constant1*, *Delay* y *Relational*, los cuales generan una señal en alto por un número determinado de símbolos bloqueando el cálculo de BER.

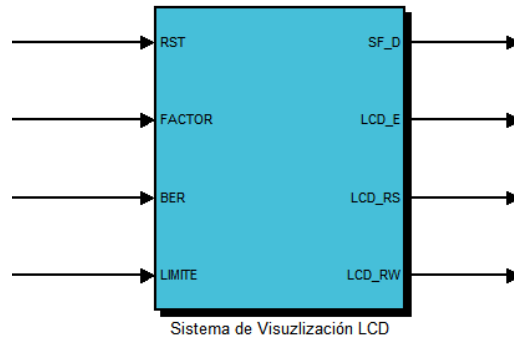
El bloque *Cálculo BER* se encarga de acumular el número de bits errados, comparando los bits recibidos con los transmitidos hasta un número de bits límite, para ello se hace uso del bloque *Counter*.

El bloque *Retardo\_TX* retrasa la secuencia de bits transmitidos para sincronizarla con la secuencia de bits recibidos; este retardo depende del esquema de modulación utilizado.

La salida *BER* arroja el resultado final del cálculo y *LIMITE* genera un pulso en alto cuando se genera un nuevo resultado de BER.

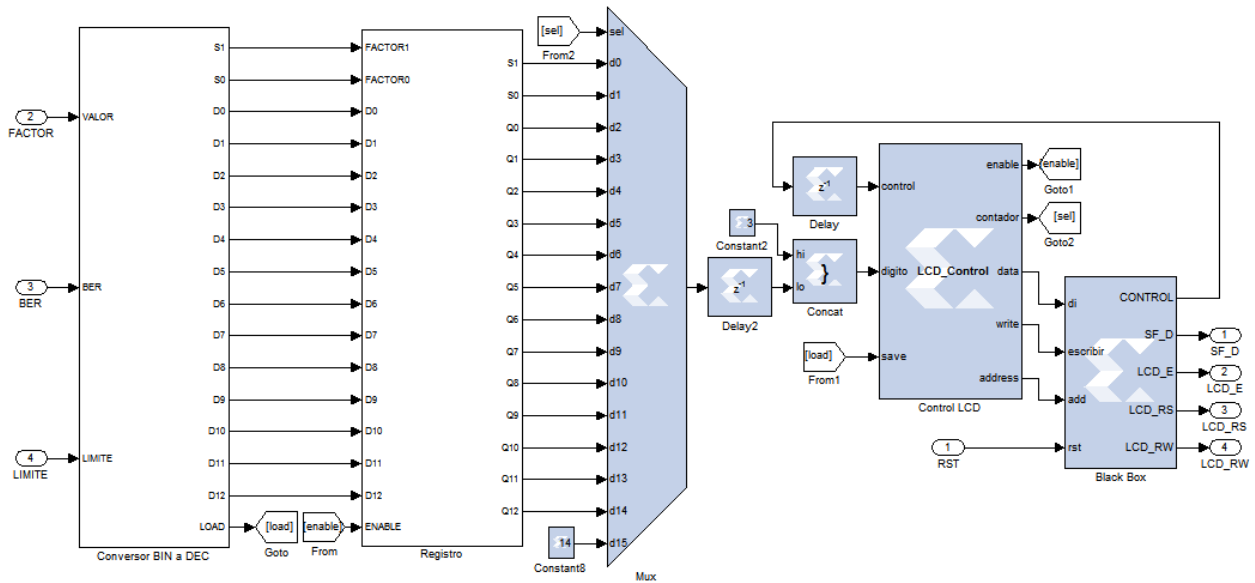
▪ **Sistema de Visualización LCD**

Este módulo permite visualizar el resultado de BER para relaciones de energía de bit a densidad espectral de potencia de ruido sobre la LCD del FPGA.



**Figura 2.39** Bloque general *Sistema de Visualización LCD System Generator*.

La figura 2.39 presenta el bloque general del sistema de visualización y la figura 2.40 muestra los componentes que constituyen este módulo.



**Figura 2.40** Componentes del *Sistema de Visualización LCD*.

El Componente *Convertor BIN a DEC* realiza la conversión de dígitos binarios a dígitos decimales del valor de *BER* y *FACTOR*. *BER* es el resultado obtenido en el



componente anterior y *FACTOR* es la relación de energía de bit a densidad espectral de potencia de ruido.

*Registro* guarda el resultado de la conversión en función de la entrada *ENABLE*; *ENABLE* con valor 1 guarda los valores de entrada y con valor 0 mantiene los valores guardados.

El *Mux* selecciona el dígito que se quiere visualizar en la pantalla LCD.

El bloque *Control LCD* se encarga de seleccionar los dígitos que se desean mostrar en la pantalla, la posición en la cual se van a visualizar y el momento en que se guarda el resultado de la conversión binaria.

El componente *Black Box* contiene el código de Lenguaje de Descripción Hardware para VHSIC (VHDL, *VHSIC Hardware Description Language*) con las instrucciones para inicializar e imprimir los datos sobre la pantalla LCD del FPGA.

#### ▪ Sistema de Control

Es el encargado de generar los valores de la desviación estándar de ruido ( $\sigma$ ) para el canal AWGN complejo del sistema de comunicaciones, además de guardar el resultado de BER y la relación de energía de bit a densidad espectral de potencia de ruido ( $E_b/N_0$ ).

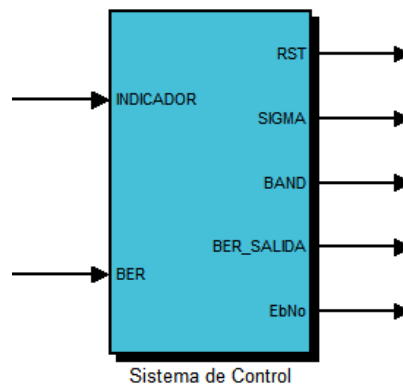
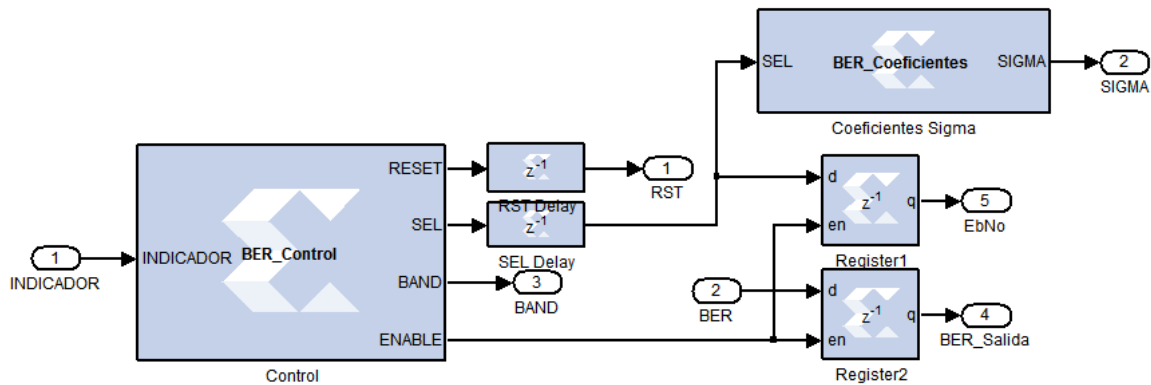


Figura 2.41 Bloque general *Sistema de Control System Generator*.

La figura 2.41 presenta el bloque general del sistema de control, los elementos que hacen parte de este módulo son ilustrados en la figura 2.42.



**Figura 2.42** Componentes del *Sistema de Control*.

El bloque *Control* tiene la función de seleccionar el coeficiente de desviación estándar de ruido ( $\sigma$ ) para el canal AWGN complejo del sistema de comunicación.

El bloque *Coefficientes Sigma* calcula los coeficientes de desviación estándar de ruido ( $\sigma$ ) a partir de la máscara de un bloque *MCode* (ver apéndice B.3).

Los *Registers* guardan el resultado de BER y la relación de energía de bit a densidad espectral de potencia de ruido ( $E_b/N_0$ ).

La señal de salida *BAND* es utilizada para indicar el momento en el cual los datos quedan almacenados.

### 2.1.6 Fase 5. Implementación Física del Sistema

Para llevar a cabo la implementación de los sistemas de comunicación diseñados sobre el FPGA es necesario generar el archivo bitstream (.bit), el cual contiene el código binario de configuración de la tarjeta. Para este proceso se abre el panel de opciones del elemento *System Generator*, se configura el modo de compilación a *Bitstream* y la referencia del FPGA, tal como se muestra en la figura 2.43.

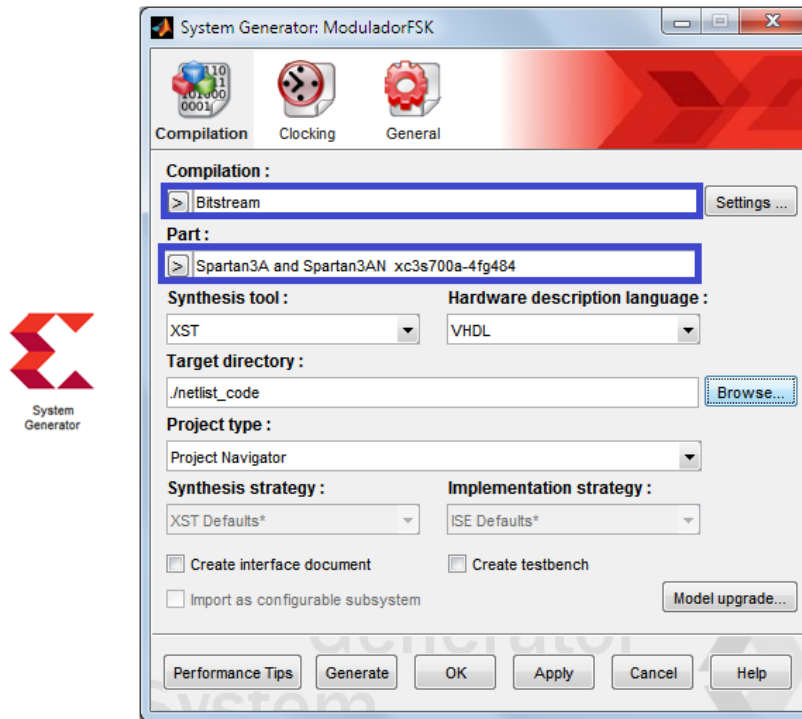


Figura 2.43 Configuración de System Generator para generar archivo bitstream.

Una vez generado este archivo se procede a cargar el código sobre el FPGA por medio de la herramienta *IMPACT* incluida en ISE que en un principio realiza el reconocimiento del FPGA seleccionado (Spartan 3A) y posteriormente graba el código, como se observa en las figuras 2.44, 2.45 y 2.46.

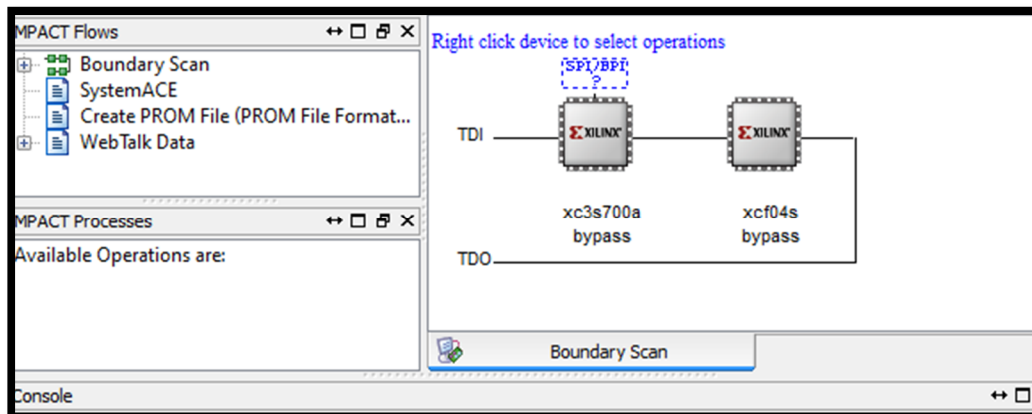


Figura 2.44 Reconocimiento del FPGA.

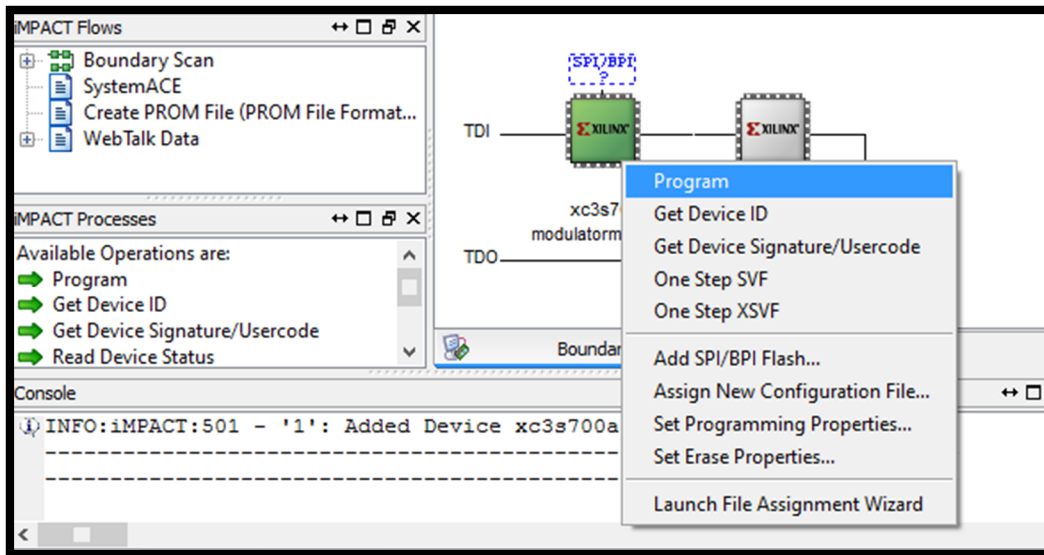


Figura 2.45 Programación del FPGA con bitstream.

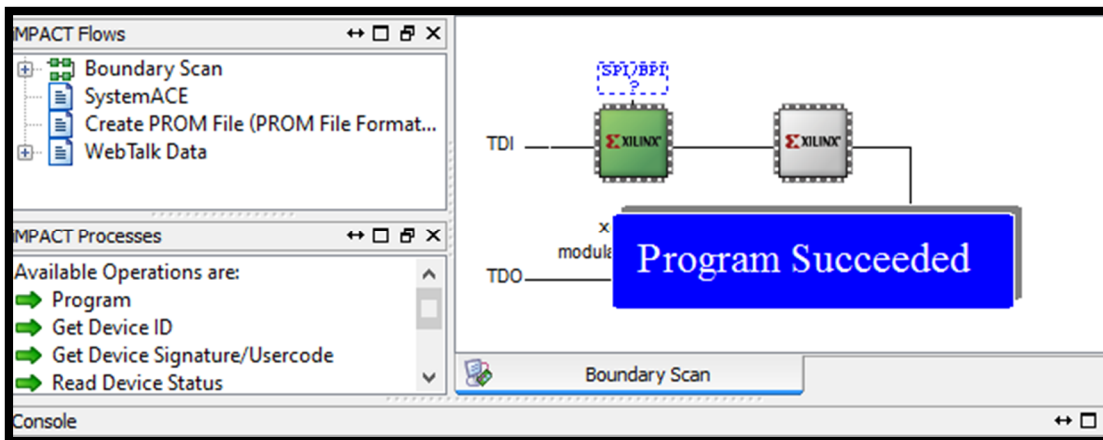


Figura 2.46 Programación exitosa del FPGA.

La figura 2.47 presenta el FPGA funcionando con el Bitstream descargado; en este caso se programó con el modelo del sistema de comunicaciones con modulación MSK.



Figura 2.47 Funcionamiento de la tarjeta con el bitstream descargado en el FPGA.

### 2.1.7 Fase 6. Validación

Para efectuar la validación del funcionamiento de los sistemas implementados sobre el FPGA, se diseñaron los sistemas de comunicaciones en la herramienta Simulink para cada caso (modulación FSK, MSK) y se compararon las curvas de desempeño. Las figuras 2.48 y 2.49 presentan los sistemas de comunicaciones banda base construidos en Simulink.

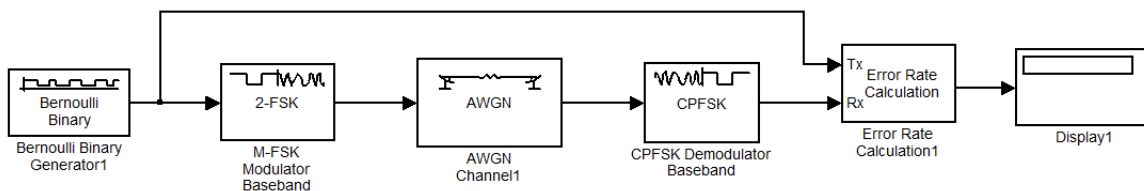
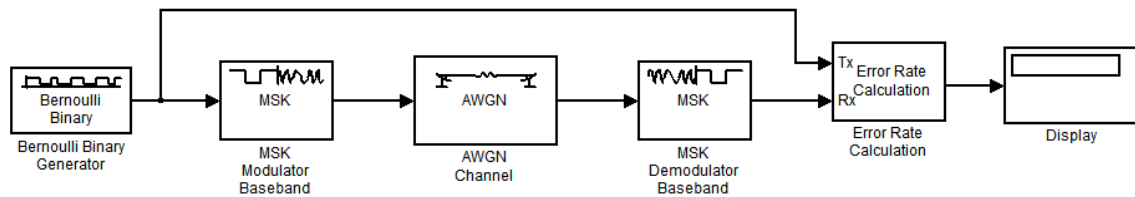


Figura 2.48 Sistema de comunicación banda base con modulación FSK.

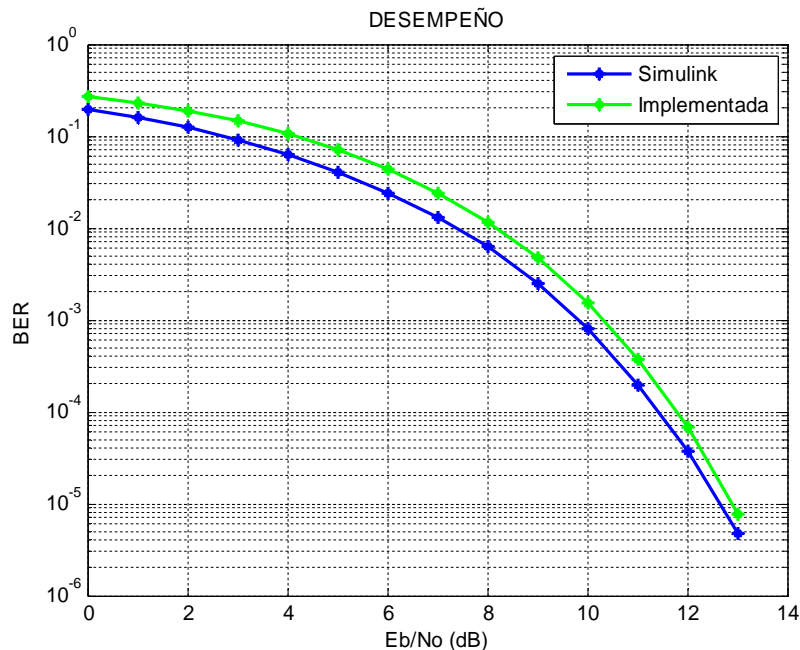


**Figura 2.49** Sistema de comunicación banda base con modulación MSK.

Los sistemas de comunicaciones se componen de: un Generador Binario Bernoulli como fuente de información con probabilidad de cero binario de 0.5, un modulador Banda Base 2-FSK/MSK, un canal AWGN, un Demodulador Banda Base CPFSK/MSK, un Calculador de Tasa de Error y un *Display*.

Como se observa en la figura 2.48, el sistema de comunicación FSK se compone de un demodulador CPFSK debido a que la herramienta software no cuenta con un demodulador con detección coherente, por lo tanto es necesario conectar el demodulador CPFSK en reemplazo.

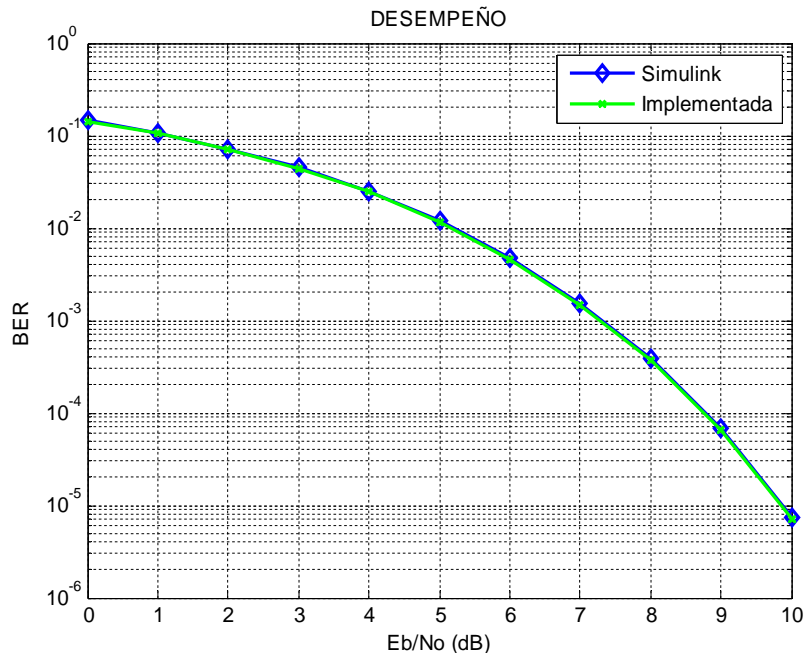
La figura 2.50 muestra los resultados obtenidos para el sistema de comunicación con modulación FSK, contrastando las curvas del modelo implementado en el FPGA y el de Simulink. El desempeño del sistema implementado sigue el mismo comportamiento que el de Simulink aunque es un poco menor puesto que el algoritmo de detección del demodulador diseñado es diferente.



**Figura 2.50** Curva de desempeño esquema FSK Simulink e Implementada,  $h = 0.25$ .

Con lo anteriormente dicho se puede considerar que el sistema implementado en el FPGA es una aproximación a un sistema de la vida real y apto para evaluar su desempeño.

En la figura 2.51 se observa que las curvas de desempeño del sistema de comunicación con modulación MSK implementado y de Simulink se comportan de igual manera en todo su recorrido, sobreponiéndose una a la otra. Este comportamiento permite asegurar que el sistema implementado en el FPGA es apto para evaluar su desempeño.



**Figura 2.51** Curva de desempeño esquema MSK Simulink e Implementada.

Las tablas con los valores de BER a partir de las cuales se obtuvieron las curvas para los esquemas FSK/MSK se encuentran consignadas en el apéndice C.

# 3. EXPERIMENTACIÓN Y ANÁLISIS DE RESULTADOS

## 3.1 Plan de Pruebas

Para realizar las pruebas de los sistemas de comunicaciones banda base con modulación FSK y MSK diseñados en las herramientas System Generator, Simulink y el sistema implementado en el FPGA se transmitieron 8'388.608 ( $2^{23}$ ) bits. Esta cantidad de bits se escogió para alcanzar resultados de BER fiables alrededor de  $10^{-6}$ . Las pruebas de estos sistemas se llevaron a cabo 20 veces variando en ellos las semillas del generador de bits y del canal de ruido AWGN.

El modelo FSK cuenta con el siguiente plan de pruebas:

Prueba	Descripción	Índice de Modulación ( $h$ )		
1	Variación del índice de modulación	$h = 0.5$	$h = 0.25$	$h = 0.125$

**Tabla 3.1** Plan de pruebas sistema de comunicación FSK.

## 3.2 Resultados y Análisis

Las figuras presentadas en esta sección corresponden al promedio obtenido de 20 simulaciones en las herramientas Simulink, System Generator y en el sistema Implementado.

Las tablas de datos a partir de los cuales se obtuvo el promedio para graficar las curvas de desempeño se encuentran en los apéndices D y E. El apéndice F contiene los datos promedios de BER para los sistemas de comunicación banda base en Simulink, System Generator y el FPGA.



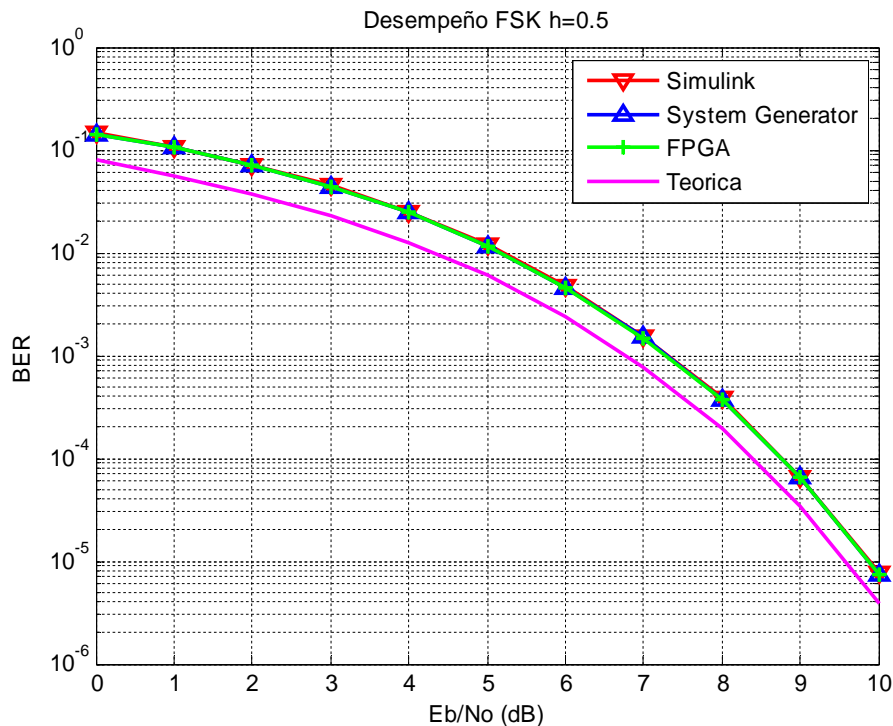
### 3.2.1 Pruebas del sistema de comunicación banda base con modulación FSK.

- Pruebas FSK, con  $h = 0.5$ .

La figura 3.1 presenta las curvas de desempeño basadas en la probabilidad de error de bit (BER) en función de la relación energía de bit a densidad espectral de potencia de ruido ( $E_b/N_0$ ) para el sistema de comunicación banda base diseñado; estas curvas se obtuvieron en las herramientas Simulink, System Generator y el FPGA, las cuales se comparan con la curva teórica aproximada dada por [12].

Se puede observar para las cuatro curvas un comportamiento similar; superponiéndose las tres curvas simuladas (Simulink, System Generator y FPGA), con lo cual se verifica la correcta implementación del sistema de comunicaciones banda base con modulación FSK en el FPGA.

Es de aclarar que la diferencia de las tres curvas simuladas con respecto a la curva teórica, se debe a que el modelo que se utilizó es aproximado y no exacto; por lo que en adelante será más relevante la comparación del desempeño del sistema implementado en el FPGA con respecto al obtenido mediante Simulink.

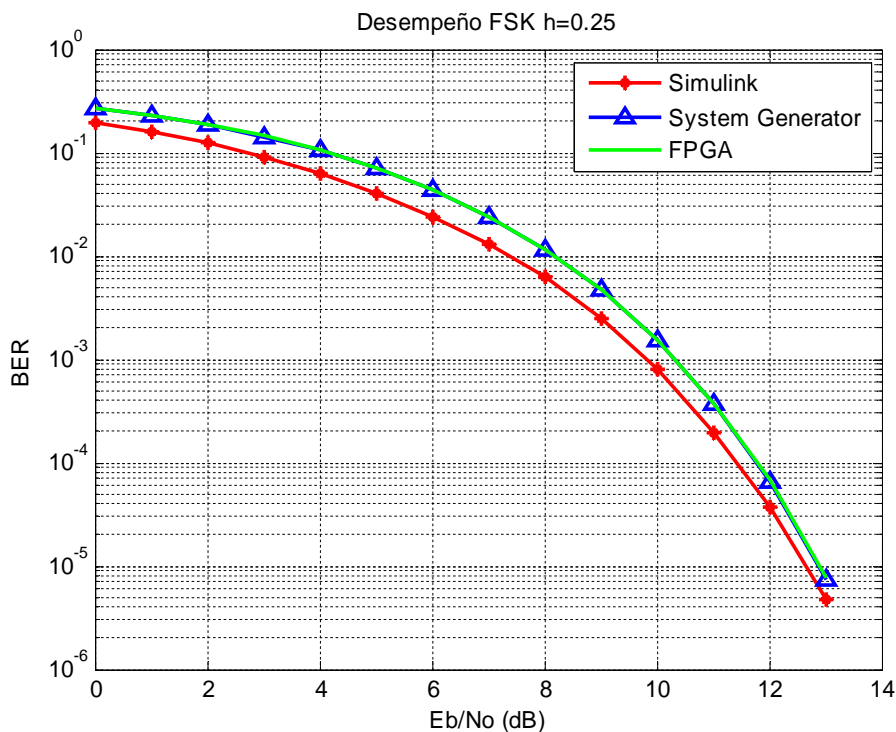


**Figura 3.1** Curva de desempeño esquema FSK. Simulink, System Generator, FPGA y Teórica  $h=0.5$ .

▪ **Pruebas FSK, con  $h = 0.25$ .**

La figura 3.2 corresponde a las curvas de desempeño para el sistema de comunicación banda base con modulación FSK e índice de modulación 0.25 en las herramientas Simulink, System Generator y el sistema implementado en el FPGA.

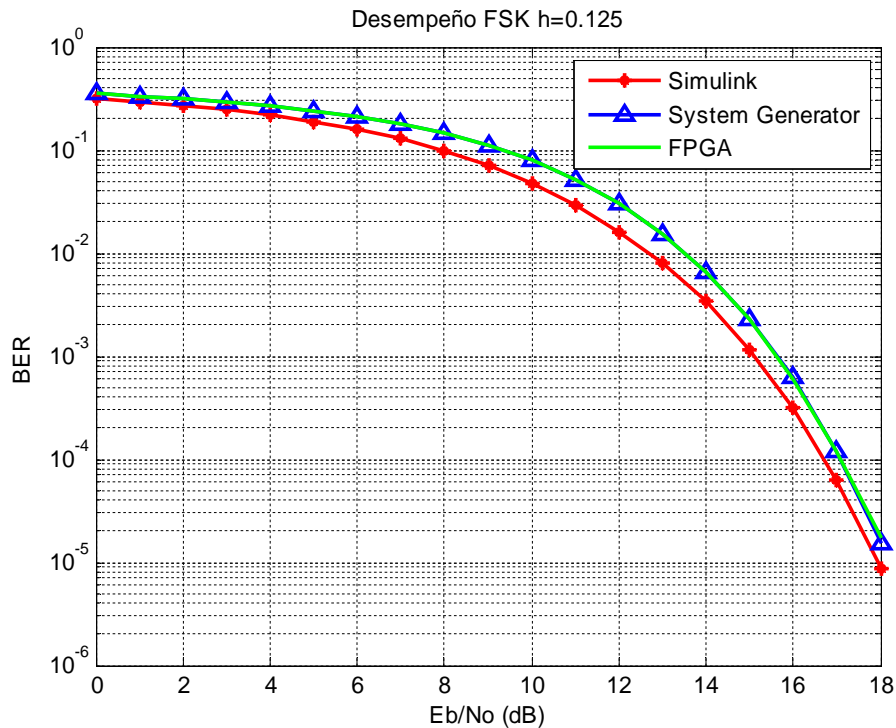
Se observa que las curvas obtenidas en la herramienta System Generator y el sistema implementado en el FPGA están superpuestas, lo cual es coherente ya que el comportamiento del sistema implementado y el simulado en la herramienta debe ser similar. Sin embargo, estas dos curvas presentan una leve diferencia con respecto a la curva de Simulink (aproximadamente 0,5 dB), debida a las técnicas de demodulación utilizadas por Simulink y la diseñada en System Generator. El algoritmo de Viterbi que utiliza la herramienta Simulink realiza la decisión a partir de un proceso más rígido, mientras que el algoritmo de detección diseñado, realiza la decisión de bit a partir de dos estados, lo cual implica un aumento de errores.



**Figura 3.2** Curva de desempeño esquema FSK. Simulink, System Generator y FPGA  $h=0.25$ .

▪ **Pruebas FSK, con  $h = 0.125$ .**

Las curvas de desempeño presentadas en la figura 3.3 pertenecen al sistema de comunicación FSK con  $h = 0.125$  sobre las herramientas Simulink, System Generator y el sistema implementado en el FPGA. Se puede observar el mismo efecto de la curva anterior (con  $h = 0.25$ ), para este caso, las pérdidas de demodulación son de 0.51 dB con respecto a Simulink.



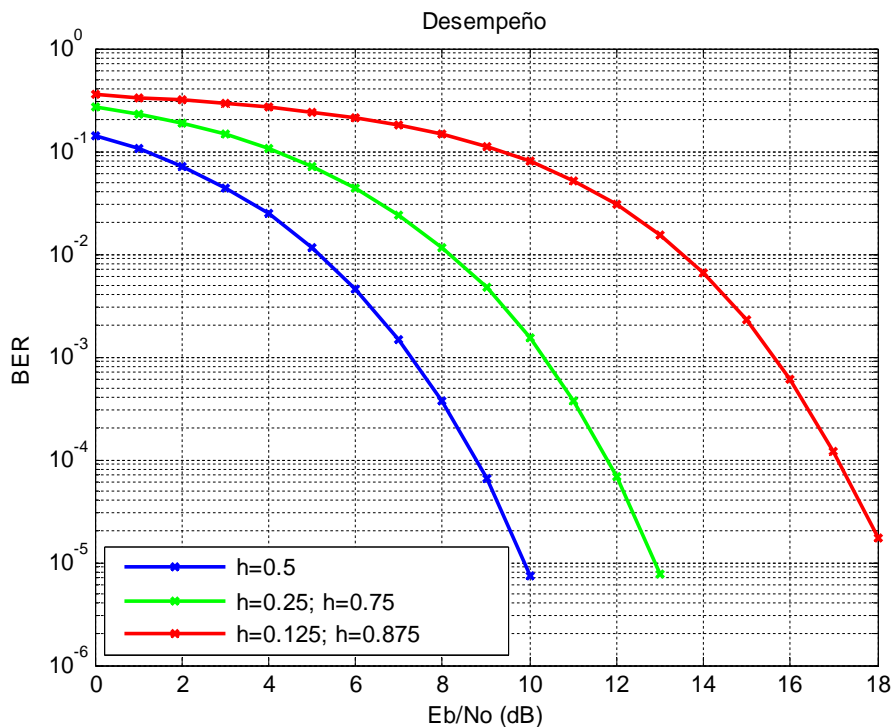
**Figura 3.3** Curva de desempeño esquema FSK. Simulink, System Generator y FPGA  $h=0.125$ .

▪ **Pruebas FSK, con diferentes índices de modulación ( $h$ )**

La figura 3.4 muestra las curvas de desempeño obtenidas para el sistema de comunicación banda base con modulación FSK implementado en el FPGA para diferentes índices de modulación. A partir de la figura, se aprecia que para un valor característico de la BER como  $10^{-3}$ , el sistema de comunicación con mejor desempeño se obtuvo con  $h = 0.5$ . Por su parte, los sistemas de comunicación con  $h = 0.25$  y  $h = 0.75$  presentan 3 dB de pérdidas y los sistemas con  $h = 0.125$  y  $h = 0.875$  presentan 8.3 dB de pérdidas aproximadamente con respecto al sistema con  $h = 0.5$ . Estas pérdidas se originan por la disminución en la fase de transición

de un estado a otro en la modulación, geométricamente se aprecia en la menor distancia euclidiana entre dos estados de detección, es por esto que el mejor escenario para la detección de la señal FSK es cuando la constelación presenta cuatro estados, como es el caso de  $h = 0.5$ , donde se genera la mayor distancia entre estados.

Así mismo se observa, que el sistema de comunicación presenta el mismo desempeño para diferentes índices de modulación, debido a que la etapa de detección depende exclusivamente del número de estados en la constelación y la distancia entre los estados a detectar, permitiendo que diferentes índices de modulación generen iguales características (número de estados y distancia entre estados) en la señal modulada.

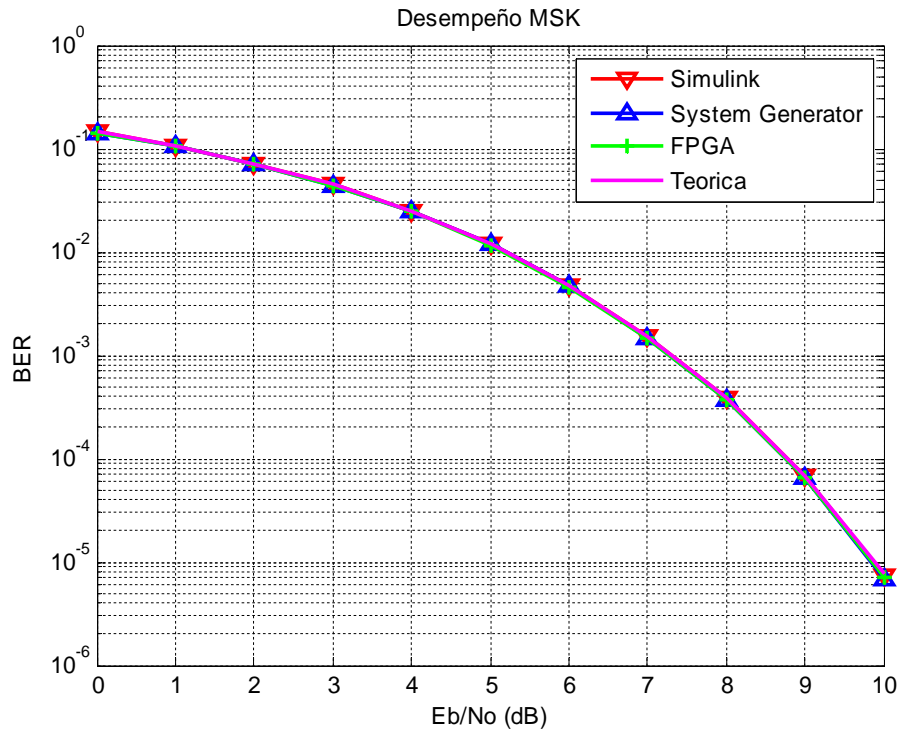


**Figura 3.4** Curva de desempeño. FSK Implementada con diferentes índices de modulación.

### 3.2.2 Pruebas del sistema de comunicación banda base con modulación MSK.

La figura 3.5 ilustra las curvas de los datos promedios obtenidos en las herramientas Simulink, System Generator y el sistema en el FPGA; también incluye la curva teórica para el esquema de modulación.

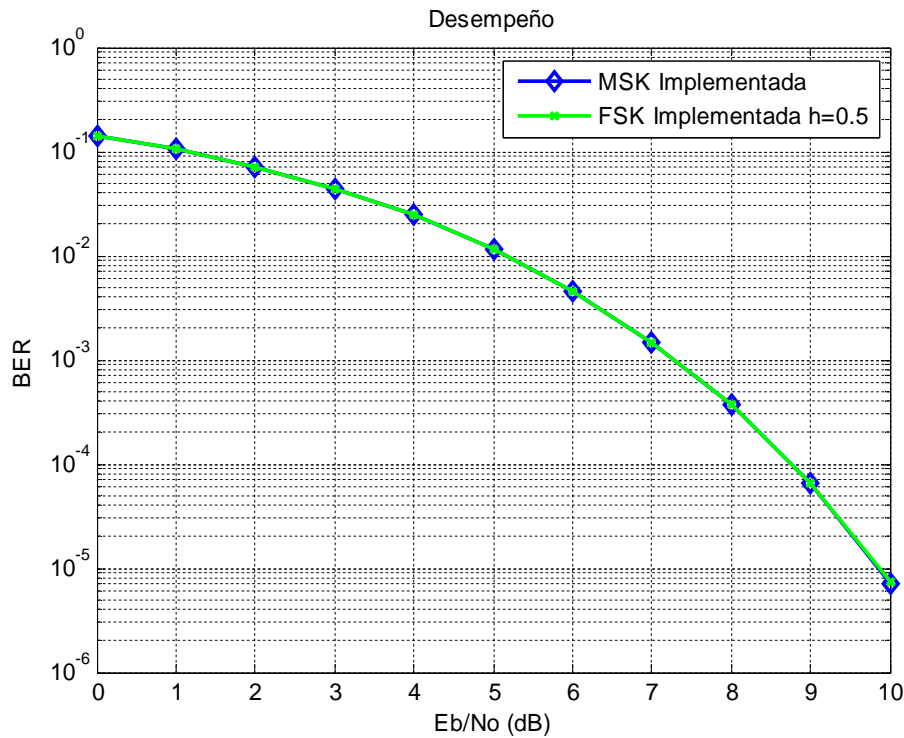
Se puede observar que, las cuatro curvas de desempeño coinciden, lo cual significa que el desempeño del sistema de comunicación banda base con modulación MSK implementado sobre el FPGA es correcto.



**Figura 3.5** Curva de desempeño esquema MSK. Simulink, System Generator, FPGA y Teórica.

### 3.2.3 Comparación del desempeño de los sistemas de comunicación con modulación FSK/MSK.

Las curvas de la figura 3.6 corresponden al desempeño de los sistemas de comunicaciones implementados en el FPGA con modulación MSK y FSK configurado con  $h = 0.5$ . En este caso se verifica que la modulación MSK es el caso particular de FSK con índice de modulación  $h = 0.5$ .



**Figura 3.6** Curva de desempeño. MSK y FSK con  $h=0.5$  Implementadas.

### 3.2.4 Comparación de recursos hardware de los sistemas de comunicación con modulación FSK/MSK.

La tabla 3.2 presenta los recursos utilizados para el sistema de comunicación FSK configurado con  $h = 0.5$ , es decir como MSK y los recursos para el sistema MSK. A partir de la tabla, se puede apreciar que el sistema MSK demandó menos elementos lógicos que el sistema FSK.

Resumen de Utilización del Dispositivo					
Utilización Lógica	Disponible	Usada		Utilización	
		FSK	MSK	FSK	MSK
Number of Slice Flip Flops	11.776	1.628	1.621	13%	13%
Number of 4 input LUTs	11.776	7.267	1.719	61%	14%
<b>Number of occupied Slices</b>	5.888	3.946	1.371	67%	23%
Number of Slices containing only related logic	3.946	3.946	1,371	100%	100%
Number of Slices containing unrelated logic	3.946	0	0	0%	0%

<b>Total Number of 4 input LUTs</b>	11.776	7.384	1.844	62%	15%
Number used as logic		6.521	974		
Number used as route-thru		117	125		
Number used as Shift registers		746	745		
Number of bonded IOBs	372	3	3	1%	1%
Number of BUFGMUX's	24	1	1	4%	4%
Number of MULT18X18SIOs	20	12	12	60%	60%
Number of RAMB 168WEs	20	16	16	80%	80%
Average Fanout of Non-Clock Nets		2,36	2.81		

**Tabla 3.2** Recursos requeridos por los sistemas de comunicación banda base con modulación FSK con  $h=0.5$  y MSK.

El aumento de recursos para el sistema FSK se debió a la utilización de multiplicadores para realizar el cálculo de la distancia mínima cuadrática a partir de elementos Slices y LUT's en la etapa de demodulación.

### 3.2.5 Tiempo de uso de recursos por bit.

El tiempo de utilización por bit es igual al periodo de bit. La herramienta *Project Navigator* de ISE arroja esta información en el reporte posterior a la compilación en la sección de restricciones de temporización (Timing Constraint); el valor relevante es la restricción de tiempo calculado para la señal de reloj que controla el sistema de comunicación.

La tabla 3.3 presenta la restricción del periodo de reloj (tiempo de uso de recursos por bit) para cada uno de los modelos implementados.

<b>Esquema de Modulación</b>	<b>Restricción del Periodo de Reloj (ns)</b>
Modulación FSK, $h = 0.5$	44,923
Modulación FSK, $h = 0.25$	46,215
Modulación FSK, $h = 0.125$	46,917
Modulación MSK	18,987

**Tabla 3.3** Restricción de reloj para esquemas FSK/MSK.

Como se observa en la tabla, el sistema de comunicación banda base con modulación MSK requirió un 58.74% menos del tiempo de procesamiento requerido por el esquema de modulación FSK. Esta gran diferencia se debe a la estrecha relación que existe entre el área de ocupación del FPGA y el tiempo demandado en el procesamiento de la señal por cada uno de los elementos dentro de su trayectoria.



# 4. CONCLUSIONES, RECOMENDACIONES Y TRABAJOS FUTUROS

## 4.1 Conclusiones

Del trabajo realizado, se presentan las conclusiones más importantes:

- El diseño del sistema de comunicación con modulación MSK es menos complejo que el sistema con modulación FSK, debido a que el índice de modulación para FSK es variable, lo cual implica que la etapa de demodulación requiera de un algoritmo más riguroso para detectar los símbolos mapeados de la constelación, mientras que el índice de MSK es fijo ( $h = 0.5$ ).
- El desempeño de un sistema de comunicación banda base con modulación FSK depende directamente del índice de modulación configurado. El mejor desempeño se obtiene cuando la constelación presenta cuatro estados, es decir, cuando el índice de modulación configurado genera un cambio de fase múltiplo impar de  $\pi/2$ , de otra manera el desempeño siempre es menor.
- El desempeño del sistema de comunicación FSK para índices de modulación que generen el mismo número de estados y desviación de fase, es igual, puesto que la etapa de demodulación depende de la distancia entre los estados a detectar y el número de estados presentes en la constelación.
- El desempeño de los sistemas de comunicación banda base, implementados con modulaciones FSK y MSK sobre hardware presentaron un comportamiento similar a los sistemas de comunicación implementados en Simulink utilizados como referencia, lo cual garantiza confiabilidad en su implementación.

- El sistema de comunicación con modulación FSK consume un número mayor de elementos lógicos que el sistema de comunicación con modulación MSK, dado que la etapa de detección de FSK requiere un mayor número de procesos para la demodulación del bit.

#### 4.2 Recomendaciones

- Las operaciones matemáticas permitidas en el script del elemento *MCode* son limitadas, por lo cual es importante maximizar el uso de operaciones admitidas en la máscara de configuración.
- El uso de multiplicadores para el cálculo de la distancia cuadrática en la etapa de demodulación de FSK requiere un mayor número de elementos lógicos. Es por esto que se resalta la importancia de configurar adecuadamente la precisión de la constante de desviación estándar de ruido.
- Es importante tener en cuenta la precisión de las componentes I/Q calculadas para la constelación, de tal manera que dos valores de fase próximos no tengan el mismo valor en sus componentes.
- Se deben eliminar todas la *Gateway Out* no utilizadas cuando se realiza la compilación por medio del bloque System Generator del modelo (.mdl), ya que el código generado (.bit) no es el más óptimo para la implementación y asignación de recursos del FPGA, dado que las *Gateways Out* no asignadas explícitamente a un pin son asignadas automáticamente por la herramienta y tenidas en cuenta en los reportes.
- En un equipo de cómputo con sistema operativo de 64 bits es necesario realizar una configuración extra para que la herramienta iMPACT reconozca la tarjeta FPGA conectada al computador, lo que se recomienda para llevar a cabo este proceso es: copiar el archivo libPortabilityNOSH.dll alojado en la carpeta de Xilinx en la dirección "directorio\_raiz\_xilinx\version\ISE\_DS\ISE\lib\nt64" por el archivo libPortability.dll ubicado en "directorio\_raiz\_xilinx\version\ISE\_DS\ISE\lib\nt64".

#### 4.3 Trabajos Futuros.

- Implementación de un sistema de comunicaciones banda base con modulación M-FSK sobre hardware reconfigurable.

- Construcción de un sistema comunicaciones banda base FSK, con un demodulador basado en el Algoritmo de Viterbi e implementado sobre Hardware Reconfigurable.
- Análisis de desempeño de un sistema de comunicaciones banda base con modulación FSK/MSK en un modelo de canal Rayleigh Fading.
- Implementación separada del transmisor, canal y receptor de un sistema de comunicaciones banda base FSK/MSK utilizando un protocolo de comunicación.

## BIBLIOGRAFÍA

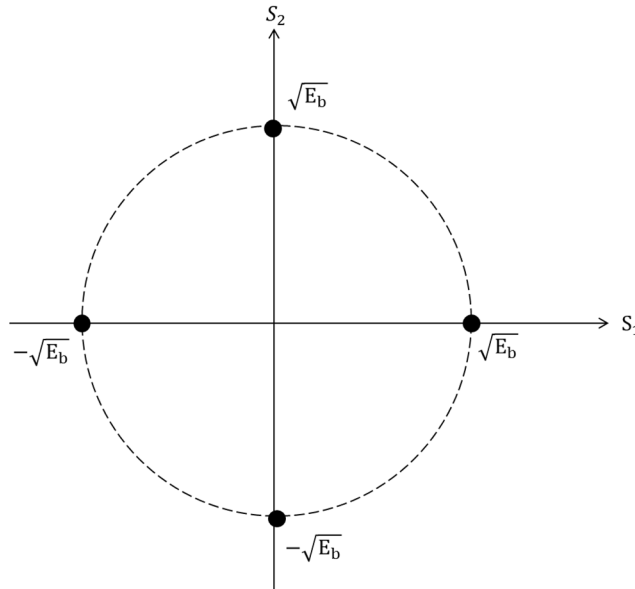
- [1] R. Fonseca, "Implementación de un sistema de comunicación en un dispositivo radio", Universidad Carlos III de Madrid, España, Febrero, 2012.
- [2] J. Marzo, "Simulación e Implementación en FPGA de un Esquema de Codificación del Canal sujeto al Estándar de Wimax", Escuela Superior Politécnica del Litoral, Guayaquil, Ecuador, 2009.
- [3] X. Trujillo, N. Ortiz y C. M. Moreno. "Estudio de un radio enlace entre los dispensarios de Pulinguí y Nitiluisa del Seguro Social Campesino en la provincia del Chimborazo y el diseño de una interfaz de datos", Escuela Superior Politécnica del Litoral, Guayaquil, Ecuador, Enero, 2008.
- [4] S. Haykin, *Sistemas de Comunicación*, Limusa Wiley, México D.F, 2001.
- [5] J. Briceño, *Principio de las Comunicaciones*, ULA Facultad de Ingeniería de Publicaciones, Mérida ,2005.
- [6] J. Bao, B. Tang, K. Qin and H.Dou, "Digital Implementation Method of Base-band Signal of FSK Quadrature Modulation", National Conference on Information Technology and Computer Science, Chengdu,China,2012.
- [7] M. Simon and M. Alouini, *Digital Communication over Fading Channels – A Unified Approach to Performance Analysis*, 1st Ed, Wiley, 2000.
- [8] H. Enrique, *Comunicaciones II: Comunicación Digital y Ruido*, Limusa Noriega Editores, México D.F, 2004.
- [9] W. Tomasi, "*Sistemas de Comunicaciones Electrónicas*", 4th Ed, Prentice Hall, México, 2003.
- [10] J. Fonseca and M Dowling, "QM-CPM Modems With Higer Order Signaling", US Patent 7769096 B2, 3 Aug., 2010.
- [11] H. Balderas, "La modulación Codificada entramada (TCM) en los nuevos estándares de comunicación", Escuela Superior de Ingeniería Mecánica y Eléctrica, México, DF, 2008.

- [12] T. Aulin and C-E Sundberg, "Partially Coherent Detection of Digital Full Response Continuous Phase Modulated Signals", IEEE Transactions of Communications, Vol COM-30, No 5, pp. 1096-1117.
- [13] B. Zeidman,"The Universal Design Methodology taking hardware from conception through production", DesignFeature, Diciembre, 2002.
- [14] M. Gokhale and P. Graham, *Reconfigurable Computing: Accelerating Computation with Field-Programmable Gate Arrays*, SpringerVerlag, Berlin, Heidelberg: Springer, 2005.
- [15] K. Compton and S. Hauck. "An Introduction to Reconfigurable Computing". IEEE Computer, April, 2000.
- [16] D. Brown, J. Francis, J. Rose and G. Vranesic. "Field-Programmable Gate Arrays". Kluwer Academic Publishers, 1992.
- [17] XILINX, "Spartan-3A FPGA Family: Data Sheet", Agosto, 2010.

## APÉNDICE

### APÉNDICE A. Probabilidad de error del esquema de modulación MSK.

En la figura A.1 se muestra la constelación de la modulación MSK.



**Figura A.1** Constelación para el sistema de comunicación con modulación MSK.

Para la señal MSK se considera que el cambio de fase presente en la señal modulada es de  $\pi/2$ . Para la transmisión del símbolo '0' se modula en un cambio de fase de  $-\pi/2$ , para el símbolo '1' se modula en un cambio de fase de  $+\pi/2$ .

- Para la transmisión del símbolo '0'

$$S_1 = \sqrt{E_b} \wedge S_2 = -\sqrt{E_b}$$

$$S_1 = -\sqrt{E_b} \wedge S_2 = \sqrt{E_b}$$

- Para la transmisión del símbolo '1':

$$S_1 = \sqrt{E_b} \wedge S_2 = \sqrt{E_b}$$

$$S_1 = -\sqrt{E_b} \wedge S_2 = -\sqrt{E_b}$$

donde  $S_1$  y  $S_2$  son los valores de amplitud normalizada para la representación eléctrica en la modulación I/Q de la secuencia binaria a transmitir.

Las variables aleatorias vienen definidas como:

$$X_1 = S_1 + W_1 \quad (A.5)$$

$$X_2 = S_2 + W_2 \quad (A.6)$$

donde  $W_1$  y  $W_2$  son variables aleatorias que representan el ruido del canal, las cuales son independientes e idénticamente distribuidas con distribución  $N \sim \left(0, \frac{N_0}{2}\right)$ .

Por lo tanto en recepción se tiene que:

- Para la detección del símbolo '0':

$$X_1 > 0 \wedge X_2 < 0$$

$$X_1 < 0 \wedge X_2 > 0$$

- Para la detección del símbolo '1':

$$X_1 > 0 \wedge X_2 > 0$$

$$X_1 < 0 \wedge X_2 < 0$$

La probabilidad de error de bit ( $P_b$ ) está dada por:

$$P_b = P\{T_0 \wedge R_1\} + P\{T_1 \wedge R_0\}$$

siendo:

$T_0$  : Transmisión de un símbolo '0'.

$T_1$  : Transmisión de un símbolo '1'.

$R_0$  : Recepción de un símbolo '0'.

$R_1$  : Recepción de un símbolo '1'.

Dado que los símbolos son sucesos equiprobables:

$$P_b = 2P\{T_0 \wedge R_1\}$$

Entonces:

$$P_b = 2 P\{T_0\} P\{R_1 | T_0\} = 2 \times \frac{1}{2} \times P\{R_1 | T_0\} = P\{R_1 | T_0\}$$

Ahora se tiene:

$$P_b = P\{R_1 | T_0\} = P\{X_1 > 0 \wedge X_2 > 0 | S_1 = -\sqrt{E_b} \wedge S_2 = \sqrt{E_b}\}$$

$$+ P\{X_1 < 0 \wedge X_2 < 0 | S_1 = -\sqrt{E_b} \wedge S_2 = \sqrt{E_b}\}$$

$$P_b = P\{-\sqrt{E_b} + W_1 > 0 \wedge \sqrt{E_b} + W_2 > 0\} + P\{-\sqrt{E_b} + W_1 < 0 \wedge \sqrt{E_b} + W_2 < 0\}$$

$$P_b = P\{W_1 > \sqrt{E_b} \wedge W_2 > -\sqrt{E_b}\} + P\{W_1 < \sqrt{E_b} \wedge W_2 < -\sqrt{E_b}\}$$

Por ser sucesos aleatorios independientes la probabilidad de error de bit es dada como:

$$P_b = P\{W_1 > \sqrt{E_b}\} P\{W_2 > -\sqrt{E_b}\} + P\{W_1 < \sqrt{E_b}\} P\{W_2 < -\sqrt{E_b}\}$$

Se define que:

$$P\{W > \sqrt{E_b}\} = Q\left(\frac{\sqrt{E_b}}{\sqrt{\frac{N_o}{2}}}\right) = Q\left(\sqrt{\frac{2E_b}{N_o}}\right) = P\{W < -\sqrt{E_b}\}$$

$$P\{W > -\sqrt{E_b}\} = 1 - P\{W < -\sqrt{E_b}\}$$

Por lo tanto:

$$P_b = 2 Q\left(\sqrt{\frac{2E_b}{N_o}}\right) \left[1 - Q\left(\sqrt{\frac{2E_b}{N_o}}\right)\right]$$

lo cual es equivalente a:

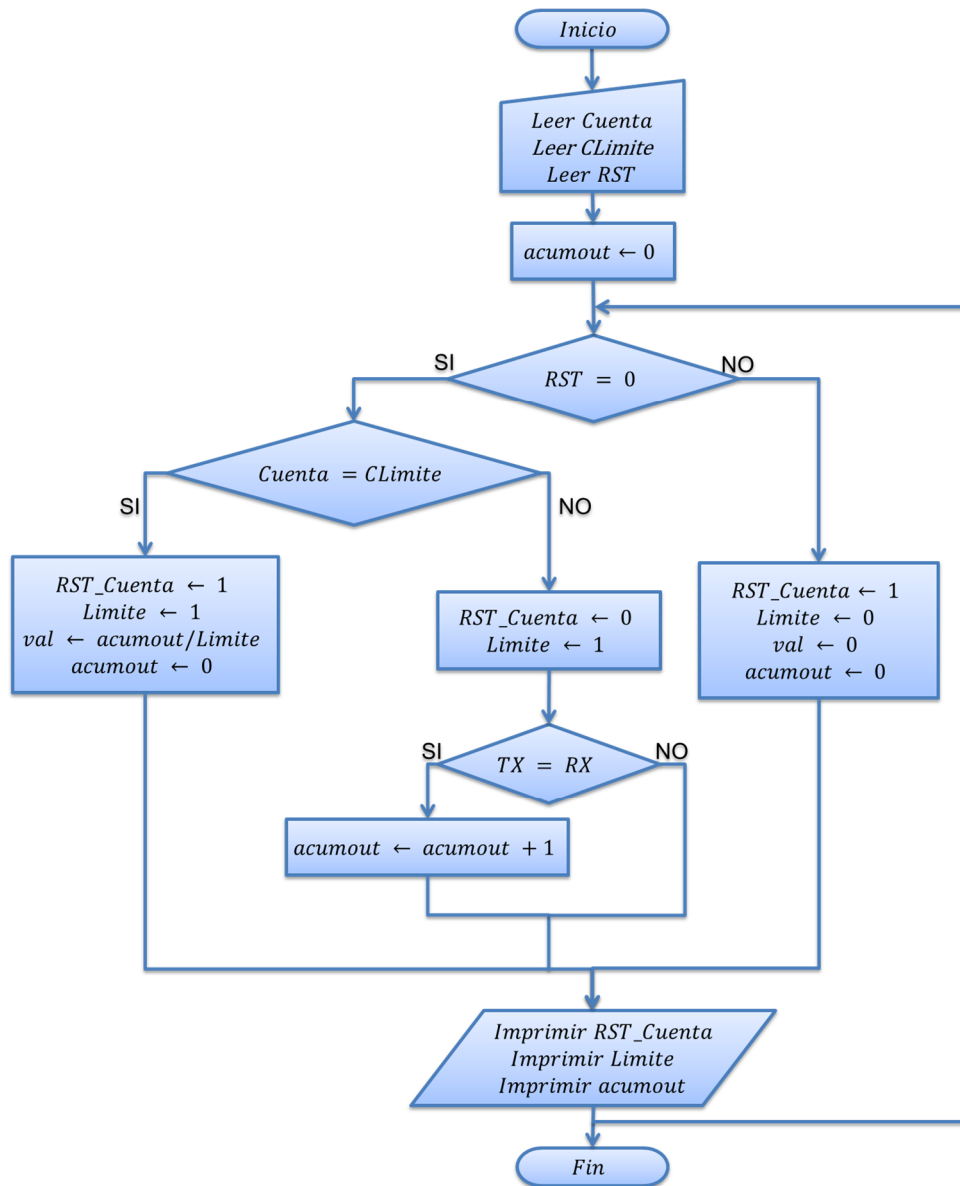
$$P_b = \operatorname{erfc}\left(\sqrt{\frac{E_b}{N_o}}\right) \left[1 - \frac{1}{2} \operatorname{erfc}\left(\sqrt{\frac{E_b}{N_o}}\right)\right]$$



**APÉNDICE B.** Lógica de diseño de bloques adicionales.

**APÉNDICE B.1** Calculador de BER

La figura B.1 presenta la lógica que contiene el Script del bloque *Calculador de BER*.



**Figura B.1** Diagrama de flujo *Calculador de BER*.

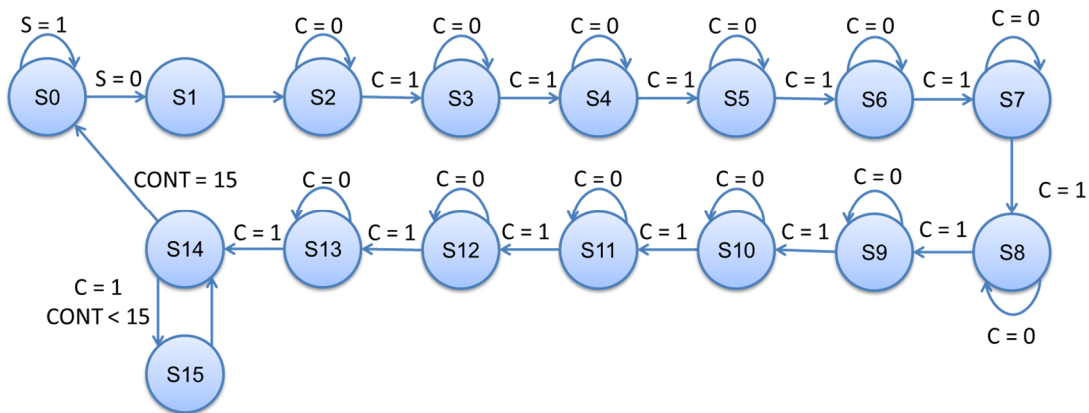
**APENDICE B.2** Sistema de Visualización LCD

La figura B.2 muestra el diagrama de estados utilizado en el bloque *Visualización LCD*.

donde:

C: es la señal control.

S: es la señal save.



**Figura B.2** Diagrama de estados *Sistema de Visualización LCD*.

S0: Estado inicial donde se espera que la señal *save* tenga un valor bajo, indicando la finalización de la conversión decimal – binaria de la BER.

S1: Este estado se encarga de guardar la conversión en el módulo *Registro* con la señal *Enable*.

S2: Imprime la letra E.

S3: Imprime la letra b.

S4: Imprime el símbolo slash (/).

S5: Imprime la letra N.

S6: Imprime la letra o.

S7: Imprime el signo dos puntos (:).

S8: Imprime un espacio.

S9: Imprime el dígito de las decenas del valor de  $E_b/N_o$ .

S10: Imprime el dígito de las unidades del valor de  $E_b/N_o$ .

S11: Imprime el dígito entero de la BER.

S12: Imprime el símbolo punto (.).

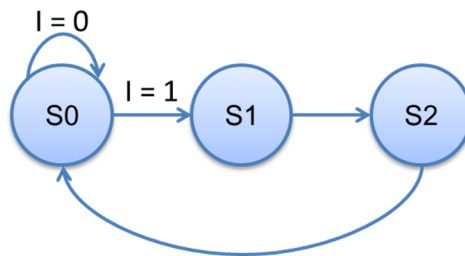
S13: Imprime el primer dígito decimal de la BER.

S14: Revisa si se imprimieron todos los dígitos decimales del valor de BER.

S15: Imprime el dígito decimal del valor de BER, a partir de un contador.

### APENDICE B.3 Sistema de Control

La lógica que contiene el Script del bloque *Sistema de Control* se muestra en la figura B.3.



**Figura B.3** Diagrama de estados *Sistema de Control*.

donde:

S0: Estado inicial donde se espera que la señal  $I$  cambie a un valor alto (1), indicando que se produjo un nuevo cálculo de BER.

S1: Este estado tiene la lógica para seleccionar un nuevo nivel de energía de bit a densidad espectral de potencia de ruido ( $E_b/N_o$ ), como se presenta en la figura B.4.

S2: Este estado se encarga de reiniciar el *Calculador de BER* y guarda los datos de  $E_b/N_o$  y el valor de BER.

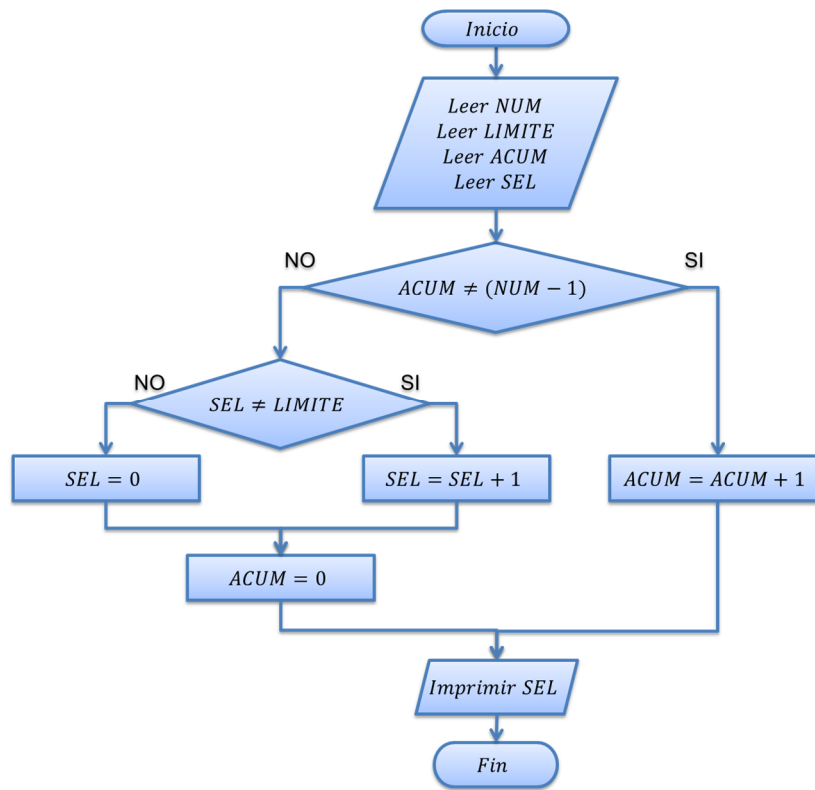


Figura B.4 Diagrama de flujo del estado S1 del Sistema de Control.

La figura B.5 muestra la máscara del bloque *Coeficientes Sigma*. El campo *vsigma* de la máscara contiene la ecuación para hallar el valor de desviación estándar ( $\sigma$ ).

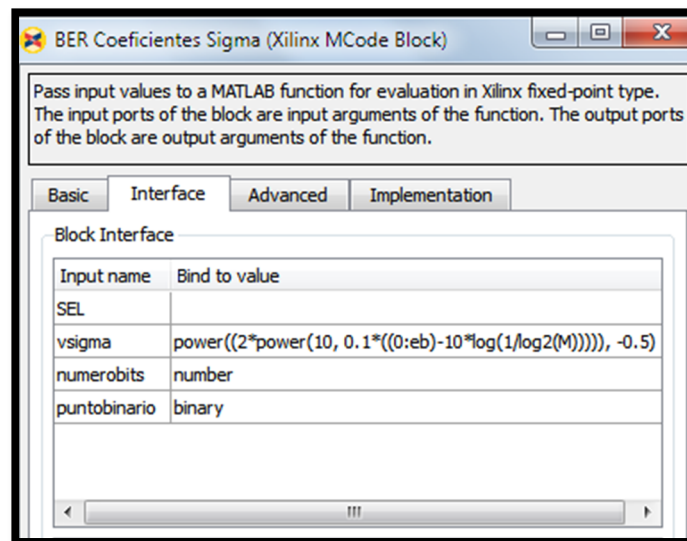


Figura B.5 Máscara de configuración del bloque *Coeficientes Sigma*.

**APÉNDICE C.** Valores de BER Simulink y FPGA.

Las tablas C.1 y C.2 contienen los datos obtenidos de BER en la herramienta Simulink y el sistema implementado en el FPGA, para una tasa de bits transmitidos igual a 8.388.608 ( $2^{23}$ ).

$E_b/N_0$ (dB)	<i>BER Simulink</i>	<i>BER FPGA</i>
0	0,196233	0,265262
1	0,158228	0,226868
2	0,122489	0,185424
3	0,0902414	0,143936
4	0,0627975	0,105585
5	0,0407216	0,0715107
6	0,0242942	0,0440418
7	0,0130885	0,0242586
8	0,00622665	0,0115506
9	0,00246286	0,00466656
10	0,000795364	0,0015335

**Tabla C.1** Valores de BER, Modulación FSK.

$E_b/N_0$ (dB)	<i>BER Simulink</i>	<i>BER FPGA</i>
0	0,14496	0,14305
1	0,106182	0,104825
2	0,0721928	0,0720379
3	0,0447243	0,0445467
4	0,0246918	0,0245609
5	0,0118277	0,0117249
6	0,00477505	0,00463962
7	0,00156498	0,00148725
8	0,000383139	0,000359296
9	6,98567E-05	6,48498E-05
10	6,91415E-06	7,39097E-06

**Tabla C.2** Valores de BER, Modulación MSK.

**APÉNDICE D.** Valores de BER modulación FSK. Simulink, System Generator y FPGA.

▪ **Simulink  $h = 0.5$**

<b>Eb/No (dB)</b>	<b>Prueba 1</b>	<b>Prueba 2</b>	<b>Prueba 3</b>	<b>Prueba 4</b>	<b>Prueba 5</b>	<b>Prueba 6</b>	<b>Prueba 7</b>	<b>Prueba 8</b>	<b>Prueba 9</b>	<b>Prueba 10</b>
0	0,144932	0,144782	0,144984	0,145079	0,145051	0,145155	0,144696	0,145155	0,144976	0,145062
1	0,106296	0,106061	0,106105	0,106313	0,10624	0,106235	0,106038	0,106292	0,106197	0,106377
2	0,0722792	0,0719642	0,0722155	0,0723118	0,0722802	0,0721981	0,0722021	0,0722725	0,0721461	0,0722551
3	0,0446348	0,0445635	0,0446965	0,044692	0,0447816	0,0446748	0,0446934	0,044763	0,0445733	0,0448274
4	0,0246734	0,0247237	0,0247423	0,0247046	0,0246574	0,0246615	0,0247206	0,02472268	0,0246262	0,0248591
5	0,0117652	0,0118539	0,0118525	0,01182	0,0118453	0,0118541	0,011842	0,0119228	0,0118427	0,0118756
6	0,00475907	0,00479459	0,00472879	0,00475859	0,00475287	0,00477743	0,00476026	0,00482797	0,0047686	0,00480222
7	0,00152134	0,00151658	0,00152251	0,00155258	0,00151753	0,00152611	0,00152134	0,00156998	0,00156426	0,00157594
8	0,00036072	0,00038433	0,000378131	0,000364541	0,000373363	0,000386476	0,000388383	0,000385522	0,000372886	0,000390768
9	6,19888E-05	6,81877E-05	6,58035E-05	6,46114E-05	6,22272E-05	6,50882E-05	6,60419E-05	6,67571E-05	6,36577E-05	7,27176E-05
10	7,62939E-06	8,10623E-06	9,0599E-06	7,15255E-06	7,62939E-06	6,91413E-06	8,82148E-06	8,82148E-06	6,67571E-06	9,0599E-06

<b>Eb/No (dB)</b>	<b>Prueba 11</b>	<b>Prueba 12</b>	<b>Prueba 13</b>	<b>Prueba 14</b>	<b>Prueba 15</b>	<b>Prueba 16</b>	<b>Prueba 17</b>	<b>Prueba 18</b>	<b>Prueba 19</b>	<b>Prueba 20</b>
0	0,145244	0,144691	0,145056	0,144943	0,144688	0,144947	0,14506	0,144945	0,144997	0,144794
1	0,106465	0,106087	0,106285	0,106135	0,105968	0,106333	0,106456	0,106152	0,1062	0,106067
2	0,0723619	0,0720729	0,0720915	0,072031	0,0719494	0,072427	0,0723097	0,0721192	0,0721194	0,0720229
3	0,0447669	0,0445442	0,0447196	0,0445778	0,0445876	0,0447874	0,0448064	0,0446207	0,0446686	0,0445492
4	0,0247149	0,0246334	0,0247833	0,0244779	0,0247001	0,0248014	0,0246725	0,0244834	0,0246503	0,024583
5	0,0118763	0,0118134	0,0119059	0,0118386	0,0118386	0,0118558	0,011842	0,0117938	0,0118	0,0118236

6	0,00479149	0,00477814	0,00479268	0,00473809	0,00480532	0,00472092	0,00474834	0,00475931	0,00476503	0,00476384
7	0,00155663	0,00154042	0,00153326	0,00153923	0,00155734	0,0015695	0,00157594	0,00153827	0,00154495	0,00152993
8	0,000382184	0,000375986	0,000368356	0,000369548	0,00040102	0,0003829	0,000400066	0,000374317	0,000374317	0,000383615
9	6,60419E-05	6,17504E-05	6,62803E-05	6,07967E-05	0,000067234	0,000064373	7,20024E-05	6,24656E-05	0,000062704	0,000062704
10	8,58306E-06	8,34464E-06	7,15255E-06	6,67571E-06	9,0599E-06	7,62939E-06	5,2452E-06	6,4373E-06	7,62939E-06	7,15255E-06

**Tabla D.1** Valores de BER. Modulación FSK, con  $h=0.5$  en la herramienta Simulink.

▪ **System Generator  $h = 0.5$**

<b>Eb/No (dB)</b>	<b>Prueba 1</b>	<b>Prueba 2</b>	<b>Prueba 3</b>	<b>Prueba 4</b>	<b>Prueba 5</b>	<b>Prueba 6</b>	<b>Prueba 7</b>	<b>Prueba 8</b>	<b>Prueba 9</b>	<b>Prueba 10</b>
0	0,143369	0,143537	0,143359	0,143582	0,143591	0,143308	0,143757	0,143491	0,143740	0,143348
1	0,104934	0,104986	0,104903	0,105063	0,105160	0,104831	0,105292	0,105009	0,105233	0,104990
2	0,0716243	0,0717263	0,0715208	0,0717452	0,0718160	0,0716393	0,0719547	0,0717921	0,0718443	0,0716214
3	0,0441773	0,0443826	0,0441921	0,0443282	0,0443981	0,0441647	0,0444987	0,0443411	0,0444353	0,0442181
4	0,0244219	0,0245194	0,0244291	0,0244133	0,0245187	0,0243883	0,0245509	0,0245266	0,0246232	0,0244167
5	0,0116735	0,0116649	0,0116885	0,0116532	0,0117123	0,0116303	0,0117052	0,0117421	0,0117390	0,0116422
6	0,00465703	0,00461817	0,00464344	0,00462461	0,00469112	0,00458765	0,00465798	0,00463176	0,00465298	0,00467610
7	0,00149488	0,00151277	0,00150895	0,00148034	0,00151443	0,00148606	0,00152898	0,00147080	0,00148368	0,00150990
8	0,000380039	0,000380516	0,000379801	0,000373602	0,000363111	0,000377893	0,000381470	0,000358105	0,000359297	0,000372648
9	6,41346E-05	6,43730E-05	6,55651E-05	7,34329E-05	6,81877E-05	6,05583E-05	6,96182E-05	6,46114E-05	6,05583E-05	6,10352E-05
10	8,34465E-06	7,86781E-06	7,39098E-06	7,39098E-06	7,15256E-06	6,43730E-06	6,67572E-06	9,29832E-06	8,82149E-06	5,72205E-06

<b>Eb/No (dB)</b>	<b>Prueba 11</b>	<b>Prueba 12</b>	<b>Prueba 13</b>	<b>Prueba 14</b>	<b>Prueba 15</b>	<b>Prueba 16</b>	<b>Prueba 17</b>	<b>Prueba 18</b>	<b>Prueba 19</b>	<b>Prueba 20</b>
0	0,143511	0,143435	0,143823	0,143727	0,143573	0,143905	0,143534	0,143512	0,143539	0,143657

1	0,105104	0,105019	0,105254	0,105171	0,105061	0,105255	0,104992	0,105044	0,105057	0,105135
2	0,0717074	0,0718111	0,0720055	0,0719103	0,0718593	0,0720067	0,0717589	0,0718367	0,0719723	0,0718497
3	0,0442547	0,0442471	0,0443329	0,0443975	0,0442788	0,0442969	0,0443236	0,0442907	0,0444173	0,0442276
4	0,0244882	0,0244176	0,0244901	0,0245199	0,0243802	0,024363	0,0245144	0,0244388	0,0245726	0,0243513
5	0,0116701	0,0116262	0,0116579	0,0117039	0,0116109	0,0115828	0,0117025	0,0117027	0,0117683	0,0116591
6	0,00462841	0,00465202	0,00462007	0,00464606	0,00460529	0,00461363	0,00463485	0,00466918	0,00464797	0,00463223
7	0,0014801	0,00150656	0,00150036	0,00150895	0,00147914	0,00148105	0,00150632	0,00150465	0,00149846	0,0015037
8	0,000370264	0,000377178	0,000375986	0,000384807	0,000366687	0,000371217	0,000372886	0,000382661	0,000357866	0,000367641
9	6,50882E-05	6,58035E-05	6,10351E-05	0,000070095	6,00814E-05	6,91413E-05	6,24656E-05	6,89029E-05	5,81741E-05	6,81877E-05
10	6,19888E-06	6,19888E-06	7,15226E-06	7,39007E-06	6,91413E-06	8,10623E-06	8,34465E-06	7,15255E-06	5,96046E-06	7,39097E-06

**Tabla D.2** Valores de BER. Modulación FSK, con  $h=0.5$  en la herramienta System Generator.

▪ **FPGA  $h = 0.5$**

<b>Eb/No (dB)</b>	<b>Prueba 1</b>	<b>Prueba 2</b>	<b>Prueba 3</b>	<b>Prueba 4</b>	<b>Prueba 5</b>	<b>Prueba 6</b>	<b>Prueba 7</b>	<b>Prueba 8</b>	<b>Prueba 9</b>	<b>Prueba 10</b>
0	0,14371	0,143929	0,143778	0,143625	0,14392	0,143647	0,143315	0,143579	0,143006	0,14381
1	0,105215	0,105354	0,105024	0,10535	0,105157	0,105012	0,105031	0,105285	0,104951	0,104935
2	0,0717923	0,0720124	0,071779	0,0719327	0,0719783	0,0718144	0,0718381	0,0715649	0,0717952	0,0719497
3	0,0442075	0,044259	0,0443587	0,0444154	0,0443956	0,0443446	0,04446	0,0442798	0,0442295	0,0445134
4	0,0244956	0,0244517	0,0244328	0,0244047	0,0244905	0,0244584	0,0243415	0,0244565	0,0243465	0,0243716
5	0,0116672	0,011704	0,0116534	0,0117807	0,0115778	0,0116841	0,0116508	0,0117847	0,0116386	0,0116794
6	0,0046104	0,00464677	0,0047338	0,0046041	0,00462961	0,00458407	0,00461983	0,00461792	0,00466871	0,00463819
7	0,00149607	0,0014913	0,00149893	0,00146794	0,00149989	0,00150012	0,00149984	0,00148701	0,00151848	0,00149797
8	0,00038433	0,00037860	0,00036621	0,00036025	0,00038170	0,00036549	0,00036406	0,00036859	0,00035977	0,00035524
9	6,65187E-05	6,81877E-05	6,55651E-05	6,84261E-05	6,62803E-05	6,24656E-05	6,81077E-05	6,29425E-05	6,34193E-05	6,31809E-05



10	5,72204E-06	8,10623E-06	9,29832E-06	5,2452E-06	9,53674E-06	8,58606E-06	8,58606E-06	7,39097E-06	7,39097E-06	5,00679E-06
----	-------------	-------------	-------------	------------	-------------	-------------	-------------	-------------	-------------	-------------

<b>Eb/No (dB)</b>	<b>Prueba 11</b>	<b>Prueba 12</b>	<b>Prueba 13</b>	<b>Prueba 14</b>	<b>Prueba 15</b>	<b>Prueba 16</b>	<b>Prueba 17</b>	<b>Prueba 18</b>	<b>Prueba 19</b>	<b>Prueba 20</b>
0	0,143992	0,143679	0,143649	0,143608	0,143866	0,143618	0,1438	0,143716	0,143763	0,143766
1	0,105271	0,105207	0,104912	0,105141	0,105233	0,105192	0,104885	0,105099	0,10494	0,105358
2	0,0717396	0,0716912	0,0717372	0,0715804	0,071834	0,0716874	0,0717966	0,0719308	0,0718491	0,0718481
3	0,044207	0,0444052	0,0444006	0,0443587	0,0443558	0,0443768	0,044449	0,0441145	0,0443701	0,0444008
4	0,024635	0,0245003	0,0244305	0,0244553	0,0243101	0,0245091	0,0244322	0,0244069	0,0245453	0,0243916
5	0,0116662	0,0117259	0,0116398	0,011661	0,0115709	0,0117078	0,0117495	0,0116853	0,0116298	0,0116806
6	0,0046215	0,00465679	0,004642	0,00464391	0,00461053	0,00466561	0,00464177	0,00469398	0,00464558	0,00463891
7	0,00147771	0,00148367	0,00148472	0,00147843	0,00149321	0,00149963	0,00150465	0,00150871	0,00147776	0,00151658
8	0,000363349	0,000375747	0,000368833	0,000379085	0,000374555	0,000372648	0,000376462	0,000365972	0,000368118	0,000372409
9	6,79492E-05	0,000067234	6,38961E-05	6,84261E-05	6,96182E-05	6,41345E-05	0,000062704	0,000056982	0,000064373	6,34193E-05
10	8,34402E-06	8,82148E-06	8,10623E-06	5,96046E-06	6,4373E-06	6,67572E-06	1,00135E-05	6,91413E-06	6,19888E-06	6,67572E-06

**Tabla D.3** Valores de BER. Modulación FSK, con  $h=0.5$  para el sistema implementado en el FPGA.

▪ **Simulink  $h = 0.25$**

<b>Eb/No (dB)</b>	<b>Prueba 1</b>	<b>Prueba 2</b>	<b>Prueba 3</b>	<b>Prueba 4</b>	<b>Prueba 5</b>	<b>Prueba 6</b>	<b>Prueba 7</b>	<b>Prueba 8</b>	<b>Prueba 9</b>	<b>Prueba 10</b>
0	0,196233	0,195935	0,195974	0,195949	0,196263	0,19567	0,195595	0,196071	0,196224	0,195842
1	0,158228	0,158067	0,158091	0,158068	0,158317	0,157802	0,157781	0,158043	0,158282	0,158098
2	0,122489	0,122201	0,122306	0,122365	0,122571	0,122157	0,121999	0,122251	0,122537	0,122367
3	0,0902414	0,0901323	0,0901266	0,0903532	0,090459	0,0899568	0,0899153	0,0901347	0,090208	0,0901263
4	0,0627975	0,0628564	0,0627019	0,062833	0,0629526	0,0626643	0,0623569	0,0627409	0,0626571	0,062671

5	0,0407216	0,0409045	0,0407007	0,0407296	0,0408836	0,0406026	0,0404974	0,0407154	0,0405611	0,0406455
6	0,0242942	0,0243488	0,0242185	0,0243177	0,0243841	0,0242351	0,0240812	0,0242254	0,0241495	0,0243279
7	0,0130885	0,0130897	0,0129983	0,0130525	0,013055	0,0130462	0,0128997	0,0129978	0,0129069	0,0130983
8	0,00622665	0,00612032	0,00612652	0,00612163	0,00613796	0,00612115	0,00608861	0,00607728	0,00610589	0,0061779
9	0,00246286	0,00243461	0,00242745	0,00246477	0,00249493	0,00244092	0,00244092	0,00241231	0,00242674	0,00245428
10	0,000795364	0,00078833	0,000780701	0,000789761	0,000807404	0,000771164	0,000787377	0,000781178	0,000770568	0,00079596
11	0,000191092	0,000196337	0,000196456	0,000181555	0,000193715	0,00019145	0,000204563	0,000194072	0,000178337	0,000204086
12	3,71932E-05	3,12328E-05	3,31401E-05	3,29017E-05	3,55243E-05	3,00407E-05	3,62396E-05	3,21865E-05	3,24249E-05	3,76701E-05
13	4,76837E-06	3,09944E-06	3,81469E-06	1,90734E-06	3,81469E-06	3,33785E-06	5,00678E-06	3,09944E-06	4,76837E-06	2,38418E-06

<b>Eb/No (dB)</b>	<b>Prueba 11</b>	<b>Prueba 12</b>	<b>Prueba 13</b>	<b>Prueba 14</b>	<b>Prueba 15</b>	<b>Prueba 16</b>	<b>Prueba 17</b>	<b>Prueba 18</b>	<b>Prueba 19</b>	<b>Prueba 20</b>
0	0,195881	0,195822	0,195789	0,195773	0,196248	0,195992	0,19589	0,195867	0,195978	0,195656
1	0,157949	0,158063	0,157942	0,157936	0,158472	0,158064	0,157843	0,158088	0,157997	0,157908
2	0,122171	0,122254	0,12225	0,0122252	0,122494	0,122277	0,122128	0,122293	0,122265	0,122197
3	0,0901092	0,0902014	0,0900989	0,0901361	0,090143	0,0901445	0,0899765	0,0900506	0,0901813	0,0899331
4	0,0625971	0,0627168	0,0627273	0,0627313	0,0626939	0,0626058	0,0625566	0,0626391	0,0627809	0,0624976
5	0,0406104	0,040588	0,0407322	0,0406488	0,0406441	0,04058	0,0406079	0,040621	0,0407719	0,0404921
6	0,0240967	0,0241397	0,0242549	0,0242222	0,0241851	0,024206	0,0241848	0,0242073	0,0241404	0,024114
7	0,0129096	0,0130064	0,013036	0,0129479	0,012983	0,0129947	0,0129722	0,0130139	0,0129548	0,0129085
8	0,00610089	0,00612008	0,00615131	0,00606667	0,00610446	0,0061109	0,00610256	0,00613319	0,00609707	0,00609874
9	0,00242018	0,00241291	0,00244712	0,00242459	0,00242435	0,00244009	0,00243389	0,00248122	0,00244092	0,00244915
10	0,000769853	0,000762462	0,000804781	0,00079739	0,000765561	0,000800371	0,000790595	0,000797867	0,00078392	0,000787138
11	0,000190258	0,0001868	0,000199079	0,000192165	0,000194311	0,000389423	0,000204563	0,000215291	0,000198125	0,000193357
12	0,000033617	3,45706E-05	3,55243E-05	3,12328E-05	3,33785E-05	3,48091E-05	3,33785E-05	3,60012E-05	3,62396E-05	3,88622E-05

13	5,00678E-06	3,57627E-06	5,48362E-06	2,6226E-06	2,86102E-06	3,33785E-06	4,05311E-06	3,57627E-06	5,2452E-06	4,05311E-06
----	-------------	-------------	-------------	------------	-------------	-------------	-------------	-------------	------------	-------------

**Tabla D.4** Valores de BER. Modulación FSK, con  $h=0.25$  en la herramienta Simulink.

▪ **System Generator  $h = 0.25$**

Eb/No (dB)	Prueba 1	Prueba 2	Prueba 3	Prueba 4	Prueba 5	Prueba 6	Prueba 7	Prueba 8	Prueba 9	Prueba 10
0	0,265281	0,265259	0,26563	0,26514	0,265436	0,265028	0,265274	0,265648	0,265159	0,264891
1	0,22663	0,226624	0,226829	0,226629	0,22682	0,226321	0,226632	0,226959	0,226377	0,22636
2	0,185241	0,184997	0,185494	0,185315	0,185561	0,185224	0,185316	0,185135	0,185244	0,184877
3	0,143907	0,143593	0,143985	0,143914	0,144039	0,143924	0,143914	0,14392	0,14381	0,143529
4	0,105292	0,105258	0,105539	0,105448	0,105541	0,105565	0,10543	0,1055	0,105318	0,105064
5	0,0713672	0,0713522	0,0713098	0,0714766	0,0715587	0,071496	0,0713042	0,0714449	0,0713651	0,0712268
6	0,0439171	0,0438277	0,0439875	0,0440144	0,0440216	0,0440912	0,0438811	0,0440828	0,0439255	0,0438768
7	0,024245	0,0241656	0,0241959	0,0241999	0,0242459	0,0243523	0,0242052	0,0242998	0,0241754	0,0242052
8	0,0116386	0,0116155	0,0116295	0,0116465	0,0116834	0,0116965	0,0115652	0,0116112	0,0116062	0,0115826
9	0,00467419	0,00464892	0,00466537	0,00466942	0,00469899	0,00468134	0,00461077	0,00462794	0,00462055	0,00469613
10	0,00149893	0,00149583	0,00149536	0,00151538	0,00152993	0,00153994	0,00150561	0,00148129	0,00150823	0,00150609
11	0,000378403	0,00036025	0,000361204	0,000374794	0,000385284	0,000385046	0,000368118	0,000356912	0,000345945	0,00037527
12	7,20024E-05	6,31934E-05	6,74724E-05	6,53266E-05	6,24656E-05	7,20024E-05	6,55651E-05	6,17504E-05	6,15119E-05	6,48498E-05
13	7,15255E-06	8,58306E-06	6,91413E-06	5,48362E-06	6,19888E-06	9,0599E-06	1,02519E-05	8,34465E-06	5,96046E-06	8,82148E-06

Eb/No (dB)	Prueba 11	Prueba 12	Prueba 13	Prueba 14	Prueba 15	Prueba 16	Prueba 17	Prueba 18	Prueba 19	Prueba 20
0	0,265207	0,265053	0,261524	0,265381	0,265097	0,265274	0,265049	0,265077	0,26489	0,265848
1	0,2266	0,226403	0,226684	0,22681	0,226686	0,226686	0,226466	0,226615	0,226347	0,226891

2	0,185228	0,185234	0,185121	0,185377	0,185378	0,185291	0,184866	0,185099	0,184927	0,185413
3	0,143678	0,143916	0,143884	0,143992	0,143967	0,143824	0,143566	0,143586	0,14368	0,144037
4	0,105331	0,10547	0,105428	0,105667	0,10547	0,105448	0,105206	0,105344	0,105403	0,105519
5	0,0713951	0,0713458	0,0713598	0,0715901	0,0713548	0,071479	0,071338	0,0714471	0,0715007	0,0715477
6	0,0439753	0,0439548	0,0438399	0,0441095	0,043945	0,0439124	0,0439441	0,0439776	0,0439815	0,0439963
7	0,0242791	0,0241985	0,0242283	0,0243301	0,024235	0,024177	0,0242474	0,0242762	0,0242087	0,0243182
8	0,0115964	0,011579	0,0116534	0,0116927	0,0115351	0,0115845	0,0115747	0,0116658	0,0115959	0,0116157
9	0,00467753	0,00466346	0,00468277	0,00467991	0,00458407	0,00466966	0,00462079	0,00467562	0,00464963	0,00467109
10	0,00154781	0,00150847	0,00152969	0,00149226	0,00149917	0,00150775	0,00149106	0,00151872	0,00152993	0,00150871
11	0,00037527	0,000376462	0,000370025	0,000356435	0,000360967	0,00036025	0,000364065	0,000360965	0,00037074	0,000365972
12	6,38035E-05	6,69956E-05	6,12735E-05	6,55651E-05	6,36577E-05	6,12735E-05	6,38961E-05	6,98566E-05	6,17504E-05	7,03334E-05
13	6,19888E-06	7,15255E-06	8,34465E-06	7,39097E-06	5,96046E-06	7,39097E-06	7,86781E-06	8,34465E-06	3,81469E-06	7,39097E-06

**Tabla D.5** Valores de BER. Modulación FSK, con  $h=0.25$  en la herramienta System Generator.

▪ **FPGA  $h = 0,25$**

<b>Eb/No (dB)</b>	<b>Prueba 1</b>	<b>Prueba 2</b>	<b>Prueba 3</b>	<b>Prueba 4</b>	<b>Prueba 5</b>	<b>Prueba 6</b>	<b>Prueba 7</b>	<b>Prueba 8</b>	<b>Prueba 9</b>	<b>Prueba 10</b>
0	0,265262	0,265028	0,265403	0,265533	0,265238	0,265455	0,265339	0,265242	0,265248	0,26522
1	0,226868	0,226598	0,226786	0,226915	0,226726	0,226823	0,226694	0,226712	0,226548	0,226715
2	0,185424	0,185304	0,185204	0,185306	0,185261	0,185347	0,185218	0,185676	0,185527	0,185174
3	0,143936	0,143601	0,143976	0,143747	0,14396	0,144044	0,143535	0,143879	0,143716	0,143868
4	0,105585	0,105584	0,105446	0,105568	0,105586	0,105627	0,105463	0,105315	0,105455	0,105401
5	0,0715107	0,0715963	0,0714178	0,0716347	0,071563	0,0716924	0,0714199	0,0714728	0,0715711	0,0712853
6	0,0440418	0,0439803	0,0440597	0,0439407	0,0438809	0,0439805	0,0439807	0,043832	0,0439026	0,0442059

7	0,0242586	0,0242521	0,0242824	0,0242016	0,02427	0,0241918	0,0241758	0,0244209	0,0243148	0,0242614
8	0,0115506	0,0115749	0,0117712	0,0116097	0,0117261	0,011666	0,0115866	0,0115579	0,0116105	0,0116212
9	0,00466656	0,00466203	0,00466752	0,00461912	0,00464248	0,00465345	0,00463294	0,00469017	0,00461053	0,00463557
10	0,0015335	0,00150227	0,00151562	0,00150895	0,00146412	0,00149059	0,00147843	0,0014913	0,00151968	0,00153303
11	0,000366687	0,000359028	0,00035492	0,000366926	0,000369787	0,000380516	0,00037837	3,77655E-05	0,000371694	0,000377416
12	6,91413E-05	6,05383E-05	6,74724E-05	6,36577E-05	6,84261E-05	6,31809E-05	6,58035E-05	5,96046E-05	0,000074625	6,55651E-05
13	7,62939E-06	1,00135E-05	9,29832E-06	7,39097E-06	7,15255E-06	7,15255E-06	6,67572E-06	6,19888E-06	9,79516E-06	4,76837E-06

<b>Eb/No (dB)</b>	<b>Prueba 11</b>	<b>Prueba 12</b>	<b>Prueba 13</b>	<b>Prueba 14</b>	<b>Prueba 15</b>	<b>Prueba 16</b>	<b>Prueba 17</b>	<b>Prueba 18</b>	<b>Prueba 19</b>	<b>Prueba 20</b>
0	0,265391	0,265493	0,265535	0,265178	0,265394	0,265194	0,265347	0,265379	0,265424	0,26521
1	0,226946	0,226807	0,226964	0,226812	0,226836	0,226843	0,227554	0,226416	0,226744	0,226896
2	0,185368	0,185388	0,185026	0,1852244	0,18506	0,185296	0,185059	0,185396	0,185476	0,185417
3	0,143719	0,144157	0,144008	0,143939	0,144046	0,143649	0,144098	0,144135	0,143835	0,143826
4	0,105463	0,105766	0,105608	0,105522	0,105327	0,105287	0,105784	0,105582	0,105208	0,105453
5	0,0715758	0,0713646	0,0714342	0,0716121	0,0714211	0,0717046	0,0715017	0,0713634	0,0716726	0,0715668
6	0,043962	0,0439596	0,0438809	0,0440998	0,0438942	0,0437507	0,0437986	0,0439145	0,0439453	0,0439603
7	0,0243673	0,0241611	0,0241608	0,0242295	0,0242147	0,0242705	0,0241508	0,024115	0,024183	0,0242471
8	0,0115525	0,0115897	0,0116386	0,011609	0,0115823	0,0115647	0,0116398	0,0115466	0,0116679	0,011517
9	0,00438921	0,00463676	0,00469565	0,004642	0,00468778	0,00463008	0,00467443	0,00467324	0,00467729	0,0046513
10	0,00150418	0,00151014	0,00151658	0,0014975	0,00148415	0,00149655	0,00154685	0,00148797	0,00149321	0,00148558
11	0,000365018	0,000357151	0,000383853	0,0003829	0,000347375	0,000364542	0,000373601	0,000363111	0,000371217	0,000363111
12	0,000067234	6,10351E-05	6,12735E-05	6,89029E-05	6,19888E-05	6,67572E-05	7,51018E-05	6,41345E-05	6,38961E-05	6,81877E-05
13	5,96046E-06	5,00679E-06	6,4373E-06	9,77516E-06	5,00679E-06	5,72204E-06	7,86781E-06	7,86781E-06	6,19888E-06	9,0599E-06

**Tabla D.6** Valores de BER. Modulación FSK, con  $h=0.25$  para el sistema implementado en el FPGA.

▪ Simulink  $h = 0.125$

Eb/No (dB)	Prueba 1	Prueba 2	Prueba 3	Prueba 4	Prueba 5	Prueba 6	Prueba 7	Prueba 8	Prueba 9	Prueba 10
0	0,315364	0,315214	0,315374	0,31513	0,314944	0,315004	0,314969	0,315254	0,315353	0,31509
1	0,294613	0,294432	0,294691	0,294329	0,294104	0,294309	0,294214	0,294558	0,294593	0,294325
2	0,271979	0,271718	0,271935	0,271671	0,271431	0,271677	0,271617	0,271871	0,271774	0,271625
3	0,246965	0,2467592	0,247018	0,246622	0,246552	0,246655	0,246674	0,246946	0,246957	0,24671
4	0,219625	0,219451	0,2196	0,219405	0,219438	0,219238	0,21926	0,21958	0,219704	0,219273
5	0,190069	0,190017	0,190157	0,189906	0,189834	0,18966	0,189738	0,190053	0,19013	0,189658
6	0,159005	0,158874	0,158932	0,158743	0,158878	0,158641	0,158791	0,15885	0,159145	0,158607
7	0,1276	0,127459	0,127472	0,12742	0,127518	0,127329	0,127351	0,127322	0,127654	0,127455
8	0,0973812	0,0973714	0,0972632	0,0973782	0,0975441	0,097212	0,0973378	0,0971273	0,09749	0,097392
9	0,0702011	0,0701763	0,0698871	0,070198	0,07025	0,0699541	0,070023	0,0699897	0,0700547	0,0700697
10	0,0471702	0,0471275	0,0468416	0,047083	0,0471887	0,0469334	0,0470369	0,0469525	0,04696952	0,0471317
11	0,02917	0,0291758	0,0289072	0,0290726	0,029178	0,0289101	0,0290093	0,0290218	0,0290222	0,0290728
12	0,0162866	0,0162851	0,0162281	0,016292	0,0162272	0,0161714	0,0163149	0,0161174	0,0161495	0,0162894
13	0,00806558	0,00802206	0,00806701	0,00803029	0,00804316	0,00798308	0,0080229	0,00798809	0,00799012	0,00805997
14	0,00340568	0,00339698	0,0033822	0,00339996	0,00338637	0,00337612	0,00340008	0,00335228	0,00343668	0,00340175
15	0,00121641	0,00117826	0,00117731	0,00117421	0,00117373	0,00114607	0,00118923	0,00116479	0,00116837	0,00118434
16	0,00033164	0,000325441	0,000311016	0,000311613	0,000310301	0,000313639	0,000319957	0,000316262	0,000315904	0,000331163
17	7,03334E-05	7,10487E-05	6,17504E-05	0,000064373	6,15119E-05	0,000064373	6,02006E-05	6,22272E-05	6,17504E-05	6,55651E-05
18	1,00135E-05	1,07288E-05	8,58306E-06	8,34464E-06	8,34464E-06	6,19888E-06	8,82148E-06	1,00135E-05	8,82148E-06	6,19888E-06

<b>Eb/No (dB)</b>	<b>Prueba 11</b>	<b>Prueba 12</b>	<b>Prueba 13</b>	<b>Prueba 14</b>	<b>Prueba 15</b>	<b>Prueba 16</b>	<b>Prueba 17</b>	<b>Prueba 18</b>	<b>Prueba 19</b>	<b>Prueba 20</b>
0	0,315452	0,315268	0,314922	0,314588	0,315067	0,31525	0,315142	0,314811	0,315019	0,315127
1	0,294645	0,294512	0,294071	0,294004	0,294356	0,294373	0,294327	0,294126	0,29428	0,294288
2	0,271977	0,271772	0,271504	0,271306	0,271695	0,271574	0,27175	0,27151	0,271668	0,271637
3	0,246978	0,24694	0,246611	0,246407	0,246658	0,246716	0,246921	0,246623	0,246756	0,246787
4	0,219636	0,219667	0,219333	0,219076	0,219326	0,219405	0,219529	0,219178	0,219344	0,21941
5	0,189993	0,190038	0,189836	0,189627	0,18976	0,189895	0,189929	0,189687	0,189852	0,189761
6	0,158916	0,159052	0,15879	0,158503	0,158671	0,158762	0,158644	0,15865	0,158703	0,158863
7	0,127489	0,127641	0,127423	0,127244	0,127285	0,127316	0,127336	0,127289	0,127412	0,127574
8	0,0973381	0,0973923	0,0972862	0,0970989	0,0972162	0,0971982	0,0971486	0,0971938	0,0972133	0,0973498
9	0,0701125	0,0701087	0,0699597	0,0698861	0,0699771	0,0699851	0,0698307	0,0699448	0,0699812	0,070133
10	0,0470757	0,0469493	0,0469506	0,0469918	0,0468602	0,0468741	0,0468337	0,0468974	0,0469278	0,0471553
11	0,0290478	0,0289523	0,028868	0,0290584	0,0289646	0,0289478	0,0288979	0,0289243	0,0289559	0,0291098
12	0,0161893	0,0161054	0,0161603	0,0162686	0,0161766	0,0161381	0,0161159	0,0161004	0,0161198	0,016154
13	0,00796329	0,00793194	0,00796711	0,00803041	0,00791847	0,00795817	0,00793063	0,0079199	0,00793766	0,0079627
14	0,00336992	0,00332367	0,00338387	0,00339829	0,00338482	0,0033648	0,00335812	0,00334846	0,00334584	0,00341117
15	0,00116765	0,00114905	0,00117576	0,00118625	0,00115573	0,00116991	0,00115334	0,0011543	0,00115346	0,00118541
16	0,000314116	0,000317335	0,000320672	0,000314354	0,000303506	0,000306963	0,000323533	0,000318646	0,000306129	0,00031495
17	6,15119E-05	7,22408E-05	6,19888E-05	6,36577E-05	6,34193E-05	6,05583E-05	5,93662E-05	6,25848E-05	6,65187E-05	6,05583E-05
18	7,62939E-06	1,12056E-05	9,77516E-06	7,62939E-06	6,9141E-06	9,0599E-06	8,34464E-06	8,10623E-06	7,15255E-06	8,58306E-06

**Tabla D.7** Valores de BER. Modulación FSK, con  $h=0.125$  en la herramienta Simulink.

▪ System Generator  $h = 0.125$

Eb/No (dB)	Prueba 1	Prueba 2	Prueba 3	Prueba 4	Prueba 5	Prueba 6	Prueba 7	Prueba 8	Prueba 9	Prueba 10
0	0,35123	0,350882	0,35101	0,350762	0,351199	0,350928	0,350952	0,351275	0,350717	0,350864
1	0,33259	0,332146	0,332398	0,332144	0,332534	0,332226	0,332222	0,332482	0,332052	0,332273
2	0,312928	0,312496	0,312662	0,312564	0,31273	0,312446	0,31256	0,312742	0,312475	0,312571
3	0,291211	0,290896	0,291011	0,290964	0,290972	0,290673	0,290857	0,290927	0,290782	0,290816
4	0,267374	0,267116	0,267308	0,267252	0,267272	0,266924	0,267073	0,267217	0,266934	0,267106
5	0,241089	0,240771	0,241095	0,240983	0,241064	0,240703	0,240867	0,241115	0,240856	0,240954
6	0,211572	0,211365	0,211452	0,2113	0,21164	0,211184	0,211341	0,211466	0,211393	0,211444
7	0,179278	0,179166	0,179196	0,179085	0,17935	0,17902	0,179066	0,179245	0,179082	0,179108
8	0,145465	0,145298	0,145389	0,145224	0,1455	0,145144	0,145394	0,145534	0,145325	0,145288
9	0,110904	0,110827	0,110994	0,110765	0,111166	0,110851	0,111017	0,111048	0,110907	0,110885
10	0,0787451	0,0788137	0,0789313	0,07887563	0,079081	0,0788035	0,0787994	0,0789294	0,0788108	0,0789201
11	0,0512197	0,0513322	0,0512816	0,0513112	0,0514879	0,0514187	0,0513412	0,0514593	0,0512667	0,0512838
12	0,0296518	0,0297462	0,0298204	0,0297746	0,0298917	0,0297701	0,029777	0,0297839	0,0297669	0,0297532
13	0,0150477	0,0151715	0,0152924	0,0151607	0,0151989	0,0150208	0,0151708	0,0151274	0,0151119	0,0149958
14	0,00642275	0,0065093	0,00651216	0,00650572	0,00652456	0,00643968	0,00648117	0,0064826	0,00651359	0,00645041
15	0,00226759	0,00226902	0,00229883	0,00229835	0,00229191	0,00226831	0,00232791	0,00225996	0,00230026	0,00224423
16	0,00063157	0,000622272	0,000647544	0,000641822	0,000629901	0,000629663	0,000636339	0,000610828	0,000622987	0,000623226
17	0,000128746	0,000121355	0,000135183	0,000137805	0,000123977	0,000122308	0,00012803	0,00011897	0,000115871	0,000123262
18	1,52587E-05	1,83582E-05	1,83582E-05	1,54972E-05	1,64508E-05	1,57356E-05	1,64508E-05	1,74045E-05	1,54972E-05	1,43051E-05



<b>Eb/No (dB)</b>	<b>Prueba 11</b>	<b>Prueba 12</b>	<b>Prueba 13</b>	<b>Prueba 14</b>	<b>Prueba 15</b>	<b>Prueba 16</b>	<b>Prueba 17</b>	<b>Prueba 18</b>	<b>Prueba 19</b>	<b>Prueba 20</b>
0	0,35115	0,350689	0,351205	0,35086	0,350778	0,351072	0,351122	0,351139	0,350987	0,351255
1	0,332452	0,332048	0,332547	0,332301	0,332243	0,332442	0,332423	0,332616	0,332269	0,332713
2	0,312893	0,312363	0,312851	0,312659	0,312501	0,312749	0,312691	0,31277	0,312616	0,313017
3	0,291122	0,290755	0,291105	0,290969	0,290707	0,291112	0,290835	0,291101	0,291126	0,291224
4	0,267252	0,266975	0,267328	0,267158	0,267112	0,267491	0,267102	0,267312	0,267481	0,267386
5	0,241106	0,240829	0,241076	0,240947	0,240829	0,241179	0,240854	0,241229	0,241344	0,241092
6	0,211426	0,21138	0,211552	0,211542	0,211363	0,211558	0,211275	0,211549	0,211814	0,21148
7	0,179271	0,178983	0,179432	0,179309	0,179312	0,17934	0,179007	0,179338	0,179564	0,179231
8	0,145532	0,145316	0,145558	0,145464	0,145608	0,145595	0,145236	0,145599	0,14554	0,145502
9	0,111166	0,110965	0,111093	0,110998	0,111133	0,111095	0,110851	0,111101	0,110927	0,111105
10	0,0791244	0,0790262	0,0790429	0,0789577	0,0791413	0,0790872	0,0788006	0,0789577	0,0788996	0,0790214
11	0,0513968	0,0514466	0,0514218	0,0514204	0,0515429	0,0513846	0,0513184	0,051378	0,0513334	0,051407
12	0,0297992	0,0298023	0,0298616	0,0297222	0,0298607	0,0297966	0,0297706	0,0297429	0,0296549	0,0297901
13	0,0151627	0,0151321	0,0151696	0,0151791	0,015156	0,0151054	0,0151164	0,0151846	0,0150604	0,0151515
14	0,00651478	0,00650763	0,00647974	0,0065248	0,00648856	0,00647735	0,00650024	0,00650954	0,00648713	0,00648617
15	0,00226736	0,00230693	0,00229477	0,00225353	0,00229406	0,00223827	0,00227808	0,0022788	0,00228071	0,0023036
16	0,00060749	0,000602722	0,000611066	0,000605344	0,000652313	0,000583887	0,00061202	0,000604867	0,000615358	0,000620603
17	0,00011754	0,000125885	0,000119209	0,000119924	0,000126123	0,000110149	0,00011301	0,000113964	0,00011897	0,000119924
18	1,38282E-05	1,47819E-05	1,50203E-05	1,23977E-05	1,54972E-05	1,33514E-05	1,45435E-05	1,54972E-05	1,57356E-05	1,64508E-05

**Tabla D.8** Valores de BER. Modulación FSK, con  $h=0.125$  en la herramienta System Generator.

▪ **FPGA  $h = 0.125$**

<b>Eb/No (dB)</b>	<b>Prueba 1</b>	<b>Prueba 2</b>	<b>Prueba 3</b>	<b>Prueba 4</b>	<b>Prueba 5</b>	<b>Prueba 6</b>	<b>Prueba 7</b>	<b>Prueba 8</b>	<b>Prueba 9</b>	<b>Prueba 10</b>
0	0,350962	0,351109	0,351030	0,350920	0,351092	0,350945	0,351125	0,350847	0,350987	0,351024
1	0,332376	0,332495	0,332232	0,332395	0,332456	0,332092	0,332256	0,332480	0,332058	0,332141
2	0,312271	0,312617	0,312645	0,312660	0,312985	0,312802	0,312336	0,312765	0,312625	0,312721
3	0,291330	0,290834	0,291024	0,291145	0,291025	0,291104	0,291039	0,291358	0,291292	0,290784
4	0,267619	0,267230	0,267281	0,267316	0,266780	0,267402	0,267117	0,267217	0,267226	0,267393
5	0,240963	0,241058	0,241055	0,241195	0,241092	0,241089	0,241025	0,240698	0,241078	0,240933
6	0,211502	0,211710	0,211242	0,211290	0,211424	0,211613	0,211370	0,211366	0,211565	0,211385
7	0,179384	0,179394	0,178962	0,179242	0,178897	0,179067	0,179225	0,179176	0,179073	0,179395
8	0,145574	0,145402	0,145522	0,145476	0,145535	0,145406	0,145443	0,145325	0,145207	0,145149
9	0,111191	0,111038	0,110976	0,111104	0,110909	0,110945	0,111143	0,110964	0,111109	0,110866
10	0,0787889	0,0788248	0,0790076	0,0790321	0,0792315	0,0791610	0,0790232	0,0791466	0,0790102	0,0790889
11	0,0513716	0,0513592	0,0514779	0,0512733	0,0513563	0,0513951	0,0512953	0,0512946	0,0511749	0,0511916
12	0,0297325	0,0296228	0,0297327	0,0299082	0,0297472	0,0297337	0,0298114	0,0298104	0,0298071	0,0296729
13	0,0150762	0,0151353	0,0151978	0,0151365	0,0151000	0,0152125	0,0149925	0,0151699	0,0151026	0,0151763
14	0,00651813	0,00645471	0,00655484	0,00649667	0,00644803	0,00652218	0,00647306	0,00654125	0,00648975	0,00642729
15	0,00227499	0,00226784	0,00227594	0,00228643	0,00228906	0,00230694	0,00225830	0,00224829	0,00229311	0,00226426
16	0,000602245	0,000597000	0,000642061	0,000612497	0,000596523	0,000610113	0,000593185	0,000617743	0,000606537	0,000627518
17	0,000126362	0,000118732	0,000125170	0,000120401	0,000116587	0,000127077	0,000130177	0,000118971	0,000121117	0,000127316
18	1,54972E-05	1,71661E-05	1,95503E-05	1,95503E-05	1,78814E-05	1,93119E-05	1,88351E-05	1,43051E-05	1,33514E-05	1,52588E-05

<b>Eb/No (dB)</b>	<b>Prueba 11</b>	<b>Prueba 12</b>	<b>Prueba 13</b>	<b>Prueba 14</b>	<b>Prueba 15</b>	<b>Prueba 16</b>	<b>Prueba 17</b>	<b>Prueba 18</b>	<b>Prueba 19</b>	<b>Prueba 20</b>
0	0,350847	0,351182	0,351450	0,351247	0,351238	0,351091	0,350953	0,351026	0,350787	0,350896
1	0,332141	0,332348	0,332512	0,332418	0,332567	0,332677	0,332263	0,332537	0,332413	0,332203
2	0,312715	0,312672	0,312712	0,312828	0,312483	0,312738	0,312875	0,312646	0,312832	0,312631
3	0,290942	0,291026	0,290998	0,290880	0,291100	0,291033	0,290913	0,290825	0,290823	0,291201
4	0,267330	0,267020	0,267205	0,267294	0,267105	0,267192	0,267203	0,267053	0,267370	0,267289
5	0,241338	0,240848	0,240857	0,241032	0,241001	0,241259	0,241116	0,240962	0,240982	0,241123
6	0,211752	0,211721	0,211305	0,211604	0,211434	0,211138	0,211407	0,211267	0,211263	0,211444
7	0,179224	0,179401	0,179387	0,179157	0,179326	0,179147	0,179037	0,179166	0,179262	0,178970
8	0,145297	0,145283	0,145406	0,145561	0,145153	0,145576	0,145452	0,145574	0,145582	0,145722
9	0,111006	0,110912	0,110950	0,110890	0,110790	0,111031	0,111066	0,111045	0,111031	0,111094
10	0,0790095	0,0789816	0,0790756	0,0788405	0,0789810	0,0789443	0,0787942	0,0788677	0,0790014	0,0789065
11	0,0513206	0,0514911	0,0514691	0,0514505	0,0513976	0,0515859	0,0514064	0,0513859	0,0512679	0,0513241
12	0,0299432	0,0298176	0,0298126	0,0298011	0,0298846	0,0298767	0,0297319	0,0297766	0,0298421	0,0297427
13	0,0150911	0,0151937	0,0150940	0,0150607	0,0151639	0,0150774	0,0151377	0,0149827	0,0151463	0,0151815
14	0,00642276	0,00647855	0,00649738	0,00648189	0,00650930	0,00649595	0,00650668	0,00650334	0,00644541	0,00655270
15	0,00223494	0,00230515	0,00225210	0,00224304	0,00230265	0,00228429	0,00227332	0,00230503	0,00229549	0,00222015
16	0,000618935	0,000626326	0,000623941	0,000622272	0,000625849	0,000624895	0,000604868	0,000608206	0,000598669	0,000621557
17	0,000132799	0,000120163	0,000126123	0,000111818	0,000119686	0,000118017	0,000120878	0,000118732	0,000117302	0,000112295
18	1,97887E-05	1,43051E-05	1,43051E-05	2,14577E-05	1,69277E-05	1,45435E-05	1,64509E-05	1,66893E-05	1,78814E-05	1,85966E-05

**Tabla D.9** Valores de BER. Modulación FSK, con  $h=0.125$  para el sistema implementado en el FPGA.

## APÉNDICE E. Valores de BER modulación MSK. Simulink, System Generator y FPGA.

### ▪ Simulink

<b>Eb/No (dB)</b>	<b>Prueba 1</b>	<b>Prueba 2</b>	<b>Prueba 3</b>	<b>Prueba 4</b>	<b>Prueba 5</b>	<b>Prueba 6</b>	<b>Prueba 7</b>	<b>Prueba 8</b>	<b>Prueba 9</b>	<b>Prueba 10</b>
0	0,14496	0,144864	0,145036	0,144886	0,145154	0,144928	0,144809	0,145024	0,14477	0,145049
1	0,106182	0,106242	0,106273	0,10627	0,106508	0,10607	0,106182	0,10631	0,106139	0,106172
2	0,0721928	0,0721868	0,0722323	0,0721892	0,0724019	0,0721391	0,0721575	0,0722543	0,0720964	0,0721992
3	0,0447243	0,0445431	0,0447533	0,0447939	0,0448342	0,0446806	0,0447202	0,0447119	0,0446482	0,044683
4	0,0246918	0,0246956	0,0247304	0,0247848	0,0248828	0,0246248	0,0247571	0,0246544	0,0247264	0,0246427
5	0,0118277	0,0117986	0,0119023	0,0118479	0,0118761	0,0117194	0,0118627	0,0118293	0,0118141	0,0118122
6	0,00477505	0,00476861	0,00482583	0,00476122	0,00482393	0,00470877	0,00474644	0,00478793	0,00476671	0,00472975
7	0,00156498	0,00153112	0,00157165	0,00154304	0,00159073	0,00153088	0,00155449	0,0015409	0,00156212	0,0015738
8	0,000383139	0,00037694	0,000386	0,000385761	0,000390053	0,000380993	0,000376463	0,000395298	0,000377178	0,000383854
9	6,98567E-05	0,000063181	0,000067711	6,19889E-05	7,36714E-05	7,27178E-05	5,98431E-05	0,000067711	6,91415E-05	6,72341E-05
10	6,91415E-06	6,67573E-06	8,58308E-06	7,86782E-06	7,6294E-06	1,00135E-05	5,96947E-06	6,19889E-06	9,29834E-06	6,19889E-06

<b>Eb/No (dB)</b>	<b>Prueba 11</b>	<b>Prueba 12</b>	<b>Prueba 13</b>	<b>Prueba 14</b>	<b>Prueba 15</b>	<b>Prueba 16</b>	<b>Prueba 17</b>	<b>Prueba 18</b>	<b>Prueba 19</b>	<b>Prueba 20</b>
0	0,144903	0,144926	0,144726	0,144845	0,144975	0,144774	0,145065	0,145021	0,145048	0,144809
1	0,10619	0,1062	0,10605	0,106141	0,106271	0,105959	0,10634	0,106382	0,106326	0,106126
2	0,0721379	0,0720998	0,0720566	0,0721794	0,0723511	0,0720474	0,0722615	0,072254	0,0723611	0,0722447
3	0,0446403	0,0446413	0,0446654	0,0446897	0,0448814	0,044522	0,0448162	0,0446816	0,0448475	0,0447574
4	0,0246625	0,0246894	0,0246747	0,024615	0,0247674	0,0245593	0,024793	0,024677	0,0247533	0,0246584
5	0,0118363	0,011817	0,0119064	0,0117624	0,0118725	0,0116913	0,0118905	0,0118515	0,0118997	0,0118434
6	0,00475574	0,00471211	0,00477529	0,00474573	0,00478149	0,00467468	0,00478912	0,00475598	0,00480867	0,00476838

7	0,00152278	0,00152182	0,00155735	0,00153899	0,00153065	0,00151396	0,00155258	0,0015459	0,00158453	0,00152969
8	0,000359535	0,000384331	0,000375509	0,000374317	0,000376702	0,000365019	0,000401736	0,000387192	0,000380755	0,000370741
9	6,22273E-05	6,65189E-05	0,000066042	6,86646E-05	7,12872E-05	0,000066042	0,000073433	6,24657E-05	6,62804E-05	6,34194E-05
10	8,8215E-06	9,29834E-06	7,86782E-06	5,24521E-06	5,96047E-06	6,19889E-06	8,34466E-06	7,6294E-06	9,29834E-06	6,19889E-06

**Tabla E.1** Valores de BER. Modulación MSK, en la herramienta Simulink.

▪ **System Generator**

<b>Eb/No (dB)</b>	<b>Prueba 1</b>	<b>Prueba 2</b>	<b>Prueba 3</b>	<b>Prueba 4</b>	<b>Prueba 5</b>	<b>Prueba 6</b>	<b>Prueba 7</b>	<b>Prueba 8</b>	<b>Prueba 9</b>	<b>Prueba 10</b>
0	0,142997	0,142875	0,142875	0,143037	0,143577	0,142923	0,143031	0,143316	0,14332	0,142968
1	0,104743	0,104615	0,104758	0,104847	0,105217	0,104597	0,104873	0,104912	0,104907	0,104773
2	0,0719316	0,0717594	0,0718739	0,0721023	0,0723061	0,0718412	0,071906	0,0720365	0,0720071	0,071928
3	0,0442762	0,0442321	0,0442988	0,0444605	0,044614	0,0443553	0,044336	0,0443572	0,0442752	0,0442447
4	0,0245652	0,0245835	0,0244908	0,0246372	0,0246798	0,024587	0,0245645	0,0245687	0,0244834	0,0243892
5	0,0117793	0,0117394	0,0117812	0,0117716	0,0118529	0,0118024	0,0117516	0,0118148	0,0117001	0,0116579
6	0,00465178	0,00463652	0,00463604	0,00463247	0,00470924	0,00463914	0,0046842	0,00464105	0,00463795	0,00459003
7	0,00149989	0,00149464	0,00152015	0,00146341	0,00152254	0,00149583	0,00153732	0,00150299	0,00151753	0,00147724
8	0,000366926	0,000378847	0,000367641	0,000382423	0,000382661	0,00038433	0,000393152	0,000380992	0,000370979	0,000374794
9	6,29425E-05	6,31809E-05	6,48498E-05	6,24656E-05	6,53266E-05	7,10487E-05	6,46114E-05	0,000062704	0,000064373	6,58035E-05
10	7,15255E-06	6,67572E-06	6,91413E-06	5,00679E-06	5,2452E-06	7,15255E-06	9,77516E-06	8,58306E-06	6,4373E-06	6,4373E-06

<b>Eb/No (dB)</b>	<b>Prueba 11</b>	<b>Prueba 12</b>	<b>Prueba 13</b>	<b>Prueba 14</b>	<b>Prueba 15</b>	<b>Prueba 16</b>	<b>Prueba 17</b>	<b>Prueba 18</b>	<b>Prueba 19</b>	<b>Prueba 20</b>
0	0,143137	0,143191	0,142932	0,143136	0,142942	0,143178	0,143007	0,143485	0,143311	0,143371
1	0,104866	0,104998	0,104675	0,104931	0,104723	0,104827	0,104812	0,105209	0,104833	0,104924

2	0,0719435	0,0721292	0,0719554	0,072069	0,0718924	0,0720665	0,0719864	0,0722587	0,0720527	0,0721745
3	0,044322	0,0445084	0,0443661	0,0444641	0,044238	0,0443844	0,0443835	0,0444998	0,044389	0,0444233
4	0,0245811	0,024542	0,0245735	0,0245921	0,0244219	0,024528	0,0245866	0,0246055	0,024517	0,0245699
5	0,0117623	0,0117027	0,0117495	0,0117576	0,0116941	0,0116927	0,0118041	0,0117332	0,0117912	0,0117464
6	0,00464296	0,00460624	0,00463128	0,0046947	0,00461959	0,00459098	0,00463891	0,00466227	0,00468134	0,00465011
7	0,00150465	0,00149726	0,00148749	0,00149798	0,00148868	0,00148415	0,00150346	0,00149083	0,00147247	0,00149464
8	0,000356197	0,000383377	0,000367403	0,000371694	0,000375509	0,000365972	0,000378608	0,000374317	0,000376224	0,000378847
9	6,34193E-05	6,91413E-05	6,58035E-05	6,41345E-05	6,84261E-05	6,48498E-05	6,79492E-05	5,86509E-05	6,58035E-05	6,15119E-05
10	6,67572E-06	8,10623E-06	8,34465E-06	7,15255E-06	5,72204E-06	6,4373E-06	6,91413E-06	5,00679E-06	7,15255E-06	6,91413E-06

**Tabla E.2** Valores de BER. Modulación MSK, en la herramienta System Generator.

#### ▪ FPGA

<b>Eb/No (dB)</b>	<b>Prueba 1</b>	<b>Prueba 2</b>	<b>Prueba 3</b>	<b>Prueba 4</b>	<b>Prueba 5</b>	<b>Prueba 6</b>	<b>Prueba 7</b>	<b>Prueba 8</b>	<b>Prueba 9</b>	<b>Prueba 10</b>
0	0,14305	0,143001	0,143216	0,142901	0,143404	0,143072	0,143286	0,143399	0,143638	0,143282
1	0,104825	0,104899	0,104784	0,104906	0,105005	0,10483	0,104645	0,104846	0,104978	0,104976
2	0,0720379	0,0720293	0,0720388	0,0721564	0,0720138	0,0722787	0,0720665	0,0719773	0,0719764	0,0720853
3	0,0445467	0,0445258	0,0444145	0,0443868	0,0444196	0,0444483	0,0443954	0,0443493	0,0445115	0,0444061
4	0,0245609	0,0245592	0,0246767	0,0245554	0,0245029	0,0246846	0,0245127	0,0244919	0,0245759	0,0245521
5	0,0117249	0,0117952	0,0116937	0,0117855	0,0117008	0,0117292	0,0117394	0,0117001	0,0117666	0,0117714
6	0,00463962	0,00461292	0,00460624	0,00464439	0,00467324	0,00468468	0,00462102	0,00464677	0,0045979	0,00465917
7	0,00148725	0,00147318	0,00147533	0,00152969	0,00149798	0,00148987	0,0014584	0,00147509	0,00152325	0,00150966
8	0,000359296	0,000343322	0,000387668	0,000363588	0,000362634	0,000378847	0,000359773	0,000382423	0,000357151	0,000360727
9	6,48498E-05	6,58035E-05	6,86645E-05	6,58035E-05	6,34193E-05	5,88893E-05	6,50882E-05	0,000070095	5,96046E-05	6,31809E-05

10	7,39097E-06	6,91413E-06	8,82148E-06	7,62939E-06	9,29832E-06	7,39097E-06	6,67572E-06	6,4373E-06	6,19888E-06	5,96046E-06
----	-------------	-------------	-------------	-------------	-------------	-------------	-------------	------------	-------------	-------------

<b>Eb/No (dB)</b>	<b>Prueba 11</b>	<b>Prueba 12</b>	<b>Prueba 13</b>	<b>Prueba 14</b>	<b>Prueba 15</b>	<b>Prueba 16</b>	<b>Prueba 17</b>	<b>Prueba 18</b>	<b>Prueba 19</b>	<b>Prueba 20</b>
0	0,14341	0,143405	0,143081	0,143257	0,143192	0,143309	0,143168	0,143163	0,14325	0,143462
1	0,104694	0,104754	0,104925	0,104836	0,105048	0,104943	0,104773	0,104873	0,104696	0,10478
2	0,0720632	0,0719358	0,0722985	0,0717639	0,071977	0,0720047	0,0718998	0,0719878	0,0719983	0,0720069
3	0,0441923	0,0444686	0,0443243	0,0443179	0,0444521	0,0443081	0,0442957	0,0445671	0,0444178	0,0444893
4	0,0243959	0,0245511	0,0247035	0,0245339	0,0244748	0,0245985	0,0245175	0,0246052	0,0245566	0,0246908
5	0,0117247	0,0117096	0,0117042	0,011713	0,0117194	0,0116989	0,0116384	0,0117645	0,0117294	0,0116713
6	0,0046153	0,00462245	0,00461053	0,00466346	0,00463557	0,00460886	0,00464439	0,0046277	0,00461721	0,00461316
7	0,00147676	0,00148105	0,00148367	0,00142788	0,00151252	0,00146651	0,00149941	0,00152063	0,00145387	0,00148224
8	0,000384092	0,000374078	0,000377893	0,000370502	0,000382423	0,000362396	0,000366926	0,000348329	0,000374317	0,000336701
9	0,000059843	6,27004E-05	0,000064373	6,31809E-05	6,65187E-05	0,000067234	6,29425E-05	6,07967E-05	6,58035E-05	6,81877E-05
10	6,4373E-06	7,15255E-06	6,19888E-06	9,53674E-06	7,62939E-06	6,91443E-06	6,86781E-06	7,15255E-06	8,34465E-06	5,00679E-06

**Tabla E.3** Valores de BER. Modulación MSK, para el sistema implementado en el FPGA.

**APÉNDICE F.** Valores promedio de BER. Simulink, System Generator y FPGA.

**APÉNDICE F.1** Modulación FSK

▪ **Modulación FSK,  $h = 0.5$**

$E_b/N_0$ (dB)	<i>BER Simulink</i>	<i>BER System Generator</i>	<i>BER FPGA</i>
0	0,14496185	0,143564922	0,1436888
1	0,1062151	0,105074595	0,1051276
2	0,072181485	0,071800117	0,07180757
3	0,044676435	0,044310154	0,0443451
4	0,024679584	0,024467215	0,024443305
5	0,011843105	0,011676775	0,011676875
6	0,004769678	0,004639527	0,004640699
7	0,001543682	0,001498005	0,001494131
8	0,000379872	0,000372684	0,000370073
9	6,51717E-05	6,50525E-05	6,51915E-05
10	7,68899E-06	7,29555E-06	7,45084E-06

**Tabla F.1** Valores de BER. Modulación FSK con  $h=0.5$ . Simulink, System Generator y FPGA.

▪ **Modulación FSK,  $h = 0.25$**

$E_b/N_0$ (dB)	<i>BER Simulink</i>	<i>BER System Generator</i>	<i>BER FPGA</i>
0	0,1959326	0,2650573	0,26532565
1	0,15805195	0,22661845	0,22681015
2	0,11678986	0,1852169	0,18530757
3	0,090130721	0,14383325	0,1438837
4	0,0626889	0,10541205	0,1055015
5	0,04066292	0,07141298	0,071509279
6	0,024216675	0,043963105	0,04394855
7	0,012997995	0,024239435	0,02423646
8	0,006119489	0,01161842	0,01160914



9	0,002441711	0,004658408	0,004641906
10	0,000786387	0,001510508	0,00150301
11	0,000204752	0,000367619	0,000351749
12	3,43084E-05	6,52273E-05	6,58263E-05
13	3,79085E-06	7,33136E-06	7,24892E-06

**Tabla F.2** Valores de BER. Modulación FSK con  $h=0.25$ . Simulink, System Generator y FPGA.

▪ **Modulación FSK,  $h = 0.125$**

$E_b/N_0$ (dB)	<i>BER Simulink</i>	<i>BER System Generator</i>	<i>BER FPGA</i>
0	0,3151171	0,3510038	0,351038
1	0,2943575	0,33235605	0,33235292
2	0,27168455	0,3126642	0,31267803
3	0,24676276	0,29095825	0,29103375
4	0,2194239	0,26720865	0,26723213
5	0,18988	0,2409991	0,2410352
6	0,158801	0,2114548	0,21144014
7	0,12742945	0,17921915	0,17919454
8	0,09729663	0,14542555	0,14543241
9	0,07003613	0,1109899	0,11100303
10	0,046997546	0,078938447	0,07898587
11	0,02901333	0,05137261	0,05136443
12	0,0161945	0,029776845	0,0297904
13	0,007989627	0,015135785	0,01512142
14	0,003381353	0,006490894	0,00649099
15	0,001171179	0,002281124	0,00227407
16	0,000316357	0,000620591	0,00061405
17	6,37769E-05	0,00012201	0,00012149
18	8,52344E-06	1,5521E-05	1,7083E-05

**Tabla F.3** Valores de BER. Modulación FSK con  $h=0.125$ . Simulink, System Generator y FPGA.

## APÉNDICE F.2 Modulación MSK

$E_b/N_0$ (dB)	<i>BER Simulink</i>	<i>BER System Generator</i>	<i>BER Implementada</i>
0	0,1449286	0,14313045	0,1432473
1	0,10621665	0,104852	0,1048508
2	0,07220215	0,07201102	0,072029815
3	0,044711775	0,04437143	0,04441186
4	0,02470204	0,024553345	0,024565005
5	0,011833065	0,01175425	0,01172401
6	0,004763072	0,00464384	0,004632229
7	0,001548098	0,001497658	0,001486212
8	0,000380576	0,000375545	0,000366654
9	6,69719E-05	6,48498E-05	6,4349E-05
10	7,51064E-06	6,89029E-06	7,19794E-06

**Tabla F.4** Valores de BER. Modulación MSK. Simulink, System Generator y FPGA.