

**Diseño Y Simulación Del Componente De Conformación De Haces Del Subsistema  
De Antenas Para Un Transpondedor Satelital De Próxima Generación Basado En  
SDR.**



**Juan David Múnera Ospina  
Carlos Felipe Solano Fernández**

**UNIVERSIDAD DEL CAUCA  
FACULTAD DE INGENIERÍA ELECTRÓNICA Y TELECOMUNICACIONES  
Departamento de Telecomunicaciones  
Grupo I+D Nuevas Tecnologías en Telecomunicaciones - GNTT  
Gestión Integrada de Redes, Servicios y Arquitecturas de Telecomunicaciones  
Popayán  
2009**

**Diseño Y Simulación Del Componente De Conformación De Haces Del Subsistema  
De Antenas Para Un Transpondedor Satelital De Próxima Generación Basado En  
SDR.**



**Juan David Múnera Ospina  
Carlos Felipe Solano Fernández**

**Monografía**

**Ingeniero: Harold Armando Romo Romero**

**UNIVERSIDAD DEL CAUCA  
FACULTAD DE INGENIERÍA ELECTRÓNICA Y TELECOMUNICACIONES  
Departamento de Telecomunicaciones  
Grupo I+D Nuevas Tecnologías en Telecomunicaciones - GNTT  
Gestión Integrada de Redes, Servicios y Arquitecturas de Telecomunicaciones  
Popayán  
2009**

## CONTENIDO

	Pág.
1. INTRODUCCION	1
2. FUNDAMENTACION TEORICA	6
2.1. RADIO DEFINIDO POR SOFTWARE.	6
2.1.1. Origen de SDR	6
2.1.2. Definición de radio definido por software	7
2.1.3. Descripción de una arquitectura SDR	7
2.2. ANTENAS	12
2.2.1. Subsistema de antenas	14
2.2.2. Antena	14
2.2.3. Zonas de campo	15
2.3. ARREGLOS DE ANTENAS	15
2.3.1. Arreglo lineal de n fuentes	16
2.3.2. Arreglo superficial de n fuentes	23
2.4. CORRIMIENTO DE FASE	28
2.5. SISTEMA SATELITAL GEOESTACIONARIO	29
2.6. ESTADO DEL ARTE	30
3. DISEÑO Y SIMULACIÓN DEL COMPONENTE DE CONFORMACIÓN DE HACES DEL SUBSISTEMA DE ANTENAS	31
3.1. HERRAMIENTAS DE DISEÑO Y SIMULACIÓN	32
3.2. DISEÑO DEL COMPONENTE DE CONFORMACIÓN DE HACES	34
3.2.1. Módulo de cálculo de fase	39
3.2.2. Módulo de generación de señal de información	44
3.2.3. Módulo de generación de frecuencia intermedia (FI)	45
3.2.4. Modulación de la señal en fase y cuadratura	46
3.2.5. Módulo de excitación	47
3.2.6. Módulo de control de ancho de haz	51
4. ANALISIS DE RESULTADOS	54

4.1. ANÁLISIS DEL FPGA IDÓNEO PARA LA IMPLEMENTACIÓN DEL DISEÑO	54
4.1.1. Arquitectura de un FPGA	56
4.1.2. CLB	56
4.1.3. Slice	57
4.1.4. Memoria RAM	58
4.1.5. Multiplicadores empotrados	58
4.1.6. Bloques de entrada y salida	59
4.1.7. Arquitecturas Virtex de dispositivos FPGAs existentes	59
4.1.8. Análisis de recursos hardware requeridos por los sub diseños	62
4.1.9. Análisis de la selección del FPGA adecuado que soportaría la implementación del diseño	69
4.2. ANÁLISIS DE RESULTADOS DEL CORRIMIENTO EN FASE	75
4.2.1. $\theta$ 0,5 grados y $\varphi$ desde 0 a 45 grados	76
4.2.2. $\theta$ 1 grado y $\varphi$ desde 0 a 45 grados	79
4.2.3. $\theta$ 1,5 grados y $\varphi$ desde 0 a 45 grados	79
4.2.4. $\theta$ 2 grados y $\varphi$ desde 0 a 45 grados	79
4.2.5. $\theta$ 2,5 grados y $\varphi$ desde 0 a 45 grados	80
4.2.6. $\theta$ 3 grados y $\varphi$ desde 0 a 45 grados	80
4.2.7. $\theta$ 3,5 grados y $\varphi$ desde 0 a 45 grados	80
4.2.8. $\theta$ 4 grados y $\varphi$ desde 0 a 45 grados	81
4.2.9. $\theta$ 4,5 grados y $\varphi$ desde 0 a 45 grados	81
4.2.10. $\theta$ 5 grados y $\varphi$ desde 0 a 45 grados	81
4.2.11. $\theta$ 5,5 grados y $\varphi$ desde 0 a 45 grados	82
4.2.12. $\theta$ 6 grados y $\varphi$ desde 0 a 45 grados	82
4.2.13. $\theta$ 6,5 grados y $\varphi$ desde 0 a 45 grados	82
4.2.14. $\theta$ 7 grados y $\varphi$ desde 0 a 45 grados	83
4.2.15. $\theta$ 7,5 grados y $\varphi$ desde 0 a 45 grados	83
4.2.16. $\theta$ 8 grados y $\varphi$ desde 0 a 45 grados	83
4.2.17. $\theta$ 8,5 grados y $\varphi$ desde 0 a 45 grados	84
4.3. ANÁLISIS DEL ANCHO DE LÓBULO PRINCIPAL DEL DIAGRAMA DE RADIACIÓN	85
5. CONCLUSIONES	90
5.1. TRABAJOS FUTUROS	96

#### REFERENCIA BIBLIOGRAFICA

ANEXO A. Tablas de resultados de la simulación en relación a la fase obtenida.

ANEXO B. Análisis de Resultados del Componente de Conformación de Haces con Módulos Alimentadores de Arreglos Superficiales de 9x9 Módulos de Excitación.

ANEXO C. Tablas y figuras de funciones especiales

## LISTA DE TABLAS

	Pág.
Tabla 1. Especificaciones básicas para un equipo basado en SDR.	9
Tabla 2. Comparación de diferentes tecnologías hardware apropiadas para SDR	13
Tabla 3. Dirección máxima de radiación, con respecto al eje que contiene las antenas para un arreglo de $n$ antenas con $d = \lambda/2$ .	20
Tabla 4. Valor de BWFN para variaciones de la fase relativa con separación $d = \lambda/2$	21
Tabla 5. Comparación de los tipos de arreglo.	27
Tabla 6. Dimensiones del arreglo en función de las dimensiones de la huella del diagrama de radiación.	35
Tabla 7. Características físicas de las familias LX de FPGAs de la arquitectura virtex 4.	60
Tabla 7.1. Características físicas de las familias FX de FPGAs de la arquitectura virtex 4.	60
Tabla 7.2. Características físicas de las familias SX de FPGAs de la arquitectura virtex 4.	60
Tabla 8. Características físicas de las familias LX de FPGAs de la arquitectura virtex 5.	61
Tabla 8.1. Características físicas de las familias LXT de FPGAs de la arquitectura virtex 5.	61
Tabla 8.2. Características físicas de las familias SX de FPGAs de la arquitectura virtex 5.	61
Tabla 8.3. Características físicas de las familias FX de FPGAs de la arquitectura virtex 5.	61
Tabla 8.4. Características físicas de las familias TXT de FPGAs de la arquitectura virtex 5.	62
Tabla 9. Características físicas de las familias de FPGAs de la arquitectura Virtex 6.	62

Tabla 10. Porcentaje de utilización de recursos de los dos sub diseños seleccionados para la posible implementación del componente de conformación de haces en relación con el FPGA de referencia Sx475T de la arquitectura Virtex 6	74
Tabla 11. Resultados de fase teórica y simulada para teta $0.5^\circ$ y $\phi$ desde $0^\circ$ a $45^\circ$ .	77
Tabla 12. 20 anchos predefinidos de los lóbulos principales de los diagramas de radiación	88

## LISTA DE FIGURAS

	Pág.
Figura 1. Arquitectura fundamental de un dispositivo radio definido por software.	8
Figura 2. Estación base con antenas inteligentes empleando amplificación digital de potencia basado en SDR	10
Figura 3. Enlace de bajada con antenas inteligentes basado en amplificadores convencionales multi-portadora	10
Figura 4. Modificación de la señal en los amplificadores de potencia. a) caso ideal. b) con distorsión	10
Figura 5. Arreglo lineal de n antenas	17
Figura 6. Diagramas de radiación de un ALU con variación en el número de antenas	21
Figura 7. Diagramas de radiación de un arreglo lineal uniforme de 4 fuentes y $d = \lambda/2$	22
Figura 8. Arreglo plano rectangular de antenas.	24
Figura 9. Diagramas de radiación de un arreglo superficial de 4x4 y $d = \lambda/2$ .	26
Figura 10. Diagramas de radiación de un arreglo de 4x4x4 y $d = \lambda/2$ .	27
Figura 11. Diagramas de radiación de un arreglo superficial simétrico de n antenas y con $\delta_x = \pi/4, \delta_y = \pi/4$ y $d = \lambda/2$	28
Figura 12. Principales jugadores en el mercado de la tecnología FPGA	32
Figura 13. Fases de desarrollo en XSG.	33
Figura 14. Esquema de creación y ejecución de un modelo XSG.	33
Figura 15. Huellas proporcionadas por un arreglo de 140x140 antenas	35
Figura 16a. Modelo en bloques del componente de conformación de haces con un primer módulo de 49 módulos de excitación conformando un arreglo superficial de orden 7.	36
Figura 16b. Diseño del conformador de haces satelital sobre Simulink a partir del modelo en bloques.	37
Figura 17. Arreglo rectangular de 20x20 módulos alimentadores.	38
Figura 18. Conformación interna del módulo de 49 módulos de excitación.	39
Figura 19a. Subsistema cálculo de la fase en X y en Y.	40

Figura 19b. Diseño de la etapa cálculo de fases para el arreglo superficial.	40
Figura 20. Visualización de la huella de los diagramas de radiación conformados con un ángulo de BWHP de 0.96, un ángulo $\phi$ de 0 grados y una variación en teta de 0.5 desde 0 hasta 8.5, con una ubicación del satélite sobre una longitud de -104 grados.	41
Figura 21. Visualización en 3D de la huella de los diagramas de radiación conformados con un ángulo de BWHP de 0.96, un ángulo $\phi$ de 0 grados y una variación en teta de 0.5 desde 0 hasta 8.5, con una ubicación del satélite sobre una longitud de $-104^\circ$ .	42
Figura 22. Visualización de la huella de los haces conformados con un ángulo de BWHP de 0.96, ángulos de teta de grados variables (amarillo, verde, rojo) y variaciones en $\phi$ de -75 hasta 120 grados, con una ubicación del satélite sobre una longitud de -104 grados.	42
Figura 23. Visualización en 3D de la huella de los haces conformados con un ángulo de BWHP de 0.96, ángulos de teta de grados variables (amarillo, verde, rojo) y variaciones en $\phi$ de -75 hasta 120 grados, con una ubicación del satélite sobre una longitud de -104 grados.	43
Figura 24. Diseño del módulo de generación de señal de información a) Bloque Generador. b) Composición Interna	44
Figura 25. Diseño del módulo de generación de frecuencia intermedia. a) bloque. b) Diseño interior.	46
Figura 26. Diseño de la etapa de modulación de la señal en fase y cuadratura a) bloque. b) Diseño interior.	47
Figura 27. Subsistema del módulo de excitación.	48
Figura 28. Diseño interno del módulo excitador	48
Figura 29. Configuración del bloque <i>Dual Port Ram (tabla coseno)</i> .	50
Figura 30. Esquema de los 19.600 módulos de excitación (arreglo superficial de 140 x 140) distribuidos en módulos de 49 módulos de excitación (sub arreglos superficiales de 7x7) formando un nuevo arreglo superficial de 400 módulos alimentadores (arreglo de 20 x 20).	52
Figura 31. Huella proporcionada por el diagrama de radiación con lóbulo principal más ancho posible.	53
Figura 32. Diseño del módulo de control de ancho de haz. a-bloque. b-Diseño interior.	53
Figura 33. Estimación de recursos hardware del módulo de arreglo superficial de 7x7 módulos de excitación.	55
Figura 34. Parámetros utilizados por el bloque <i>Resource Estimator</i> para estimar los recursos hardware requeridos por un diseño.	56



Figura 35. Arquitectura de un FPGA Virtex de Xilinx.	56
Figura 36. CLB de una arquitectura Virtex de FPGA.	57
Figura 37. Diagrama del bloque Slice de un Virtex 4.	57
Figura 38. Sub diseño del componente de conformación de haces con un módulo alimentador.	63
Figura 39. Conjunto de especificaciones hardware requeridas por el componente de conformación de haces con un módulo alimentador.	64
Figura 40. Componente de conformación de haces con dos módulos alimentadores multiplexando las salidas.	65
Figura 41. Conjunto de especificaciones hardware requeridas por el componente de conformación de haces con dos módulos alimentadores multiplexando las salidas.	65
Figura 42. Componente de conformación de haces con tres módulos alimentadores multiplexando las salidas.	66
Figura 43. Conjunto de especificaciones hardware requeridas por el componente de conformación de haces con tres módulos alimentadores multiplexando las salidas.	66
Figura 44. Componente de conformación de haces con cuatro módulos alimentadores multiplexando las salidas.	67
Figura 45. Conjunto de especificaciones hardware requeridas por el componente de conformación de haces con cuatro módulos alimentadores multiplexando las salidas.	68
Figura 46. Conjunto de especificaciones hardware requeridas por el sub diseño de cuatro módulos alimentadores multiplexando las salidas.	69
Figura 47. Diseño del Módulo de excitación sin Mcode. a- Módulo de excitación sin Mcode en ( <i>CálculoDesfase1</i> ). b- Diseño interno del subsistema <i>CálculoDesfase sin Mcode</i> . c- Diseño interno del subsistema <i>Control Fase Propia</i> . d- Diseño interno del subsistema <i>Control Signo</i> . e- Diseño interno del subsistema <i>SalidasF&gt;x</i>	73
Figura 48. Estimación de recursos para el módulo de excitación. a- Con Mcode. b- Sin Mcode	74
Figura 49. Grafica de las señales obtenidas con la simulación, arriba para la referencia y abajo para el tercer elemento en dirección x.	76
Figura 50. Huella de iluminación del diagrama de radiación con radiación perpendicular	87
Figura 51. Huella de los 20 anchos predefinidos de los lóbulos principales de los diagramas de radiación iluminando sur América.	89

## **LISTA DE ANEXOS**

ANEXO A. Tablas de resultados de la simulación en relación a la fase obtenida.

ANEXO B. Análisis de Resultados del Componente de Conformación de Haces con Módulos Alimentadores de Arreglos Superficiales de 9x9 Módulos de Excitación.

ANEXO C. Tablas y figuras de funciones especiales.

## LISTA DE ACRÓNIMOS

ALU (Uniform Linear Array) Arreglo Lineal Uniforme.

ASIC (Application Specific Integrated Circuits) Circuitos Integrados de Aplicación Específica.

ADC (Analog Digital Converter) Conversor Analógico Digital.

VER (Bit Error Rate) Tasa de Error de Bit.

BKP (Backpropagation) Propagación de Vuelta.

BRAMs (Random Access Memory Blocks)

BWFN (Beam Width First Null) Ancho de Haz entre los Primeros Nulos.

BWHP (Beam Width Half Power) Ancho de Haz de Potencia Mitad

CDMA (Code Division Multiple Access) Acceso Múltiple por División de Código.

CLB (Logic Configurable Block) Bloque de Lógica Configurable.

CMA (Constant Modulus Algorithm) Algoritmo de Módulo Constante.

DAC (Digital Analog Converter) Conversor Digital Analógico.

DDS(Direct Digital Synthesizer) Sintetizador Digital Directo

DMI (Direct Matrix Inversion) Inversión Directa de Matriz.

DoA (Direction of Arrival) Dirección de Llegada.

DSP (Digital Signal Processor) Procesador Digital de Señal.

FA (Array Factor) Factor del Arreglo

FFS Flip-Flops

FPGA (Field Programmable Gate Array) Arreglo de Compuertas de Campo Programables

GB (Gigabytes) Gigabytes.

GHZ (Gigahertz) Gigahertz.

GSM (Global Mobile Communications) Comunicaciones Globales Móviles.

HDL (Hardware Description Language) Lenguaje de Descripción de Hardware.

HW Hardware.

IDE (Integrated Development Environment) Ambiente de Desarrollo Integrado.

IEEE (Institute of Electrical and Electronics Engineers) Instituto de Ingenieros Electricos y Electronicos.

IF (Intermediate Frequency) Frecuencia Intermedia.

IOBs (In Out Blocks) Bloques de Entrada y Salida.

LMS (Least Mean Square) Cuadrado Medio Mínimo.

LUT (Lookup Table) Tabla de Consulta.

MAC (Multiplier Accumulator) Multiplicadores Acumuladores.

MCPA (Multi-Carrier Power Amplifier ) Amplificador Multi-Portadora.

MSPS (Megasamples Per seconds) Megamuestras Por Segundo.

MUSIC (Multiple Signal Classification) Clasificación de Señal Múltiple.

MUX Multiplexores.

Psoc (Programmable System On Chip ) Sistema Programable Sobre un Chip.

PMR (Private Mobile Radio) Radio Movil Privado.

QoS (Quality of Service) Calidad de Servicio.

RAM (Random Access Memory) Memoria de Acceso Aleatorio.

ROM (Read Only Memory) Memoria de Solo Lectura.

RF (Radio Frequency) Frecuencia Radio.

RLS (Recursive Least Squares Algorithm) Algoritmo de Mínimos Cuadrados Recursivo.

UMTS (Universal Mobile Telecommunications System) Sistema Universal de Telecomunicaciones móviles.

SDR (Software Defined Radio) Radio Definido por Software.

SMI-NCMA (Simple Matrix Inversion Normalized Constant Modulus Algorithm) Algoritmo de Módulo Constante Normalizado con Inversión Simple de Matriz.

SW Software.

USB (Universal Serial Bus) Bus serial Universal.

VHDL (Very High Description Language) Descripción de Lenguaje de circuitos integrados de Muy Alta velocidad.

XSG Xilinx System Generator.

## 1. INTRODUCCIÓN

Los actuales sistemas satelitales utilizan diversas técnicas para que la información llegue a los destinos requeridos. Dichas técnicas carecen de eficiencia porque aunque cumplen con el propósito de llevar la información a los usuarios que la necesitan, no utilizan los medios más adecuados, ni tienen en cuenta el consumo de energía excesivo en que incurren en algunas ocasiones, ni las interferencias que puedan causar por radiar a zonas donde no se requiere. Además, las actuales técnicas tienen una limitante en cuanto a la cantidad de diagramas de radiación que pueden utilizar en algún momento dado, es precisamente ésta la principal causa de los efectos indeseables mencionados. Las técnicas, con las características mencionadas, utilizadas en los sistemas satelitales son: reflector parabólico con múltiples alimentadores, reflector parabólico perfilado y conmutación de haces.

*Reflector parabólico con múltiples alimentadores:* es una técnica que se compone de un reflector parabólico y de múltiples elementos alimentadores. Esta técnica es capaz de conformar tantos diagramas de radiación como número de alimentadores tenga el sistema.

*Reflector parabólico perfilado:* es una técnica que utiliza reflector parabólicos con superficie irregular con el fin de que los valles y relieves del reflector conformen el diagrama de radiación en dirección a la zona de interés y con una forma de huella específica. Esta técnica es capaz de conformar un solo diagrama de radiación.

*Conmutación de haces:* es una técnica que utiliza arreglos de antenas y control de la fase. Este control se realiza electrónicamente, utiliza un hardware de propósito específico para cargar la información necesaria para configurar los diagramas de radiación deseados. Esta técnica es capaz de conformar una cantidad de diagramas de radiación igual al número de configuraciones almacenadas dentro de los dispositivos hardware.

Una vez detectado el problema común de las técnicas de conformación de diagramas de radiación más utilizadas, el número limitado de diagramas disponibles, surge la idea de diseñar un sistema que permita realizar una conformación de los diagramas de radiación sin esta limitante.

Los sistemas de comunicación satelital abarcan muchos tipos de servicios, con el fin enfocar la solución del problema se trabajará sobre un sistema satelital geoestacionario que brinda servicio fijo por satélite al continente americano. Para cumplir este propósito se determina la posición ideal del satélite el cual debe orbitar sobre una longitud de -104 grados y a una altura aproximada de 36.000 km, finalmente para conseguir el mayor

cubrimiento posible se supone que el ángulo mínimo de elevación de las antenas en tierra es de cinco grados.

Para solucionar el problema planteado se reúnen el concepto de SDR con el de antenas inteligentes; el de SDR sugiere implementar la mayor cantidad de funciones de un sistema de radio comunicación, mediante el uso de software sobre hardware de propósito general. Algunas de las funciones que se implementan son: la modulación, la demodulación, la codificación, la decodificación, etc.

La razón principal para incluir el concepto de SDR como parte de la solución, está relacionada con la posibilidad de llevar a cabo una futura actualización, en el momento en que surja un algoritmo que realice las funciones de conformación del diagrama de radiación de una forma más eficiente, aprovechando las características de reconfigurabilidad del hardware cuando esté en órbita.

Por otro lado el concepto de antenas inteligentes combina la teoría de arreglos de antenas con el uso del procesamiento digital de señales para conseguir flexibilidad en la conformación de diagramas de radiación y así aprovechar las características de radiación que proporciona un arreglo de antenas.

Teniendo en cuenta las tecnologías anteriormente descritas que se utilizan como herramientas para dar solución al problema de la configuración ineficiente de los diagramas de radiación, y con el propósito de seguir un esquema organizado de desarrollo, se plantean los siguientes objetivos.

### **Objetivo general.**

Diseñar y simular el componente de conformación de haces del subsistema de antenas para un transpondedor satelital de próxima generación basado en SDR mediante la aplicación del concepto de antenas inteligentes.

### **Objetivos específicos.**

- Analizar las configuraciones hardware software para simular la implementación del componente de conformación de haces del subsistema de antenas con capacidad de reconfiguración.
- Definir el algoritmo de conformación de haces más apropiado para que el sistema funcione sobre la configuración adoptada.
- Diseñar un componente de conformación de haces del subsistema de antenas que permita reconfigurar dinámicamente los haces cuando el satélite se encuentre en órbita, utilizando hardware de propósito general.

Para culminar con éxito el desarrollo del proyecto se debe buscar la solución desde los objetivos trazados, en ese orden de ideas, es necesario revisar cuidadosamente los objetivos para abstraer los aspectos fundamentales a saber: la identificación del problema; la identificación de los conceptos, técnicas y tecnologías necesarias para enfrentar el problema y hallar la solución, y la visualización de la solución o del aporte obtenido.

El primer aspecto relacionado con la identificación del problema o aspecto a corregir se resume en la conformación limitada de los diagramas de radiación en los sistemas satelitales.

El segundo aspecto consiste en la identificación de los conceptos indispensables que se deben tener en cuenta para abordar la solución. De acuerdo con el planteamiento de los objetivos, los conceptos más relevantes involucran lo relacionado con arreglos de antenas y la forma cómo interactúan las diferentes variables en función de la conformación del diagrama de radiación, y los dispositivos de procesamiento digital de señal y hardware de propósito general. Una visión general y resumida de estos conceptos se presenta a continuación.

**Arreglos de antenas:** son un grupo de antenas organizadas físicamente de acuerdo con una disposición geométrica, con el fin de que cada antena reciba la señal que se debe transmitir con una fase relativa respecto al elemento de referencia y/o con un valor de intensidad de excitación especialmente calculado para obtener los efectos deseados en el diagrama de radiación. Existen varios tipos de arreglos, entre los más utilizados están los lineales y los superficiales y también existen arreglos volumétricos y los conformados.

**Arreglo lineal:** es una hilera de antenas conectadas consecutivamente. Su principal característica es la conformación de un diagrama de radiación simétrico al eje del arreglo.

**Arreglos superficiales:** es un conjunto de antenas confinadas en un plano. El diagrama de radiación conformado por este tipo de arreglos tiene dos lóbulos principales y es simétrico al plano del arreglo. Los arreglos superficiales pueden ser rectangulares, circulares, hexagonales, etc.

**Arreglos volumétricos:** es un conjunto de antenas dispuestas físicamente en las tres dimensiones. El diagrama de radiación no presenta simetría.

*Arreglos conformados:* es un conjunto de antenas dispuestas sobre una superficie específica, por ejemplo la punta de un misil.

Alrededor de cada uno de los tipos de arreglos se encuentran los desarrollos matemáticos que relacionan las diferentes variables que participan en la conformación del diagrama de



radiación, que es la superposición de los diagramas de radiación de cada una de las antenas.

Respecto a los dispositivos hardware de propósito general se estudiaron las diferentes opciones que existen en el mercado, las cuales se analizaron para determinar cuál de ellas resulta más conveniente para los intereses del proyecto. Los dispositivos hardware que serán analizados en el desarrollo del proyecto son: DSP, ASIC, PSoc, y FPGA.

El tercer aspecto a tener en cuenta es la forma como se presentan los resultados, la manera como se muestra el nivel de mejoramiento o el nivel alcanzado en la solución del problema. Para abordar este aspecto se realizó una simulación para mostrar los corrimientos de fase producidos en la conformación del diagrama de radiación deseado, además se utiliza la ayuda de un simulador satelital que facilita el proceso de visualización de la zona de iluminación en tierra. La herramienta de simulación para el diseño permite realizar un mapeo de todas las operaciones lógicas y aritméticas realizadas, con el fin de reportar la cantidad de recursos hardware que requiere el diseño en el momento de ser implementado en un dispositivo hardware. De esta manera se encontró cual puede ser el dispositivo hardware adecuado para la implementación del proyecto.

El componente de conformación de haces del subsistema de antenas es el encargado de realizar el estudio del lugar hacia donde se debe dirigir el lóbulo principal del diagrama de radiación. Para realizar dicho estudio, el componente de conformación de haces recibe información de la ubicación espacial hacia donde se desea que el diagrama de radiación dirija su lóbulo principal, esta información está compuesta por el valor de dos ángulos equivalentes a los ángulos teta ( $\theta$ ) y fi ( $\varphi$ ) de las coordenadas esféricas, dichos ángulos especifican la dirección. Con esta información se calculan las fases relativas que deben incluirse en la señal con la que debe excitarse cada una de las antenas del arreglo.

La información sobre las técnicas de conformación de haces con arreglos de antenas basados en SDR es escasa dado que tales procesos no se han realizado específicamente para sistemas satelitales sino para sistemas terrestres, en especial para comunicaciones móviles celulares. La gran mayoría son simulaciones en donde se evalúa el desempeño de algoritmos propuestos y se comparan con otros existentes. Algunos proyectos, concluyen que es posible implementar algoritmos adaptativos sobre dispositivos de propósito general, otros afirman que es mejor utilizar almacenamiento de datos que implementar operaciones matemáticas que llevan a resultados similares.

El desarrollo del proyecto se expone en este trabajo dividido en cinco capítulos, a continuación se menciona el contenido de cada uno de ellos.

En el primer capítulo se consigna de una manera sintetizada el problema a resolver, el estado del arte de la tecnología, los objetivos a alcanzar, la metodología a seguir. En el siguiente capítulo se incluye la información teórica y el desarrollo matemático necesario para el desarrollo del proyecto; se define el tipo de arreglo que se va a utilizar, sus dimensiones en número de antenas, el tipo de dispositivo de procesamiento digital en

general que se podría utilizar para la implementación del desarrollo. En el tercer capítulo se presentan las herramientas software utilizadas para el diseño, análisis, y simulación del proyecto, también se hace una descripción detallada del diseño realizado, explicando cada una de las etapas establecidas y los módulos diseñados. En el cuarto capítulo se consignan los resultados obtenidos en la simulación. Los resultados se exponen en tres etapas: la primera presenta un análisis teórico y numérico que especifica el dispositivo hardware adecuado que podría soportar la implementación del diseño elaborado. Este análisis se fundamenta en los requerimientos de recursos hardware del diseño del componente de conformación de haces y en las capacidades de los dispositivos hardware clasificados como opciones viables en los cuales se podría implementar el diseño. En la segunda etapa se analizan los resultados de la simulación en cuanto a la dirección del lóbulo principal deseado, se realiza un cálculo teórico de los valores de fase, se muestran los valores de fase obtenidos como resultado de la simulación, y se calculan los ángulos de dirección que se obtienen con las fases producidas por la simulación, todo esto con el fin de encontrar la magnitud del error, valor que es analizado para determinar cuáles fueron las causas que indujeron al error y cuáles pueden ser las alternativas viables para disminuirlo. En la tercera etapa se muestran resultados del aporte adicional desarrollado a través del módulo de control del ancho del lóbulo principal del diagrama de radiación, resaltando información de cómo y por qué se establece determinado número de anchos de lóbulo principal, además se calculan las dimensiones de la zona de iluminación de cada uno de los anchos de lóbulo principal sobre la tierra así como la dimensión del arreglo de antenas que los genera.

El último capítulo incluye los datos, aspectos curiosos, detalles inesperados, y conclusiones relacionadas con el proceso de desarrollo y resultados obtenidos, además se presentan propuestas de trabajos o proyectos encaminados a continuar o complementar la línea de investigación en sistemas de conformación de haces para aplicaciones satelitales.

## **2. FUNDAMENTACIÓN TEORICA**

### **2.1. Radio Definido por Software.**

Las tradicionales técnicas de diseño de arquitecturas de radio describen su conformación a partir de componentes hardware y una pequeña parte por software, debido a esto, sus principales funciones son llevadas a cabo únicamente en hardware. El hardware se compone de amplificadores, filtros, mezcladores, conversores, y osciladores. El software es utilizado para controlar la interfaz con la red, extrayendo la cabecera y el código de corrección de errores del paquete de datos y determinando a donde debe ser enrutado el paquete de datos. Como el hardware domina el diseño, en el momento que se pretenda llevar a cabo una actualización o cuando se desee emplear el radio con otra funcionalidad, habrá que desecharlo y sustituirlo por uno nuevo; teniendo en cuenta que estas técnicas de diseño de arquitecturas radio están en constante evolución, sería demasiado costoso y dispendioso estar implementándolas a medida que van surgiendo. Sin embargo, cuando se tiene un diseño de arquitectura radio donde el elemento dominador es el software, es decir, donde la gran mayoría del nuevo contenido es software y el resto son mejoras en la parte hardware, el proceso de actualización se debe llevar a cabo en software. En resumen, radio definido por software es un concepto que cambia totalmente la estructura de los sistemas de radio, pasando de arquitecturas tradicionales a arquitecturas con software como componente fundamental.

#### **2.1.1 Origen de SDR.**

Con la acelerada evolución de los estándares y protocolos de comunicación inalámbrica y las cada vez más demandadas tecnologías de acceso a internet sin cables con cobertura global, surge la necesidad de trabajar fuertemente en los diseños de radios, con lo cual se busca abandonar los diseños obsoletos para pasar a prototipos novedosos basados en software.

Las actuales demandas de los usuarios exigen radios que soporten cobertura global o conexión ininterrumpida a través de regiones geográficas e interfaces que soporten diferentes estándares para proveer servicios sin interrupciones, por ejemplo, diferentes tipos de teléfonos celulares que puedan cambiar entre distintos estándares de telefonía móvil (GSM, CDMA, IS-95, etc), y que además tengan la capacidad de interactuar con otro tipo de redes como IEEE 802.11, bluetooth, etc. Adicional a esto, se requiere que exista compatibilidad total entre los estándares de cada generación y entre las distintas generaciones, como es el caso de 2G, 3G y 4G, donde también se espera que las aplicaciones de usuario tengan la capacidad de controlar la calidad de servicio (QoS), y que los usuarios puedan escoger libremente tanto el proveedor de la red como los servicios que necesitan.

La evolución hacia radios basados en software es acelerada y se está dando a través de diferentes técnicas, las cuales incluyen; antenas inteligentes, antenas multibanda, y dispositivos RF de banda ancha, conversores analógico digital (ADC) y digital analógico (DAC) de banda ancha, frecuencia intermedia (IF), banda base, y el procesamiento digital de señales en dispositivos de propósito general. Cubriendo todas estas técnicas con suficiente detalle se llega a un diseño de referencia SDR, el cual extiende su evolución al hardware programable aumentando la flexibilidad.

### 2.1.2 Definición de radio definido por software.

No existe una definición exacta o estandarizada de un radio SDR, debido a que las diferentes organizaciones de estandarización no han logrado ponerse de acuerdo acerca del nivel exacto de reconfigurabilidad que debe tener un radio para catalogarlo como SDR. No obstante, existen varias definiciones que describen de manera general el concepto de SDR. Una de las más aceptadas es la de Joe Mitola, quien afirma que los SDR *Son una clase de radios reprogramables o reconfigurables. En otras palabras, la misma pieza de hardware puede realizar diferentes funciones en tiempos diferentes, permitiéndole al hardware ser específicamente adaptado a la aplicación requerida [1].*

### 2.1.3 Descripción de una arquitectura SDR

El componente principal de la arquitectura SDR es el dispositivo de procesamiento digital de señal de alta velocidad para transmisión y recepción. El diseño de radio debe tener características como: tamaño y peso favorables, además de un consumo de energía adecuado. La figura 1 muestra la arquitectura básica utilizada en un SDR. Esta arquitectura de procesamiento digital de señal puede ser implementada utilizando algunos de los siguientes dispositivos FPGA's, ASIC's, Psocs (Program System on Chip), o DSP's [2].

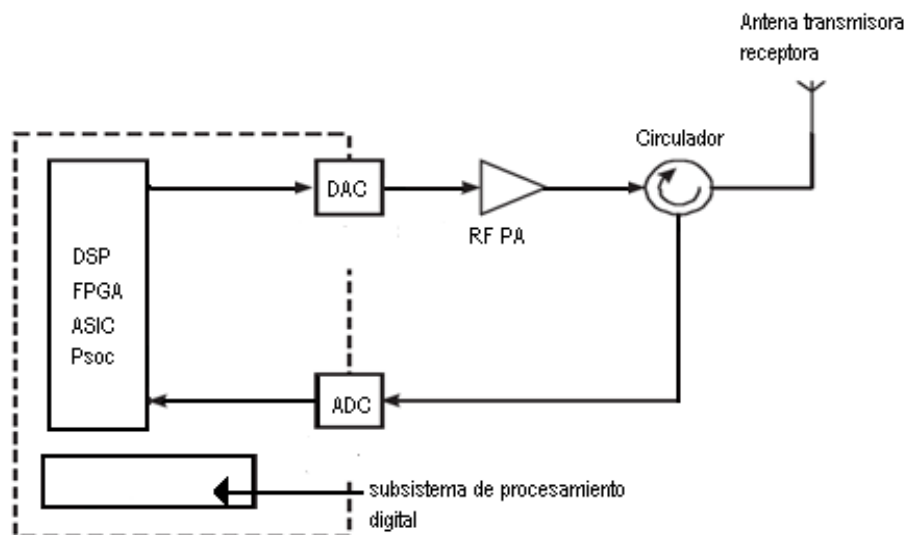


Figura 1. Arquitectura fundamental de un dispositivo radio definido por software [4].

Existen unas especificaciones básicas para los dispositivos SDR derivadas en parte de las propuestas de los actuales esquemas de telefonía celular y de los sistemas PMR (private móvil radio) en todo el mundo, y de algunas dificultades específicas impuestas por la arquitectura SDR (figura 1) sobre cada uno de los elementos del sistema. Estas especificaciones mostradas en la tabla 1, representan un desafío grande para lograr reunir las en un equipo basado en SDR.

Como se puede apreciar en la figura 1, la arquitectura ideal de un SDR comprende pocos módulos hardware y un alto procesamiento digital de señales para llevar a cabo las diferentes funciones que debe desempeñar un radio [3]. Las características y requerimientos de esta arquitectura de acuerdo con la tabla 1 se resumen a continuación [4].

Tabla 1. Especificaciones básicas para un equipo basado en SDR. [4]

Parámetros	Valor	Notas
Cobertura de frecuencia	100MHZ - 2.2GHZ	Esto cubriría la mayoría de PMR's, satélites móviles, y bandas UMTS en todo el mundo.
Rango dinámico de recepción.	0dbm a 120 dbm (basado en un ancho de banda de canal equivalente a 25khz )	Esto debe no solo poder con el desvanecimiento y las interferencias, sino, con cualquier frecuencia en el rango anterior.
Potencia de transmisión.	1W	Esto se esta reduciendo a medida que transcurre el tiempo, pero la mayoría de sistemas aun requieren este nivel de potencia (la mayoría de sistemas PMR requieren más).
Potencia de transmisión del canal adyacente.	-75dBc	Esta cifra está ligeramente por encima de las más conocidas especificaciones en esta área (ejm. TETRA)
Rango de control de la potencia transmitida.	70dB	La mayoría de sistemas CDMA requieren un gran rango de control de potencia.
Ancho de banda de canal.	5MHZ	Basado en los estándares 3GPP, UMTS.
Receptor con rechazo de frecuencia imagen.	60dB	Basado en una interpretación de especificaciones TETRA.

Esta arquitectura implementa técnicas avanzadas de arreglos de antenas para ofrecer el mejor rendimiento por medio de la capacidad de concentración de la radiación en las zonas deseadas; paralelo a esto, con la implementación del procesamiento digital de señales se aplica el concepto de antenas inteligentes. Este sistema de antenas inteligentes ofrece grandes beneficios en cuanto a la eliminación de la interferencia y el mejoramiento de la capacidad del sistema, adicional a esto, se convierte en un sistema indispensable en las estaciones base para la utilización de las técnicas de conformación

de haces. A través de la amplitud y los coeficientes de fase de la señal recibida en cada elemento de la antena se determina la dirección del lóbulo principal del diagrama de radiación, de esta manera se consigue la señal deseada para ser radiada por el lóbulo principal y las señales no deseadas o interferentes son minimizadas a través de la orientación de los nulos en esas direcciones.

Dentro de las funcionalidades del procesamiento digital de señal se encuentra la conformación de haces en banda base, la cual se requiere como proceso anterior a la amplificación de la señal a alta frecuencia (frecuencia de radio) por parte del amplificador de multi-portadora (MCPA), cuya función es la de reproducir una copia fiel de la señal en canales RF de alta potencia evitando al máximo que la señal sea distorsionada.

En las figuras 2 y 3 se puede apreciar un transmisor multi-portadora convencional y un transmisor basado en SDR con entradas digitales. La diferencia notoria entre ambos sistemas es el consumo de energía tan elevado del sistema tradicional en comparación con el sistema basado en SDR (figura 3). El gran ahorro en el consumo de energía reside en la posibilidad de ubicar el sistema de amplificación y conversión más cerca de las antenas, evitando las líneas de transmisión que conducen la señal en alta potencia hasta la antena (figura 3), las cuales producen pérdidas considerables. Además, se puede observar en la figura 3, que la señal es conducida digitalmente hasta el mástil por un solo cable, lo cual representa un aporte significativo al ahorro de energía. Adicional a esto, la eficiencia del MCPA es incrementada en un 15% gracias al uso de la técnica predistorsión en el transmisor SDR. Por último, el costo, peso, y tamaño se ven reducidos gracias al ahorro en líneas de transmisión, adaptadores, y disipadores de calor.

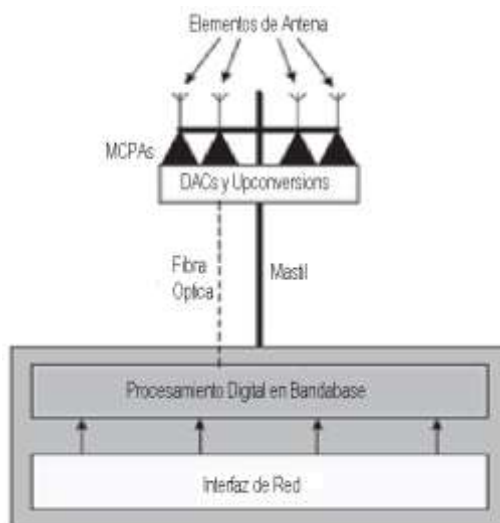


Figura 2. Estación base con antenas inteligentes empleando amplificación digital de potencia basada en SDR.[4]

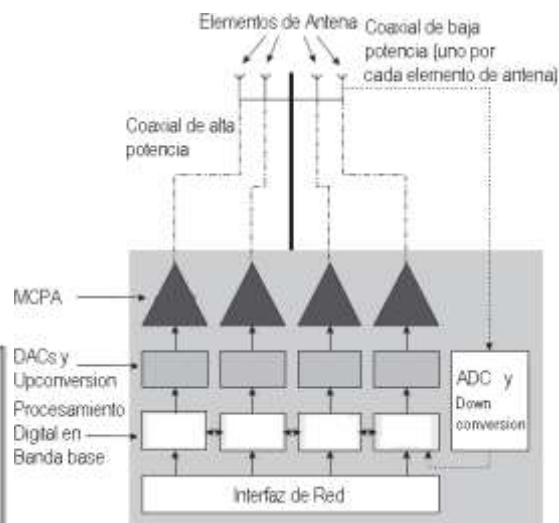


Figura 3. Enlace de bajada con antenas inteligentes basado en amplificadores convencionales multi-portadora.[4]

Otro componente fundamental en la arquitectura SDR es el circulador, cuya función es separar los caminos de entrada y salida de la señal del sistema transmisor – receptor, teniendo en cuenta aspectos tan importantes como la adaptación precisa entre el arreglo

de antenas, la impedancia del amplificador de potencia y el circulator, consiguiendo de esta manera el mayor aislamiento posible entre las puertas de entrada y salida de la señal del circulator.

El amplificador lineal de potencia garantiza una transferencia adecuada de la señal modulada desde el conversor DA hasta la antena, donde se recibe en alta potencia con bajas emisiones de canal adyacente, apta para transmitir. Este componente cobra gran importancia en la actualidad debido a que las transmisiones RF están fundamentalmente limitadas por la distorsión generada por el amplificador de potencia.

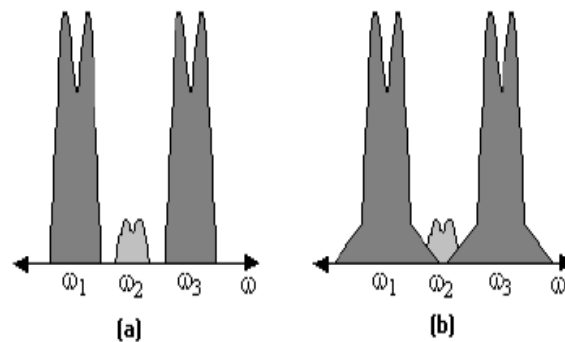


Figura 4. Modificación de la señal en los amplificadores de potencia. a) Caso ideal, y b) con distorsión. [5]

En la figura 4a), se puede apreciar como debería ser el funcionamiento ideal de un amplificador de potencia, manteniéndose la señal en los mismos rangos de frecuencia de la señal de entrada al amplificador. Sin embargo, los actuales amplificadores de potencia introducen distorsión la cual se manifiesta como una modificación espectral de la señal de salida y en un incremento del ancho de banda de la misma. Este crecimiento espectral se produce como consecuencia de una operación no lineal en una forma de onda que contiene frecuencias múltiples, creando así frecuencias adicionales a las originales. A este efecto se le conoce como productos de intermodulación. [5]

Un filtro anti-aliasing también se requiere en esta arquitectura para eliminar el aliasing (distorsión producida por el uso de una frecuencia de muestreo menor a la establecida por el teorema de Nyquist) producido en el componente de conversión ADC y DAC. Asumiendo que los conversores ADC y DAC contienen tasas de muestreo de muchos gigahertz, el proceso de implementación del filtro de reconstrucción anti-aliasing es más sencillo.

Los conversores ADC y DAC desempeñan un papel preponderante tanto en las obsoletas como en las nuevas arquitecturas de radio. El conversor ADC debe desempeñar tres funciones básicas; muestreo, cuantificación y codificación. De las anteriores, el muestreo constituye una de las funciones más relevantes ya que dependiendo de la frecuencia de muestreo se puede obtener una señal con características muy similares a la señal de entrada (caso ideal), o por el contrario se podría presentar distorsión y degradación de la señal en la salida. Teniendo en cuenta lo anterior, las recomendaciones de Nyquist y los requerimientos de la tabla 1 para un equipo basado en SDR, se necesitaría por lo menos una frecuencia de muestreo de 4.4GHZ o superior para que el filtro anti-aliasing logre un

buen rendimiento. Sin embargo, si al convertor le es permitido sub muestrear, la tasa de muestreo requerida caería dramáticamente. La frecuencia de muestreo en algún momento podría llegar hasta 20 MSPS (Megasamples per second) asumiendo que el filtrado de RF y las entradas analógicas estuvieran acorde con lo requerido. Esto permitiría que los requerimientos del ancho de banda de entrada puedan ser ampliados hasta 2.2GHz y con una resolución de alrededor de 20 bits.

El convertor DAC no presenta tantas exigencias como el ADC, aunque genera un alto consumo de energía, pero asumiendo que se emplea el componente de conversión de altas frecuencias (*up conversion*) y que el control de potencia se realiza ya sea antes o dentro del componente del amplificador lineal de potencia, se requiere una resolución de 12 a 14 bits a 20 MSPS.

Los DSP's, FPGA's, ASIC's, y Psoc conforman el subsistema de procesamiento digital de señales, y constituyen el corazón de las arquitecturas basadas en SDR, ya que tienen la capacidad de ejecutar varias aplicaciones a muy alta velocidad, basados en programación software. Tareas como: esquemas de modulación, canalización, protocolos, y ecualización para transmisión y recepción, son determinadas por el software dentro del subsistema de procesamiento digital. Actualmente la utilización de estas tecnologías hardware depende en gran parte de las necesidades que se tengan y de dos asuntos importantes relacionados con el consumo de energía y el costo de las diferentes opciones. El costo es un tema que requiere mucho análisis debido a que se debe tener en cuenta los innumerables beneficios para las distintas aplicaciones, tales como: el uso de la reconfigurabilidad como método de actualización, compatibilidad hacia atrás, susceptibilidad a mejoras, reparaciones y robustez. Todas estas características le otorgan flexibilidad al procesamiento digital. El costo, es un problema multifacético; la mayoría de diseños atribuyen el costo casi que exclusivamente al costo del dispositivo final, esto podría ser razonable cuando se tiene un dispositivo móvil como un teléfono celular el cual ejecuta un alto volumen de aplicaciones. En el caso de las estaciones base existen muchas otras consideraciones que podrían determinar el diseño final. Los factores que podrían influenciar el costo de elementos digitales SDR en una estación base son:

- Costo directo del procesamiento propio del dispositivo.
- Gastos no recurrentes.
- Inversión en herramientas/capacitación.
- Refrigeración.
- El tiempo de desarrollo y los recursos.
- Flexibilidad.

Como se mencionó anteriormente, un paso importante en la elaboración del diseño de la arquitectura SDR es seleccionar alguno de los dispositivos hardware para el procesamiento de señales digitales (SDR, FPGA, ASIC, Psoc). Las características más importantes de cada una de estos se resumen en la tabla 2.



Tabla 2. Comparación de diferentes tecnologías hardware apropiadas para SDR [2][6].

Tecnología	Ventajas	Desventajas
<b>FPGA</b>	<ul style="list-style-type: none"> <li>• Contienen bloques de lógica programable e interconexiones programables que le permiten ser utilizada en muchas aplicaciones distintas.</li> <li>• Costo relativamente bajo.</li> <li>• Bajo tiempo de desarrollo.</li> <li>• Reprogramabilidad y flexibilidad.</li> <li>• Procesamiento en paralelo.</li> <li>• Las últimas tecnologías incluyen más capacidad de procesamiento, gracias a la combinación de bloques lógicos con procesadores y periféricos.</li> <li>• Existe una gran cantidad de entornos de desarrollo especializados en diseño e implementaciones en un FPGA.</li> <li>• Acepta lenguaje de alto nivel.</li> <li>• Soporte para múltiples puertos de memoria.</li> <li>• Mayor densidad computacional, respecto al consumo de energía.</li> <li>• El controlar entradas y salidas (E/S) a nivel de hardware ofrece tiempos de respuesta más veloces.</li> </ul>	<ul style="list-style-type: none"> <li>• No poseen tanta densidad en compuertas lógicas.</li> <li>• Son más lentas y tienen mayor consumo de energía que las ASIC y los DSP.</li> <li>• No tiene un buen desempeño en operaciones de punto flotante.</li> <li>• No es eficiente para operaciones de alta complejidad.</li> </ul>
<b>ASIC</b>	<ul style="list-style-type: none"> <li>• Millones de compuertas lógicas.</li> <li>• Diseños robustos.</li> <li>• Diseño eficiente.</li> <li>• Bajo consumo de energía.</li> <li>• Son idóneas para procesos de alta complejidad.</li> </ul>	<ul style="list-style-type: none"> <li>• Es fabricado a la medida para un uso particular.</li> <li>• Costo elevado.</li> <li>• Tiempo de fabricación y terminación más largo.</li> <li>• Se depende de un solo fabricante.</li> <li>• Carecen de procesamiento en paralelo.</li> <li>• la adecuación algoritmo-arquitectura no es tan flexible como en un FPGA.</li> </ul>
<b>DSP</b>	<ul style="list-style-type: none"> <li>• Optimizados para aplicaciones que requieran operaciones numéricas a muy alta velocidad.</li> <li>• Es especialmente útil para el procesamiento y representación de señales analógicas en tiempo real.</li> <li>• Utiliza arquitectura de punto flotante, es más moderna, exacta y rápida para la mayoría de aplicaciones.</li> <li>• Trabaja a velocidades mayores que los FPGAs.</li> <li>• Presenta menor consumo de energía que los FPGAs.</li> </ul>	<ul style="list-style-type: none"> <li>• No pueden procesar señales de alta frecuencia.</li> <li>• No realiza procesamiento en paralelo.</li> <li>• Carece de la flexibilidad que poseen los FPGAs.</li> <li>• Son un tipo de microprocesador especializado de propósito general.</li> <li>• No es tan robusto.</li> <li>• No utiliza lenguaje de programación de alto nivel.</li> </ul>
<b>Psoc</b>	<ul style="list-style-type: none"> <li>• Presenta gran flexibilidad.</li> <li>• Bajo consumo de energía.</li> <li>• Tiene hasta 12 bloques analógicos integrados y 16 bloques digitales configurables.</li> <li>• Permite la implementación de algoritmos de procesamiento digital.</li> <li>• Reconfiguración dinámica.</li> </ul>	<ul style="list-style-type: none"> <li>• No realiza procesamiento en paralelo.</li> <li>• No son eficientes para proyectos que requieren alta velocidad y precisión.</li> <li>• Poseen muy poca memoria RAM.</li> <li>• Los bloques analógicos no trabajan con voltajes negativos.</li> </ul>

Analizando la tabla 2 se puede concluir que la adopción de alguna de estas tecnologías se encuentra determinada por el tipo de aplicación que se vaya a implementar, puesto que cada una de ellas posee capacidades inherentes para determinados tipos de aplicación, así como características indeseables para algunas otras. Para la conformación de una arquitectura SDR la utilización de un DSP le puede brindar una gran eficiencia en términos de velocidad de operación, mientras que un FPGA cumple con los requerimientos de flexibilidad de SDR, por lo tanto, un buen diseño de un dispositivo SDR podría ser aquel que se encuentre conformado por ambas tecnologías.

Para el desarrollo del proyecto *Diseño y Simulación del Componente de Conformación de Haces del Subsistema de Antenas para un Transpondedor Satelital de Próxima Generación Basado en SDR*, se adoptará la tecnología FPGA por las siguientes razones: el desarrollo del proyecto no requiere de operaciones numéricas demasiado complejas, las últimas familias de FPGAs vienen con procesadores empotrados especializados para este tipo de operaciones y la flexibilidad que pueden ofrecer.

## **2.2. Antenas**

### **2.2.1. Subsistema de antenas**

Después de la aparición de los sistemas de comunicación satelital se ha intentado optimizar el subsistema de antenas cambiando de una antena a otra o mejorando alguna antena específica. Los satélites utilizan antenas helicoidales, parabólicas, etc. Con el fin de darle valor agregado al subsistema de antenas se han ideado técnicas para mejorar la cobertura y ajustarla más a la zona de cobertura deseada. Se inicia con la antena de mayor uso en los satélites en los años 60's y 70's como es la antena parabólica que ofrece un haz de radiación fijo, posteriormente se desarrolló la técnica del reflector parabólico con múltiples alimentadores en los 80's, el cual brinda varios haces de radiación fijos incrementando el peso del satélite. En los 90's aparece el reflector parabólico perfilado, el cual con un solo alimentador podía brindar cobertura a una zona predeterminada con un diagrama de radiación fijo y con disminución en el peso del satélite, actualmente se utiliza la técnica de control de fase con arreglos de antenas que conmuta entre varios haces predeterminados y tiene posibilidad de cambiar la cobertura con un número finito de conformaciones de diagramas de radiación. En conclusión, con las técnicas de conformación de haces que hasta el momento han sido implementadas no se ha logrado una configuración flexible y eficiente de los diagramas de radiación, debido a que siguen siendo establecidos desde antes de su puesta en órbita y no pueden modificarse después de lanzado el satélite.

### **2.2.2. Antena**

*“Una antena es un dispositivo de transición, o transductor entre una onda electromagnética guiada y una onda electromagnética en el espacio libre o viceversa” [7].*

Algunos de los parámetros que se tienen en cuenta son:

**Diagramas de radiación:** son dibujos tridimensionales que muestran la forma en que la antena radia la energía en el espacio, dichos diagramas tienen un lóbulo principal que contiene la dirección hacia donde la antena radia con mayor intensidad, además tienen lóbulos secundarios y nulos que son las direcciones hacia las cuales la antena no radia. Estos diagramas dependen de las características físicas de la antena y de la frecuencia de trabajo, por lo tanto, a una frecuencia determinada son fijos y se denotan con  $f(\theta, \varphi)$ .

**Diagrama de campo:** se acostumbra expresarlo en coordenadas esféricas  $(r, \theta, \varphi)$ . Es el diagrama más utilizado, se expresa en dos dimensiones, que son cortes del lóbulo principal, uno es con  $\theta = \pi/2$  (diagrama en el plano H), y  $\varphi$  variable, el otro es con un valor fijo de  $\varphi$  y con  $\theta$  variable (diagrama en el plano E).

**Diagrama de potencia:** se expresa en términos de coordenadas esféricas y representan potencia por unidad de área o vector de Poynting a una cierta distancia de la antena en dirección  $\theta, \varphi$ .

**Ancho de haz:** es la medida del ángulo formado entre los nulos que limitan el lóbulo principal.

**Ancho de haz de potencia mitad:** es la medida del ángulo dentro del lóbulo principal que contiene los valores de intensidad mayores a la mitad de la potencia máxima radiada.

### 2.2.3. Zonas de campo

Se divide el espacio en dos zonas, la zona de campo cercano o Fresnel y la zona de campo lejano o Fraunhofer donde el radio de la esfera que los delimita depende de la máxima dimensión de la antena y de la longitud de onda.

Otros parámetros relacionados son: área de haz del lóbulo principal, eficiencia del haz, directividad, ganancia, apertura efectiva, apertura de dispersión, eficiencia de apertura, altura efectiva y resolución.

### 2.3. Arreglos de antenas

Las antenas tienen un diagrama de radiación fijo en la frecuencia de trabajo, por lo tanto, para cambiarlo se deben cambiar las características físicas de la antena. Al existir esta limitación en cuanto al control del diagrama de radiación de una antena, se desarrolló la teoría de los arreglos de antenas, que son antenas ubicadas cerca una de otra,

alimentadas con una misma señal aunque con fase y/o amplitud diferentes, que permiten variar los diagramas de radiación. Para comprender el funcionamiento de esta característica esencial para el proyecto, se procede al estudio de los arreglos de antenas.

Se dicen fuentes similares si la variación con los ángulos es la misma y la amplitud de excitación es diferente, se dicen fuentes idénticas si la variación con los ángulos y la amplitud de la excitación son iguales.

### 2.3.1. Arreglo lineal de n fuentes.

Sean n antenas ubicadas como en la figura 5. Se consideran las fuentes puntuales por facilidad del dibujo. P esta en el campo lejano, el campo en P producido por las n antenas es:

$$\mathbf{E}(\theta, \varphi) = \mathbf{E}_1(\theta, \varphi) + \mathbf{E}_2(\theta, \varphi) + \mathbf{E}_3(\theta, \varphi) + \dots + \mathbf{E}_n(\theta, \varphi) \quad (1)$$

Con

$$\mathbf{E}_i(\theta, \varphi) = \frac{E_i e^{j\delta_i} f_i(\theta, \varphi) e^{-j\beta R_i}}{R_i}, \quad i = 1, 2, 3, \dots, n \quad (2)$$

Donde  $\mathbf{E}_i(\theta, \varphi)$  es el campo en P debido a la fuente  $i$ ;  $E_i$  la intensidad de la excitación del elemento  $i$ ;  $f_i(\theta, \varphi)$  la función del diagrama de radiación del elemento  $i$ ,  $\delta_i$  el desfase entre la excitación del elemento  $i$  con respecto al elemento 1,  $R_i$  es la distancia del elemento  $i$  al punto de referencia y  $\beta = 2\pi/\lambda$ ;  $\lambda$  es la longitud de onda. Entonces:

$$\mathbf{E}(\theta, \varphi) = \sum_{i=1}^n \frac{E_i e^{j\delta_i} f_i(\theta, \varphi) e^{-j\beta R_i}}{R_i} \quad (3)$$

En el caso general el diagrama de campo es una función que depende de la intensidad del campo con que se alimente cada elemento  $E_i$ , de la fase relativa  $\delta_i$ , de la distancia al punto de observación  $R_i$  y de la función del diagrama de cada elemento  $f_i(\theta, \varphi)$ .

Para facilitar el control del diagrama de radiación del arreglo se procede a realizar ciertas acotaciones y aproximaciones.

- Como P está en el campo lejano  $R_i \gg d$  (ver figura 5), se realiza la siguiente aproximación que es valida para la amplitud.

$$R = R_1 = R_2 = \dots = R_n \quad (4)$$

- La aproximación debe ser más exacta para la fase debido a que es muy sensible a variaciones mínimas de distancia.

$$\begin{aligned}
 R_1 &= R \\
 R_2 &= R - d\cos\varphi \\
 R_3 &= R - 2d\cos\varphi \\
 R_4 &= R - 3d\cos\varphi \\
 &\vdots \\
 R_n &= R - (n-1)d\cos\varphi
 \end{aligned} \tag{5}$$

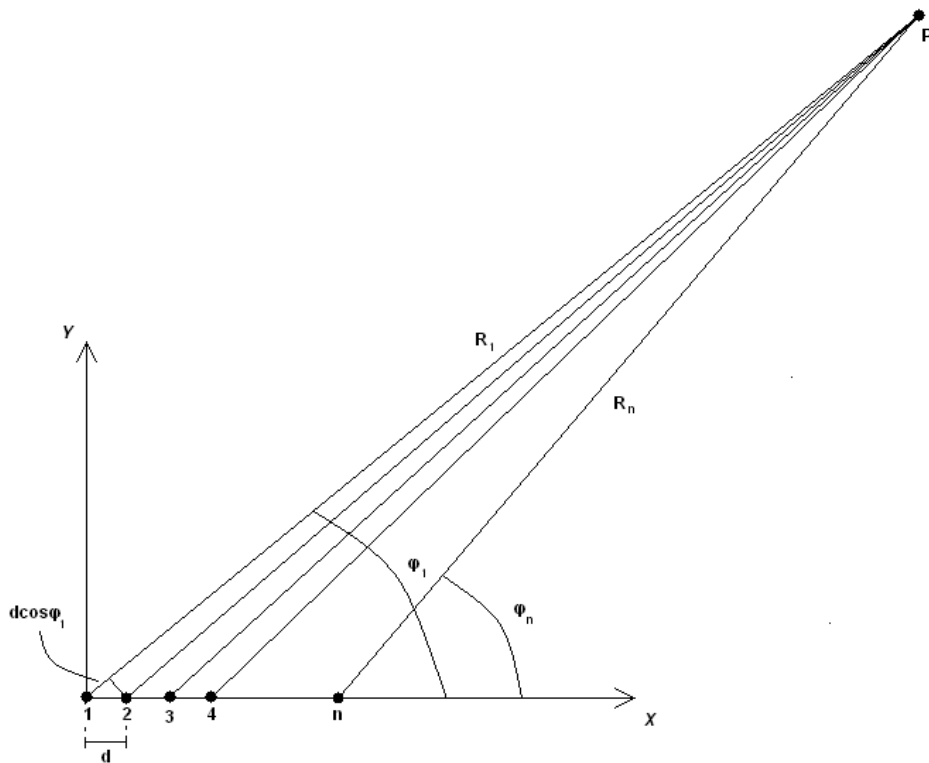


Figura 5. Arreglo lineal de n antenas

- Si los elementos de antena presentan diagramas de radiación idénticos.

$$f(\theta, \varphi) = f_1(\theta, \varphi) = f_2(\theta, \varphi) = \dots = f_n(\theta, \varphi) \tag{6}$$

- Si la señal de excitación entre dos elementos consecutivos tienen el mismo valor de diferencia de fase.

$$\begin{aligned}
 \delta_1 &= 0 \\
 \delta_2 &= \delta
 \end{aligned}$$

$$\begin{aligned}
\delta_3 &= 2\delta \\
&\vdots \\
&\vdots \\
\delta_n &= (n-1)\delta
\end{aligned} \tag{7}$$

El campo en P con las anteriores consideraciones es:

$$\begin{aligned}
\mathbf{E}(\theta, \varphi) &= \frac{f_i(\theta, \varphi)}{R} \sum_{i=1}^n E_i e^{-j\beta(R-(n-1)(d\cos\varphi)} e^{j(n-1)\delta} \\
\mathbf{E}(\theta, \varphi) &= \frac{f_i(\theta, \varphi)}{R} e^{-j\beta R} \sum_{i=1}^n E_i e^{j[\beta(n-1)d\cos\varphi+(n-1)\delta]} \\
\mathbf{E}(\theta, \varphi) &= \frac{f_i(\theta, \varphi)}{R} e^{-j\beta R} \sum_{i=1}^n E_i e^{j(n-1)[\beta d\cos\varphi+\delta]}
\end{aligned} \tag{8}$$

Sea  $\psi$  el ángulo eléctrico que tiene en cuenta el desfase relativo producido por las señales y el desfase debido a la diferencia de caminos.

$$\psi = \beta d\cos\varphi + \delta \tag{9}$$

$$\mathbf{E}(\theta, \varphi) = \frac{f(\theta, \varphi)}{R} e^{-j\beta R} \sum_{i=1}^n E_i e^{j(n-1)\psi}$$

Teniendo en cuenta solo la amplitud y normalizando el valor se tiene:

$$E_N(\theta, \varphi) = f(\theta, \varphi) \sum_{i=1}^n E_i e^{j(n-1)\psi} \tag{10}$$

En (20) se evidencia el principio de multiplicación de diagramas:

*“El diagrama de campo de un arreglo de fuentes similares es el producto del diagrama de radiación de la fuente individual y del diagrama del arreglo de fuentes isotrópicas puntuales, con las mismas ubicaciones, amplitudes y fases relativas de las fuentes no isotrópicas.” [7]*

El factor  $f(\theta, \varphi)$  es el diagrama de radiación que produce un elemento, el resto se conoce como factor del arreglo  $FA$ ,  $f(\theta, \varphi)$  depende de las características físicas del elemento que compone el arreglo, por lo tanto, una vez definido no es modificable, en cambio el  $FA$  puede ser útil para controlar el diagrama final de radiación.

Se procede entonces al análisis de este factor suponiendo fuentes isotrópicas, con el fin de realizar un análisis independiente del diagrama de radiación producido por el elemento de antena.

$$E(\theta, \varphi) = \sum_{i=1}^n E_i e^{j(n-1)\psi} \quad (11)$$

Se analiza un arreglo lineal uniforme (ALU), en donde además de tener las consideraciones anteriores, las antenas tienen una excitación de igual amplitud, que por facilidad se supone unitaria.

$$E_i = 1 \quad \text{Para } i = 1, 2, \dots, n$$

$$E(\theta, \varphi) = 1 + e^{j\psi} + e^{j2\psi} + e^{j3\psi} + \dots + e^{j(n-1)\psi}$$

Se multiplica la expresión anterior por  $e^{j\psi}$

$$E(\theta, \varphi)e^{j\psi} = e^{j\psi} + e^{j2\psi} + e^{j3\psi} + \dots + e^{jn\psi}$$

Restando las dos últimas expresiones se obtiene

$$E(\theta, \varphi) = \frac{1 - e^{jn\psi}}{1 - e^{j\psi}}$$

$$E(\theta, \varphi) = \frac{e^{\frac{jn\psi}{2}}}{e^{\frac{j\psi}{2}}} \left( \frac{e^{\frac{jn\psi}{2}} - e^{-\frac{jn\psi}{2}}}{e^{\frac{j\psi}{2}} - e^{-\frac{j\psi}{2}}} \right)$$

$$E(\theta, \varphi) = e^{j\left(\frac{n-1}{2}\right)\psi} \frac{\text{Sen}\left(\frac{n\psi}{2}\right)}{\text{Sen}\left(\frac{\psi}{2}\right)}$$

Considerando para el análisis el punto de referencia en el centro de gravedad del arreglo se consigue que el factor que afecta la fase,  $e^{j\left(\frac{n-1}{2}\right)\psi}$  sea igual a uno.

$$e^{j\left(\frac{n-1}{2}\right)\psi} = 1$$

$$E(\theta, \varphi) = \frac{\text{Sen}\left(\frac{n\psi}{2}\right)}{\text{Sen}\left(\frac{\psi}{2}\right)}$$

Se encuentra el máximo calculando el valor de E en el límite cuando  $\psi$  tiende a cero.

$$E_{max} = \lim_{\psi \rightarrow 0} \frac{\text{Sen}\left(\frac{n\psi}{2}\right)}{\text{Sen}\left(\frac{\psi}{2}\right)} = \lim_{\psi \rightarrow 0} \frac{\frac{n\psi}{2} \text{Cos}\left(\frac{n\psi}{2}\right)}{\frac{\psi}{2} \text{Cos}\left(\frac{\psi}{2}\right)} = \lim_{\psi \rightarrow 0} n \frac{\text{Cos}\left(\frac{n\psi}{2}\right)}{\text{Cos}\left(\frac{\psi}{2}\right)} = n$$

$$E_N(\theta, \varphi) = \frac{1}{n} \left[ \frac{\text{Sen}\left(\frac{n\psi}{2}\right)}{\text{Sen}\left(\frac{\psi}{2}\right)} \right] \quad (12)$$

La ecuación (12) representa el  $FA$  normalizado de un arreglo lineal con alimentación uniforme y fase progresiva entre sus antenas. Se analiza la forma en que se puede controlar el diagrama de radiación utilizando el  $FA$  obtenido. En la figura 6 se grafica (12); como se aprecia, el ancho del lóbulo es inversamente proporcional al número de antenas. El campo del arreglo es máximo cuando  $\psi$  es cero, entonces de (9):

$$\varphi_m = \arccos\left(-\frac{\delta}{\beta d}\right) \quad (13)$$

$$\delta = -\beta d \cos\varphi_m$$

De (13) se concluye que se puede controlar la dirección del máximo de radiación  $\varphi_m$  variando la fase relativa entre las antenas  $\delta$  y la distancia entre ellos  $d$ . Siendo este último un valor fijo en el sistema, el control de la dirección del haz se reduce a la variación de la fase relativa  $\delta$  ver tabla 3. El ángulo de máxima radiación no depende del número de antenas.

Tabla 3. Dirección máxima de radiación, con respecto al eje que contiene las antenas para un arreglo de  $n$  antenas con  $d = \lambda/2$ .

$\varphi_m$	$90^\circ$	$180^\circ$	$0^\circ$	$120^\circ$	$60^\circ$	$75.52^\circ$	$104.48^\circ$	$70.53^\circ$	$109.47^\circ$
$\delta$	$0$	$\pi$	$-\pi$	$\pi/2$	$-\pi/2$	$\pi/4$	$-\pi/4$	$\pi/3$	$-\pi/3$

Arreglo transversal (Broadside), es un arreglo cuya máxima dirección de radiación es  $90^\circ$  respecto al eje del arreglo, para conseguir esta dirección de radiación según la tabla 3, la diferencia de fase entre sus elementos debe ser cero.

Arreglo longitudinal (End-fire), es un arreglo cuya máxima dirección de radiación respecto al eje del arreglo es  $0^\circ$ , para conseguir esta dirección de radiación según la tabla 3, la diferencia de fase entre sus elementos debe ser  $-\pi$ .

Se puede calcular el ancho del haz encontrando los primeros nulos de radiación, de (10) se obtiene el valor para los nulos.

$$e^{jn\psi} = 1$$

$$\psi = \pm \frac{2K\pi}{n}, K = 1, 2, 3, \dots$$



De (9)

$$\varphi_0 = \arccos \left[ \left( \pm \frac{2K\pi}{n} - \delta \right) \frac{1}{\beta d} \right]$$

$$BWFN = \arccos \left[ \cos \varphi_m - \frac{2K\pi}{n\beta d} \right] + \arccos \left[ \cos \varphi_m + \frac{2K\pi}{n\beta d} \right] \quad (14)$$

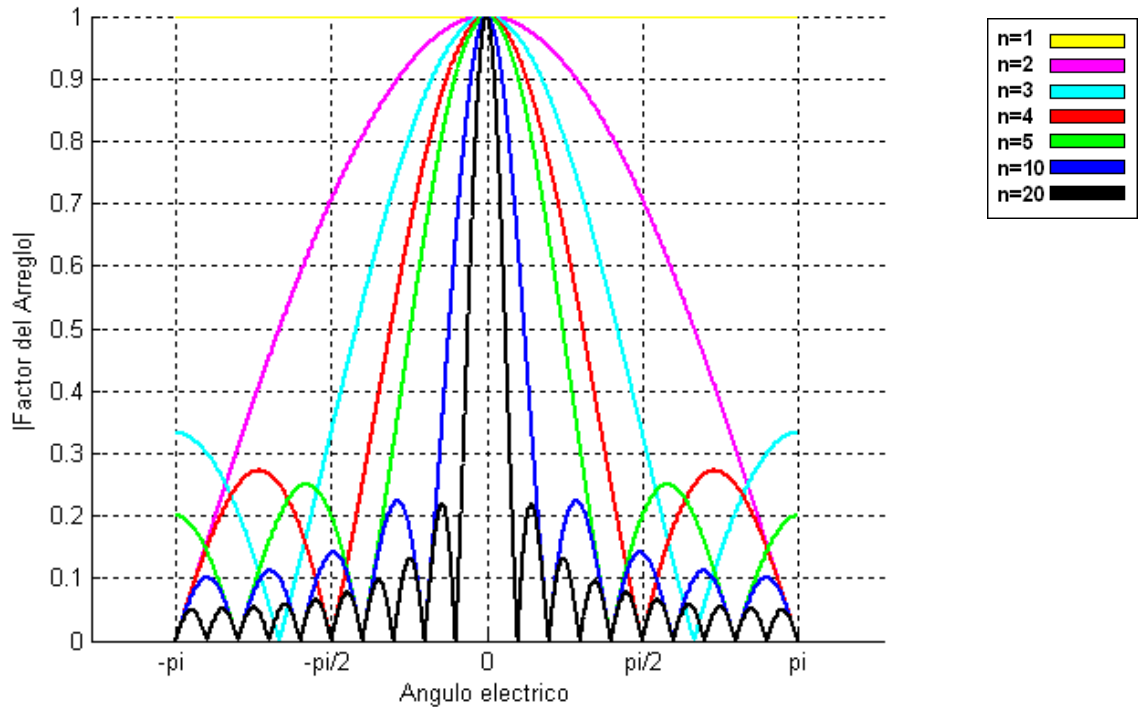


Figura 6. Diagramas de radiación de un ALU con variación en el número de antenas.

Analizando la figura 6 y la ecuación (14) se concluye que el ancho del haz entre primeros nulos (BWFN, Beam Width First Nulls) depende de: el número de antenas del arreglo, la distancia entre antenas y la fase relativa, siendo la distancia un valor fijo y la fase relativa un valor determinado por la dirección de máxima radiación deseada, se concluye que para una dirección determinada es posible variar el ancho del haz únicamente si se varía la cantidad de antenas del arreglo. Ver tabla 4.

Tabla 4. Valor de BWFN para variaciones de la fase relativa con separación  $d = \lambda/2$

$\delta$	$\pm 3\pi/4$	$\pm 2\pi/3$	$0$	$\pm \pi/6$	$\pm \pi/4$	$\pm \pi/3$	$\pm \pi/2$
BWFN(n=10)	38.4°	31.9°	23°	23.4°	23.8°	24.5°	27°
BWFN(n=100)	3.4°	3°	2.3°	2.32°	2.36°	2.4°	2.64°

Existen variaciones en el ancho del haz al variar  $\delta$ , pero este valor está determinado por la dirección de máxima radiación deseada. Variando el número de antenas  $n$ , se consiguen también variaciones del ancho del haz. Se debe tener en cuenta que el ancho

de haz más angosto se logra cuando el arreglo es transversal, es decir, con diferencia de fase relativa cero y que el ancho del haz aumenta a medida que se tiende a un arreglo longitudinal o de fase  $\pi$ . Para dar claridad al efecto de la variación de la fase, en el diagrama de radiación en la figura 7 se presentan los diagramas de radiación tridimensionales de un arreglo lineal, con 4 fuentes separadas  $\lambda/2$  para distintos ángulos fase  $\delta$ .

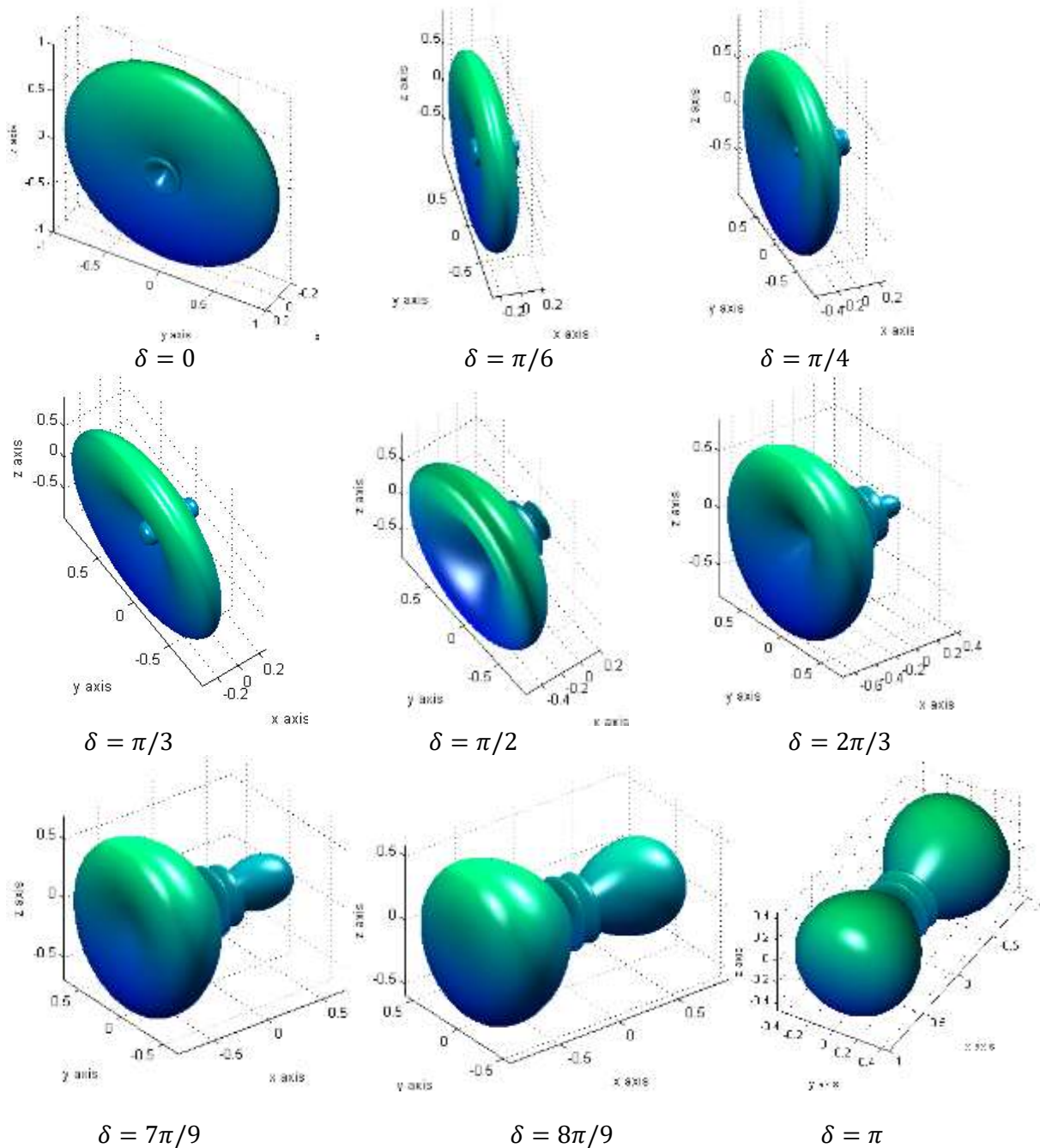


Figura 7. Diagramas de radiación de un arreglo lineal uniforme de 4 fuentes y  $d = \lambda/2$ . Un parámetro importante del haz de radiación es el ancho de haz de potencia mitad (BWHP, Beam Width Half Power) en términos de excitación se consigue cuando el diagrama de campo normalizado (12) toma el valor de 0.7071.

$$E_N(\theta, \varphi) = \frac{\text{Sen}\left(\frac{n\Psi}{2}\right)}{n\text{Sen}\left(\frac{\Psi}{2}\right)} = \sqrt{\frac{1}{2}} = 0.7071$$

Donde (12) es una ecuación que se puede resolver utilizando la siguiente aproximación.

$$\frac{\text{Sen}\left(\frac{n\Psi}{2}\right)}{n\text{Sen}\left(\frac{\Psi}{2}\right)} \cong \frac{\text{Sen}\left(\frac{n\Psi}{2}\right)}{\frac{n\Psi}{2}}$$

Donde el punto de 3dB ocurre cuando (ver anexo C):

$$\frac{n\Psi}{2} = \frac{n}{2}(\beta d \cos\varphi_h + \delta) = \pm 1.391$$

$$\varphi_h = \arccos\left[\pm \frac{2.782}{n\beta d} - \frac{\delta}{\beta d}\right]$$

$$\varphi_h = \arccos\left[\pm \frac{2.782}{n\beta d} + \cos\varphi_m\right]$$

$$\text{BWHP} = \arccos\left[\cos\varphi_m - \frac{2.782}{n\beta d}\right] - \arccos\left[\cos\varphi_m + \frac{2.782}{n\beta d}\right] \quad (15)$$

### 2.3.2. Arreglo superficial de n fuentes

Como se mostró en el ítem anterior los arreglos lineales proporcionan control sobre el ángulo de dirección  $\varphi$  y presentan simetría respecto al eje del arreglo, si es necesario un control más exacto, como el de los dos ángulos de dirección  $\theta, \varphi$ , se debe recurrir a un arreglo que de más grados de libertad, se analiza entonces el caso de un arreglo superficial.

Sean  $m \times n$  antenas ubicadas como en la figura 8. Si se observan las  $n$  antenas ubicadas sobre el eje  $X$  se nota que son un arreglo lineal y su  $FA$  es:

$$E_x(\theta, \varphi) = \sum_{i=1}^n E_i e^{j(n-1)\Psi_x} = FA_x \quad (16)$$

Donde:

$$\Psi_x = \beta d_x \text{sen}\theta \cos\varphi + \delta_x \quad (17)$$

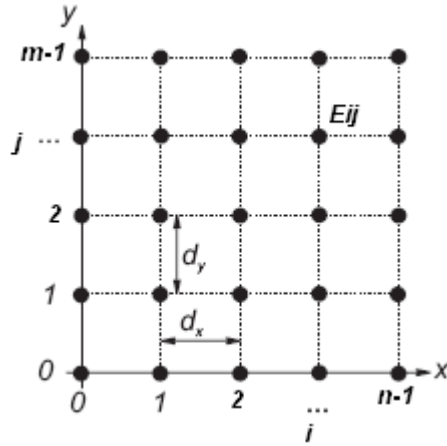


Figura 8. Arreglo plano rectangular de antenas

Además es igual para todos los arreglos paralelos al eje X, si se considera cada arreglo paralelo al eje X como un elemento de un arreglo sobre el eje Y se cumple que:

$$E(\theta, \varphi) = \sum_{j=1}^m E_j e^{j(m-1)\psi_y} * FA_x \quad (18)$$

Donde  $FA_x$  es como en (16) y  $E$  es el diagrama de campo total.

$$E(\theta, \varphi) = \sum_{j=1}^m E_j e^{j(m-1)\psi_y} * \sum_{i=1}^n E_i e^{j(n-1)\psi_x} \quad (19)$$

Donde:

$$\psi_y = \beta d_y \sin\theta \sin\varphi + \delta_y \quad (20)$$

Si los coeficientes de excitación de amplitud  $E_j$  son proporcionales a los  $E_i$ , entonces la amplitud en cualquier elemento se puede escribir como [7]:

$$E_{ij} = E_{i1} E_{1j}$$

Si además la excitación del arreglo es uniforme, el  $FA$  queda:

$$FA(\theta, \varphi) = E_0 \sum_{j=1}^m e^{j(m-1)\psi_y} * \sum_{i=1}^n e^{j(n-1)\psi_x}$$

Si se sigue un procedimiento similar al del arreglo lineal se obtiene:

$$FA(\theta, \varphi) = \left\{ \frac{1}{n} \frac{\text{Sen}\left(\frac{n\psi_x}{2}\right)}{\text{Sen}\left(\frac{\psi_x}{2}\right)} \right\} \left\{ \frac{1}{m} \frac{\text{Sen}\left(\frac{m\psi_y}{2}\right)}{\text{Sen}\left(\frac{\psi_y}{2}\right)} \right\} \quad (21)$$

Donde

$$\psi_x = \beta d_x \text{sen}\theta \cos\varphi + \delta_x$$

$$\psi_y = \beta d_y \text{sen}\theta \text{sen}\varphi + \delta_y$$

Los valores máximos del lóbulo principal se dan cuando  $\psi_x = 0$  y  $\psi_y = 0$

$$\beta d_x \text{sen}\theta \cos\varphi + \delta_x = 0$$

$$\beta d_y \text{sen}\theta \text{sen}\varphi + \delta_y = 0$$

Las fases  $\delta_x$  y  $\delta_y$  son independientes, por lo tanto se pueden ajustar de forma que los máximos principales no coincidan, sin embargo para una aplicación como la de este proyecto es recomendable que los dos máximos coincidan para esto es necesario que se cumpla que:

$$\delta_x = -\beta d_x \text{sen}\theta_0 \cos\varphi_0 \quad (22)$$

$$\delta_y = -\beta d_y \text{sen}\theta_0 \text{sen}\varphi_0 \quad (23)$$

De donde:

$$\tan\varphi_0 = \frac{\delta_y d_x}{\delta_x d_y}$$

$$\text{sen}^2\theta_0 = \left(\frac{\delta_x}{\beta d_x}\right)^2 + \left(\frac{\delta_y}{\beta d_y}\right)^2$$

Para definir el ancho de haz se han escogido dos planos. Uno es el plano de elevación definido por el ángulo  $\varphi = \varphi_0$  y el otro es un plano perpendicular al anterior. El BWHP de cada plano se denomina como  $\alpha_h$  y  $\psi_h$ . Por ejemplo si el máximo del arreglo apunta hacia  $\theta_0 = \pi/2$  y  $\varphi_0 = \pi/2$ , entonces  $\alpha_h$  representa el BWHP en el plano  $yz$  y  $\psi_h$  el BWHP en el plano  $xy$ .

Para arreglos cuadrados con elevado número de antenas y con radiación cercana a la transversal,  $\alpha_h$  y  $\psi_h$  están dados aproximadamente por [7]:

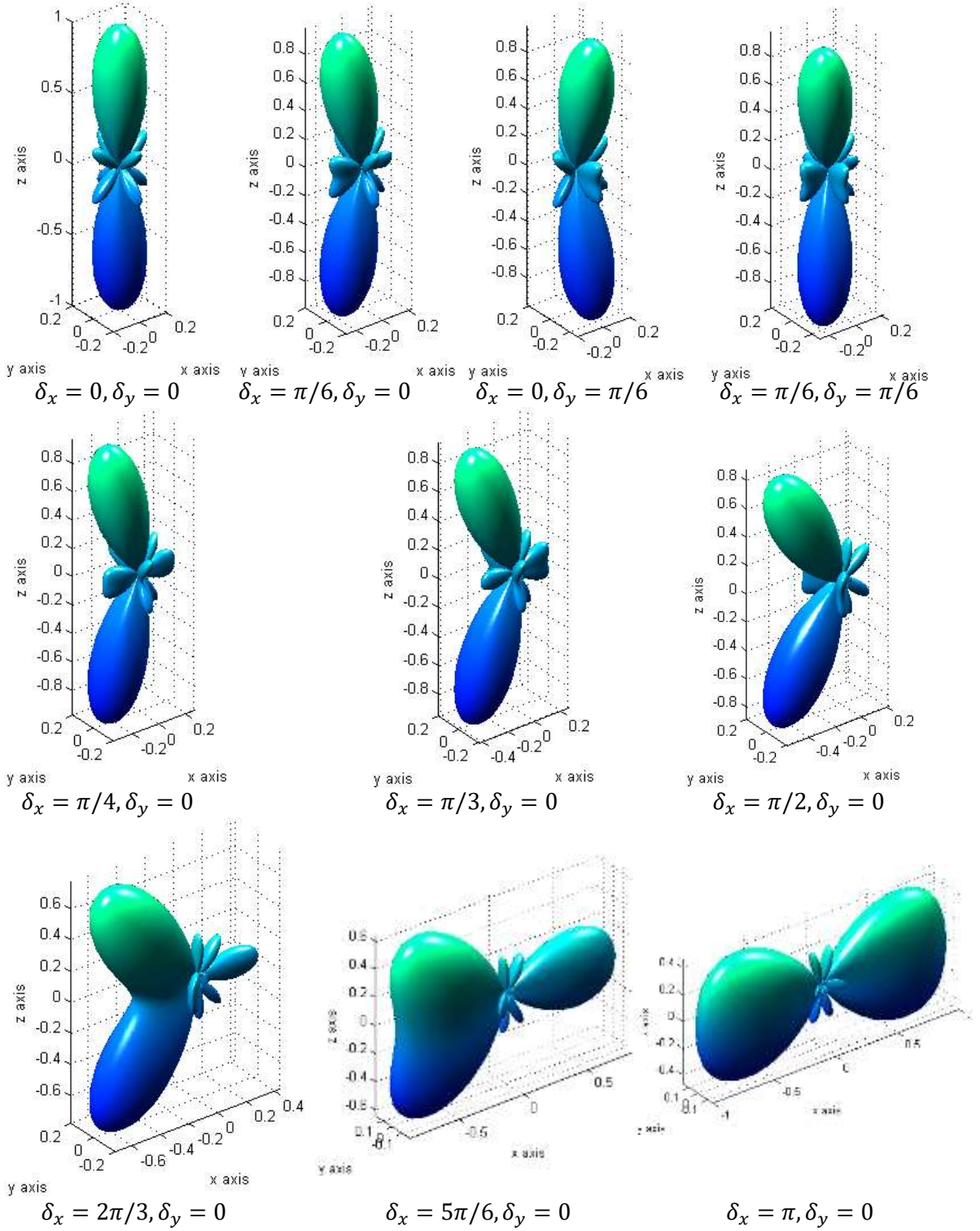


Figura 9. Diagramas de radiación de un arreglo superficial de 4x4 y  $d = \lambda/2$ .

$$\alpha_h = \varphi_{hx} \text{Sec}\theta_0 = \varphi_{hy} \text{Sec}\theta_0$$

$$\Psi_h = \varphi_{hx} = \varphi_{hy}$$

Se define el haz de ángulo sólido  $\Omega_A$  como BWHP total del arreglo superficial:

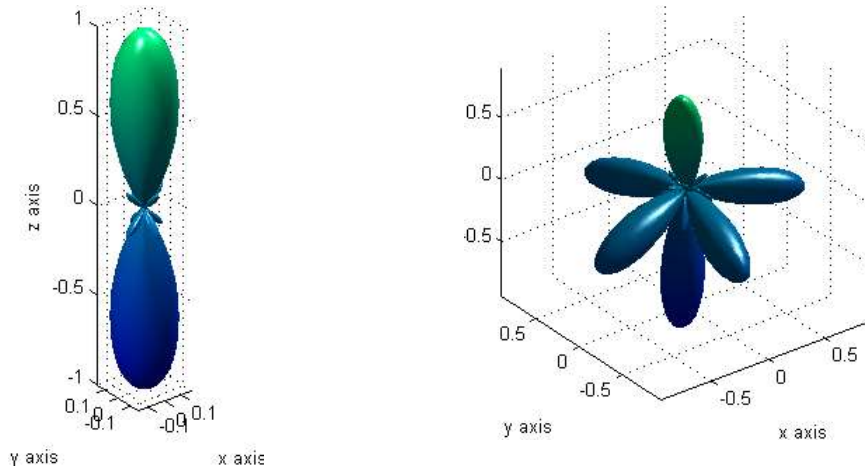
$$\Omega_A = \alpha_h \Psi_h \quad (24)$$

En la figura 9 se muestra una serie de diagramas de radiación para un arreglo superficial.

De forma análoga se puede trabajar con arreglos volumétricos obteniendo un factor de arreglo, que obedece a: erupción

$$FA(\theta, \varphi) = \left\{ \frac{1}{n} \frac{\text{Sen}\left(\frac{n\Psi_x}{2}\right)}{\text{Sen}\left(\frac{\Psi_x}{2}\right)} \right\} \left\{ \frac{1}{m} \frac{\text{Sen}\left(\frac{m\Psi_y}{2}\right)}{\text{Sen}\left(\frac{\Psi_y}{2}\right)} \right\} \left\{ \frac{1}{p} \frac{\text{Sen}\left(\frac{p\Psi_z}{2}\right)}{\text{Sen}\left(\frac{\Psi_z}{2}\right)} \right\} \quad (25)$$

De (25) se obtienen gráficos como los de la figura 10.



$$\delta_x = 0, \delta_y = 0, \delta_z = \pi$$

$$\delta_x = \pi/4, \delta_y = \pi/4, \delta_z = \pi/4$$

Figura 10. Diagramas de radiación de un arreglo de 4x4x4 y  $d = \lambda/2$ .

La tabla 5 consigna las características principales de los tipos de arreglo según su distribución espacial.

Los criterios para definir el ancho de haz adecuado para el proyecto, dependen del área mínima a la que se desee dar cobertura. En la figura 11 se muestran las diferencias entre los anchos de haz en los diagramas de radiación de un arreglo superficial cuando varía el número de antenas.



Tabla 5. Comparación de los tipos de arreglo.

Arreglo	Simetría	Lóbulos principales	Control del haz
Lineal	Eje del arreglo	Uno (excepto end-fire)	Solo en dirección $\theta$
Superficial	Plano del arreglo	Dos	En dirección $\theta$ y $\varphi$
Volumétrico	No	Múltiples	Complejo por múltiples lóbulos principales

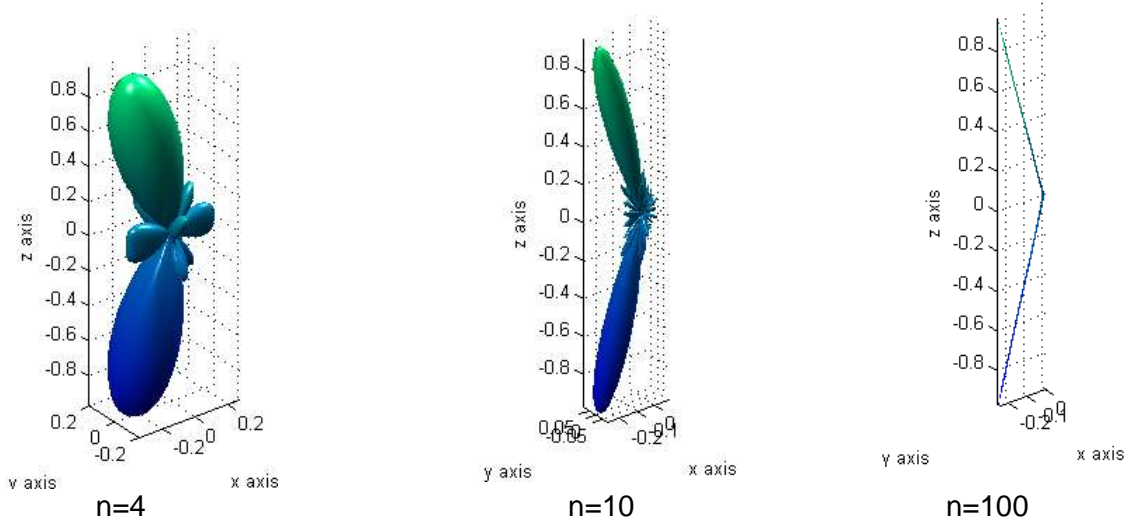


Figura 11. Diagramas de radiación de un arreglo superficial simétrico de  $n$  antenas y con  $\delta_x = \pi/4$ ,  $\delta_y = \pi/4$  y  $d = \lambda/2$

## 2.4. Corrimiento de fase

Como se expresó en las secciones anteriores el valor de la diferencia de fase de la excitación entre antenas es el parámetro que controla la dirección del haz principal, por tanto, es útil conocer la forma en que se puede efectuar el corrimiento de fase en una señal.

A partir de la señal de información se deben obtener señales independientes para cada antena; dichas señales deben contener la misma información de la señal original, la diferencia entre cada una de ellas reside en la fase que tengan con respecto a la señal original; para conseguir el corrimiento de fase se utiliza un método que consiste en realizar algunas operaciones matemáticas a la señal, donde se obtiene una señal idéntica a la original pero con corrimiento en frecuencia y con la fase deseada. A continuación se detalla el procedimiento matemático a seguir para obtener la señal deseada para algún elemento de antena [8].

Sea  $y(t)$  la señal original y  $\cos(\omega t)$  y  $\sin(\omega t)$  dos señales desfasadas 90 grados y con una frecuencia angular  $\omega$ . La multiplicación de estas dos señales permite desplazar la señal de información  $y(t)$  a una frecuencia mayor.



$$i_n(t) = y(t)\cos(\omega t) \quad (26)$$

$$q_n(t) = y(t)\sin(\omega t) \quad (27)$$

Donde  $i_n(t)$  se llama señal en fase y  $q_n(t)$  se llama señal en cuadratura.

El siguiente paso consiste en multiplicar las señales en fase y en cuadratura por  $\cos(\alpha_n)$  y por  $\sin(\alpha_n)$  respectivamente, donde  $\alpha_n$  es el valor de corrimiento de fase que se necesita para alimentar la antena n.

$$yi_n(t) = i_n(t) \cos(\alpha_n) = y(t)\cos(\omega t)\cos(\alpha_n) \quad (28)$$

$$yq_n(t) = q_n(t) \sin(\alpha_n) = y(t)\sin(\omega t) \sin(\alpha_n) \quad (29)$$

Utilizando las identidades trigonométricas de multiplicación de cosenos y de senos se obtiene:

$$yi_n(t) = \frac{y(t)}{2} (\cos[\omega t - \alpha_n] + \cos[\omega t + \alpha_n]) \quad (30)$$

$$yq_n(t) = \frac{y(t)}{2} (\cos[\omega t - \alpha_n] - \cos[\omega t + \alpha_n]) \quad (31)$$

Sumando (31) y (30) se obtiene

$$y_n(t) = y(t) \cos[\omega t - \alpha_n] \quad (32)$$

Donde  $y_n(t)$  es la señal con que se debe alimentar el elemento  $n$  del arreglo,  $y_n(t)$  es una señal semejante a  $y(t)$ , con la misma información, aunque desplazada en frecuencia y con un corrimiento de fase predeterminado; al alimentar cada elemento con las señales obtenidas en este procedimiento se puede generar el diagrama de radiación con las características de dirección requeridas.

## 2.5. Sistema satelital geoestacionario

La órbita geoestacionaria representa un caso particular de las orbitas geosincronicas, debido a que tiene excentricidad e inclinación iguales a cero, es decir, que la órbita es circular y está sobre el plano ecuatorial.

Los satélites en este tipo de sistemas se encuentran ubicados sobre la tierra a una distancia orbital de 35.786 km sobre el nivel del mar, con latitud cero grados, y a una longitud que se debe escoger según el área de cobertura que se desee y la disponibilidad física. El periodo orbital de los satélites es igual al periodo de rotación de la tierra 23 horas 56 minutos 41 segundos, razón por la cual los satélites parecen estar fijos al ser

vistos desde una estación terrestre. Debido a estas características, quedan establecidos en 17,4 grados los BWHP que dan un cubrimiento aproximado del 40% sobre la superficie terrestre [9]. Sin embargo, se debe tener en cuenta un parámetro conocido como ángulo de elevación de las antenas en tierra, el cual evita principalmente la interferencia por ruido terrestre; los mínimos ángulos de elevación son de 5 grados, hay sistemas en los cuales este parámetro es de 20 grados.

La variación de la dirección hacia donde se desee dirigir el lóbulo principal está en un rango de 17°, si se toma como ángulo mínimo de elevación 5 grados. Lo anterior limita la cantidad de direcciones de lóbulo principal que se pueden escoger para un sistema de conformación de haces en un sistema satelital geoestacionario.

Teniendo en cuenta el contenido del capítulo se concluye que la mejor opción para el desarrollo del proyecto es la utilización de un arreglo superficial, el cual brinda un control total de la dirección del haz, y además es menos complejo que un arreglo volumétrico, el inconveniente es la formación de un segundo lóbulo principal, esta situación se puede superar si se tiene en cuenta que los diagramas de radiación presentados obedecen únicamente al factor del arreglo, entonces con una adecuada elección del elemento de antena se puede evitar la radiación hacia uno de los lóbulos principales, por ejemplo utilizando antenas directivas tipo bocina que solo apunten en dirección de la tierra se puede conseguir eficientemente un ancho de haz de 17°. Para minimizar las operaciones a implementar en software y así reducir al máximo los tiempos de procesamiento se opta por un arreglo superficial cuadrado y con alimentación uniforme. Otra conclusión importante tiene que ver con el número de antenas a utilizar en el arreglo puesto que de dicho número depende el ancho del haz principal que se requiera. El proyecto se dirige a la prestación de un servicio fijo por satélite en la órbita geoestacionaria, razón por la cual, se hace necesario reducir al máximo el ancho del haz.

## **2.6. Estado del arte**

La información sobre las técnicas de conformación de haces con arreglos de antenas soportados por SDR es escasa dado que tales procesos no se han realizado específicamente para sistemas satelitales sino para sistemas terrestres en general, en especial para comunicaciones móviles celulares. La gran mayoría son simulaciones en donde se evalúa el desempeño de algoritmos propuestos y se comparan con otros existentes. Algunos proyectos, estudios, artículos e investigaciones relacionados con las técnicas de conformación de haces y los FPGA's, en el ámbito internacional, se mencionan a continuación.

En 2006, Sarraf, Ouameur, y Massicotte, [10], en la Universidad de Quebec en Canadá llevaron a cabo un trabajo de investigación cuyos resultados se publicaron en la décimo séptima conferencia internacional sobre sistemas, arquitecturas y procesadores de aplicación específica de la IEEE, donde se investigó la conformación de haces basados en MRC y la restricción de ruido con LMS utilizando el método de prototipado rápido para implementación en FPGA. Se consideraron técnicas de conformación de haces adaptativas y no adaptativas. Se presentó una evaluación de desempeño de estos

algoritmos en un sistema CDMA y el diseño de FPGA se evaluó en términos de los recursos hardware con las herramientas matlab y Simulink.

En 2005, Gay, [11] publicó en la revista de la defensa (Journal of Electronic Defense), un artículo en el que se discutió el incremento del uso del espectro de radio frecuencia teniendo en cuenta las fases de los arreglos de antenas y se analizaron los requerimientos en cuanto a carga de procesos de la implementación de un algoritmo de conformación de haces adaptativo que controle el arreglo. En el cual se concluyó que era posible implementar sobre un FPGA una conformación de haces adaptativos utilizando descomposición mediante operación de matrices.

En 2008, Yang, [12]. En la vigésimo tercera conferencia técnica internacional sobre circuitos/sistemas, computadores y comunicaciones; publicó el resultado de una investigación que establece las diferencias en costos de potencia y uso de hardware entre la utilización de LUT's(Look Up Tables, Tablas de consulta de datos) del FPGA y la implementación de operaciones matemáticas para conseguir resultados idénticos, el artículo concluye que es mejor el uso de LUT's siempre y cuando no se ocupen demasiadas direcciones de memoria.

### 3. DISEÑO Y SIMULACIÓN DEL COMPONENTE DE CONFORMACIÓN DE HACES DEL SUBSISTEMA DE ANTENAS.

En el capítulo de fundamentación teórica se describieron en detalle dos de las principales técnicas de arreglos de antenas y se mencionaron las diferentes tecnologías de procesamiento digital de señal apropiadas para los propósitos del proyecto, con el fin de tener suficientes elementos críticos que permitan la adecuada elección de los elementos hardware y software para la elaboración del diseño y su simulación.

Este capítulo contiene la descripción modular del diseño del componente de conformación de haces del subsistema de antenas para un sistema satelital de próxima generación basado en SDR, el cual ha sido diseñado con el fin de crear un sistema óptimo de conformación de haces para transmisión en aplicaciones satelitales, más específicamente, dirigido a servicio fijo por satélite. También incluye una breve descripción de las herramientas de diseño y simulación utilizadas.

#### 3.1. Herramientas de Diseño y Simulación.

Para escoger la herramienta de diseño es indispensable tener en cuenta el dispositivo seleccionado. Por las razones expuestas en el capítulo anterior, el dispositivo idóneo para cumplir con las exigencias del proyecto es el FPGA, dentro de esta tecnología se encuentran dos proveedores reconocidos; Altera y Xilinx. Ambos son pioneros en la industria, aunque existe una notable ventaja a favor de Xilinx como se puede ver en la figura 12. Además, *Xilinx sigue apostando por la reconfiguración dinámica mientras que altera la ha descartado totalmente* [13].

Xilinx System generator (XSG) es un ambiente de diseño integrado (IDE) a nivel de sistema para FPGAs, ésta herramienta de software permite crear y verificar diseños de hardware para FPGAs de Xilinx, utiliza Simulink como entorno de desarrollo y se hace presente en forma de *blockset* (configuración de bloques) permitiendo también la inclusión de herramientas de procesamiento digital de señales (DSP), Tiene la opción de generar el archivo de configuración (.bit) necesario para la programación del FPGA. Una característica fundamental del XSG es que posee abstracción aritmética, es decir, trabaja con representaciones en punto fijo con una precisión arbitraria, incluyendo la cuantización y el sobreflujo. También puede realizar simulaciones tanto en doble precisión como en punto fijo. XSG puede generar automáticamente el código en lenguaje de alto nivel (HDL) a partir de un modelo en Simulink y un proyecto ISE del modelo que se esté desarrollando. Puede realizar síntesis jerárquica de lenguaje verilog de alto nivel (VHDL), expansión y mapeo de hardware, además de generar archivos UCF, archivos de simulación, vectores de prueba y archivos testbench, entre otras cosas.

Los bloques en XSG operan con valores booleanos o valores arbitrarios en punto fijo. Esto es para dar una mejor aproximación a la implementación hardware. En contraste, Simulink trabaja con números de punto flotante de doble precisión. La conexión entre los bloques de Xilinx System Generator y los bloques de Simulink son los bloques *gateway*, los cuales se encargan de realizar las conversiones de tipo de dato a punto fijo [14].

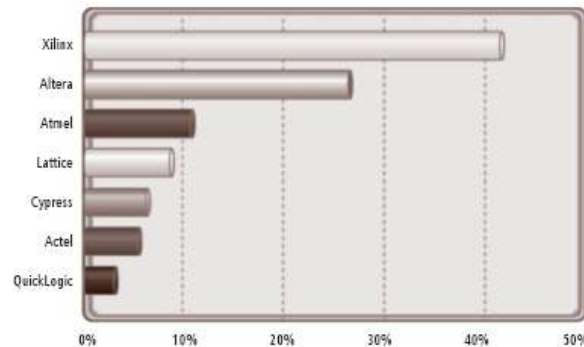


Figura 12. Principales participantes en el mercado de la tecnología FPGA.[13]

MATLAB es una herramienta matemática que integra funciones de visualización con un lenguaje flexible, ha tenido gran aceptación como herramienta para ciencia e ingeniería, su arquitectura abierta permite la integración con otras herramientas entre las cuales se encuentran; adquisición de datos, análisis de datos, visualización y procesamiento de imágenes, desarrollo de algoritmos, modelado y simulación, desarrollo de aplicaciones, etc.

Simulink viene incorporado en Matlab, es una herramienta interactiva para modelamiento, simulación, y análisis dinámico de sistemas, es muy utilizado para diseño de sistemas de control, DSP, comunicaciones, entre otras aplicaciones. Permite construir diagramas en bloques, simular el comportamiento del sistema, evaluar su eficiencia y mejorar el diseño.

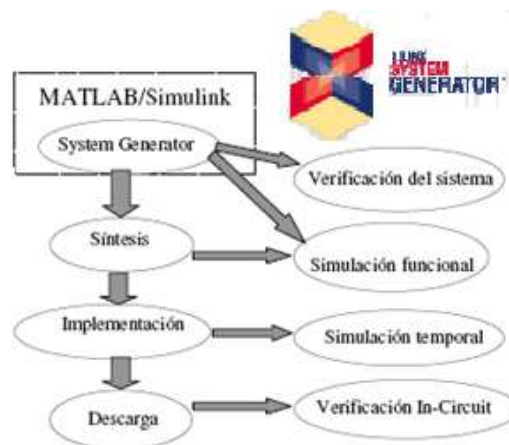


Figura 13. Fases de desarrollo en XSG.[15]

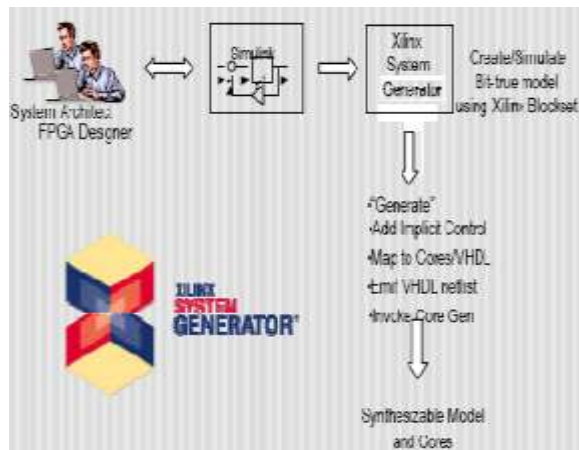


Figura 14. Esquema de creación y ejecución de un modelo XSG [15].

La herramienta de alto desempeño XSG se instala y posteriormente aparece incorporada como parte de Simulink en las librerías de búsqueda, donde se pueden encontrar todos los bloques de diseño que realizan las operaciones lógicas de manera individual o colectiva formando modelos que luego se pueden representar en código VHDL para ser implementado directamente en el FPGA .

### 3.2. Diseño del componente de conformación de haces.

El diseño del componente de conformación de haces requiere tres datos de entrada. La señal de información y los ángulos  $\theta$  y  $\varphi$  que definen la posición en el espacio hacia donde se debe dirigir la mayor intensidad del lóbulo principal del diagrama de radiación. Estos datos son las variables de entrada necesarias para realizar la conformación del diagrama de radiación con lóbulo principal en la dirección deseada.

El número de antenas del arreglo juega un papel determinante en el ancho del lóbulo principal del diagrama de radiación que se va a conformar, como lo muestra la ecuación (18), por esta razón se ha realizado un análisis detallado de cuál debe ser el ancho del lóbulo principal del diagrama de radiación idóneo para los propósitos de este proyecto. Teniendo en cuenta que el ángulo BWHP no hace parte de los objetivos del proyecto no se profundiza en el tema, solo se exponen unos criterios importantes para el control de este ángulo.

Se ha considerado que el elemento de juicio más importante para determinar el ancho del lóbulo principal del diagrama de radiación son las dimensiones de la superficie de la huella del haz sobre la tierra para diferentes ángulos BWHP. Estas dimensiones se han comparado con las dimensiones de los países del continente americano (el cual se ha tomado como referencia para realizar todos los análisis pertinentes) con el propósito de encontrar un diagrama de radiación cuyo ancho se ajuste a las dimensiones de los países más pequeños. En ese orden de ideas, se ha optado por escoger un ángulo BWHP

pequeño que genere diagramas de radiación con huellas en la tierra que iluminen áreas de dimensiones similares a las de países pequeños como Ecuador, Paraguay, Honduras, etc. Es importante el valor de dicho ángulo puesto que después de poner en órbita el satélite no se puede configurar un diagrama de radiación cuya huella sea de dimensiones más pequeñas, en cambio, si se podría ensanchar a través de técnicas de supresión de radiación de algunas antenas del arreglo. De acuerdo con lo expuesto, en la tabla 6 se puede apreciar la relación del ángulo BWHP con las dimensiones del arreglo y la superficie que se logra cubrir en tierra.

De acuerdo con los criterios anteriores, se decidió adoptar como el área mínima a cubrir, un área aproximada de 300.000 kilómetros cuadrados. El valor mas próximo a esta superficie se obtiene con un arreglo de 140x140, el ángulo BWHP es de 0,9666 grados y la huella del diagrama de radiación cubre una superficie de 286.257 kilómetros cuadrados como se puede observar en la tabla 6. Algunas huellas del diagrama de radiación con las características seleccionadas se pueden apreciar en la figura 15.

Tabla 6. Dimensiones del arreglo en función de las dimensiones de la huella del diagrama de radiación.

<b>Dimensiones del arreglo (unidades)</b>	<b>BWHP (grados)</b>	<b>Dimensiones de la huella en tierra del diagrama de radiación bajo el satélite. (Kilómetros cuadrados)</b>
20x20	6.783419367	14'098.349.30
40x40	3.385078427	3'510.818.69
50x50	2.707431456	2'245.876.51
54x54	2.506732896	1'925.249.65
60x60	2.294165763	1'612.577.22
80x80	1.713139221	899.199.89
100x100	1.353295745	561.120.79
120x120	1.127710854	389.642.61
140x140	0.966590908	286.257.15
160x160	0.845756598	219.160.21
170x170	0.796002543	194.133.21
171x171	0,791347228	191.869.12
180x180	0.751777278	173.160.69
200x200	0.676595452	140.258.46
220x220	0.615084019	115.915.04
240x240	0.563825096	97.400.17

El diseño ha sido dividido en módulos en razón a que toda la carga de procesamiento que éste exige no puede ser procesada por 1 solo FPGA, por lo tanto, se optó por realizar un proceso de conformación de módulos que se comporten como un “sub” arreglo superficial rectangular, el cual se toma como elemento del arreglo superficial rectangular final de orden 140x140. Estos módulos de sub arreglos superficiales serán de 7x7 ya que con estas dimensiones se obtienen la versatilidad y la flexibilidad necesarias para la distribución de los módulos en los FPGA's y además se brinda como característica adicional la posibilidad de realizar el ensanchamiento del haz cuando se requiera, a través de la inhabilitación de algunos módulos.



Figura 15. Huellas proporcionadas por un arreglo de 140x140 antenas.

En la figura 16 se pueden apreciar las etapas necesarias para el proyecto con un solo módulo alimentador de 7x7, lo cual representa 49 módulos de excitación. El diseño completo debe llevar 400 de estos módulos.

El diseño general (figura 16a) está conformado por 5 módulos; el primer módulo genera señales de frecuencia intermedia que se utilizan para el procesamiento de la señal de información, el segundo combina la señal de información con las señales de frecuencia intermedia para formar dos señales, una en fase y otra en cuadratura, el tercer módulo calcula los valores de las fases progresivas en el eje X y en el eje Y, el cuarto módulo es para el control del ancho de haz, y el quinto módulo, es el módulo de 49 módulos de excitación que alimentan un arreglo superficial de 7x7. En la figura 16b se aprecia el diseño principal sobre Simulink.

En la figura 16b el bloque número uno se utiliza para simular una señal cualquiera de información y no hace parte del diseño, el bloque dos corresponde al generador de señales de frecuencia intermedia, una en fase y otra en cuadratura, el bloque tres sirve para combinar la señal de información con las señales de frecuencia intermedia, el bloque cuatro calcula las fases progresivas en X y en Y para los ángulos  $\theta$  y  $\varphi$  deseados, el bloque cinco conformado por un bloque constante de Simulink y un bloque de entrada "gateway in" que adapta los valores de Simulink a valores que se pueden utilizar en XSG, el bloque seis es el estimador de recursos de XSG y no hace parte del diseño, el bloque siete es el bloque que identifica el diseño como un diseño de XILINX, este bloque es obligatorio para fines de simulación, el bloque ocho corresponde al bloque encargado de habilitar o deshabilitar filas y columnas que varían el ancho del diagrama de radiación, el bloque nueve es una constante Xilinx para el primer módulo de alimentadores, el resto de módulos alimentadores se deberán conectar así; la salida *fases* del módulo anterior se conecta a la entrada *incremento* del siguiente módulo si el módulo que le sigue se



encuentra sobre la misma fila, o la salida *fasey* se conecta a la entrada *incremento* del siguiente módulo si el módulo que le sigue se encuentra en la fila de encima de la primera columna, es decir, únicamente se pasa la información de la *fasey* a los módulos de la primera columna empezando en el primer módulo y finalizando en el 20 de la misma columna, y la salida *fasex* de cada módulo de la primera columna se conecta a cada módulo de la segunda columna en la misma fila, asimismo se conectan todas las columnas hasta finalizar la conexión de los 400 módulos. Finalmente el bloque diez es el primero de cuatrocientos módulos alimentadores que conforman el sistema.

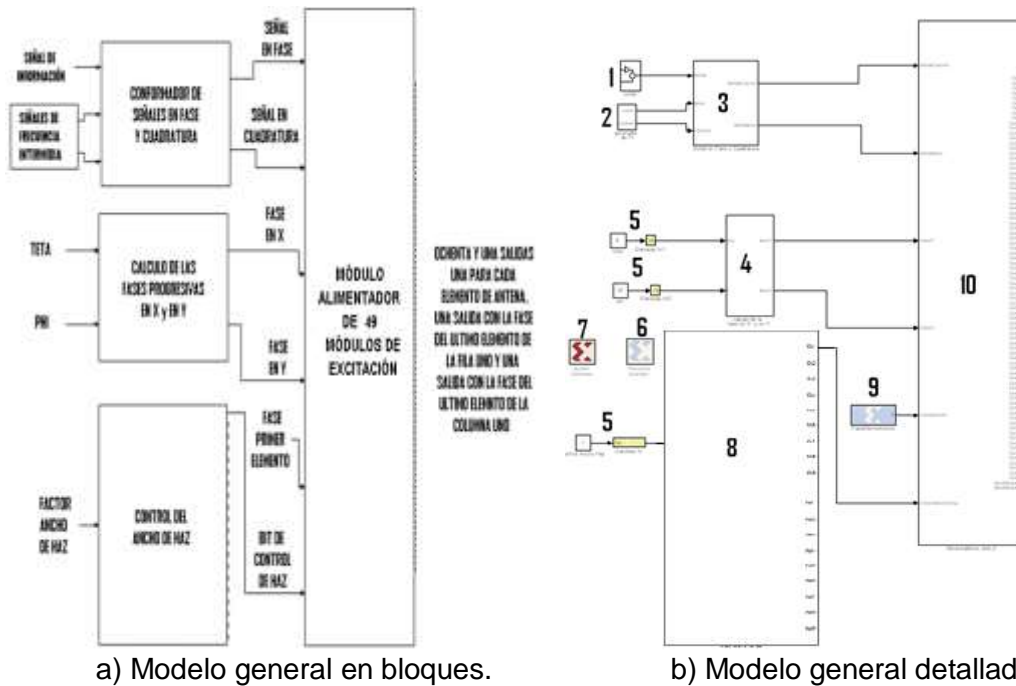


Figura 16. Diseño general

En la figura 17 se puede apreciar la forma como quedaría constituido el arreglo rectangular de 20x20 módulos de alimentación, cada cuadro en la figura 17 representa un módulo alimentador que recibe el valor de la fase del módulo anterior en X excepto los de la primera columna que lo reciben del módulo inferior en Y. A parte del valor de fase, cada módulo debe recibir también el incremento de fase a través de la entrada etiquetada como *incremento* en cada modulo.

Finalmente, cada módulo alimentador se conforma con 49 módulos excitadores (figura 18). De esta manera se construye un arreglo rectangular de 20x20 módulos de alimentación para completar los 19.600 módulos excitadores (uno para cada elemento de antena) necesarios para cumplir con el diseño del componente de conformación de haces.

El análisis de recursos requeridos por el módulo de 49 módulos de excitación y la selección de la referencia del FPGA idóneo se expone en el capítulo de análisis de resultados.

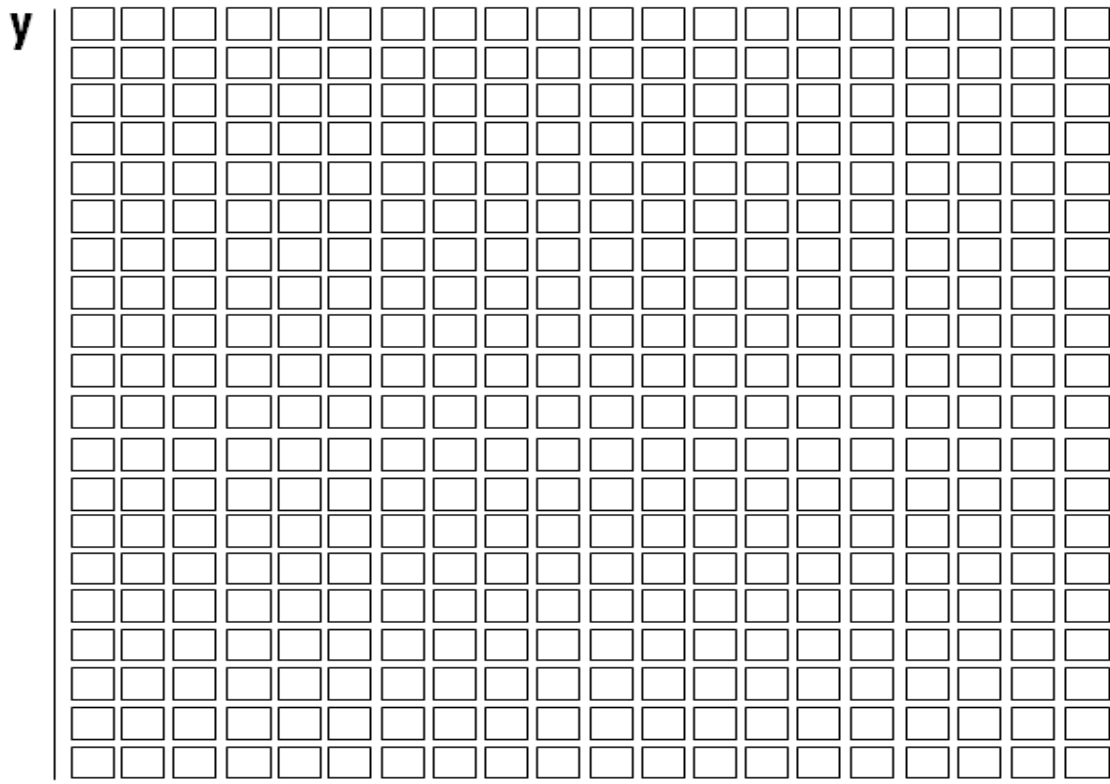


Figura 17. Arreglo rectangular de 20x20 módulos alimentadores.

En la figura 18 se aprecia la conformación interna de un módulo de 49 excitadores.

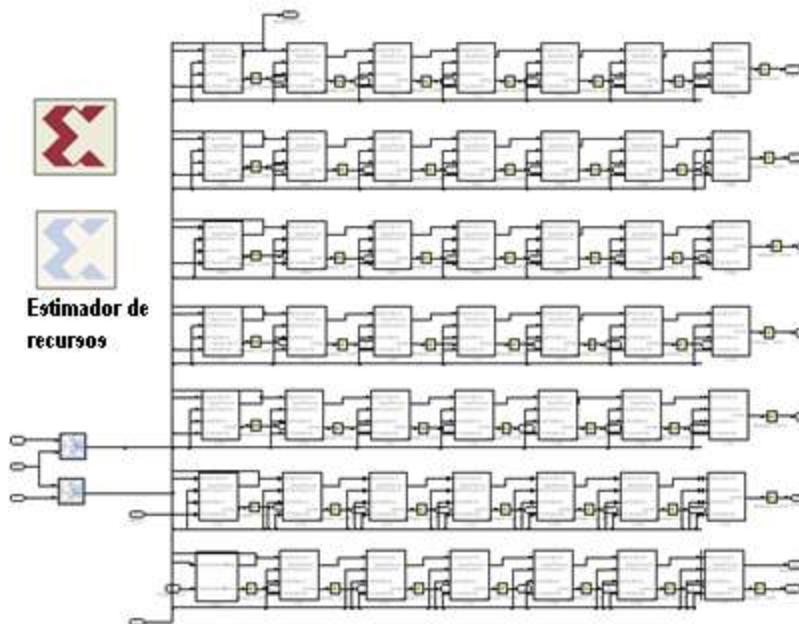


Figura 18. Conformación interna del módulo de 49 módulos de excitación.

### 3.2.1. Módulo de cálculo de fase.

Este módulo recibe los ángulos  $\theta$  y  $\varphi$  que determinan la posición hacia donde se debe dirigir el máximo del lóbulo principal, en ella se deben calcular las fases  $\delta_x$  y  $\delta_y$  como lo indican las ecuaciones  $\delta_x = -\beta d_x \text{sen}\theta_0 \cos\varphi_0$  y  $\delta_y = -\beta d_y \text{sen}\theta_0 \text{sen}\varphi_0$ , para que se cumpla la condición de convergencia de los máximos de radiación del arreglo con respecto al eje X y con respecto al eje Y.

En la figura 19a se puede apreciar el subsistema *cálculo de la fase en X y en Y*, además de los bloques de Simulink *teta* y *fi* que proporcionan los valores de dirección de radiación deseados; y los bloques *Gateway in* que realizan la conversión del tipo de dato.

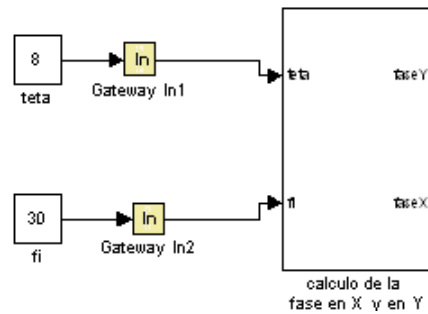


Figura 19a. Subsistema cálculo de la fase en X y en Y.

Como se puede ver en la figura 19a, el subsistema requiere dos entradas *teta* y *fi* con variaciones de 0.5 para calcular el valor de las fases progresivas para el eje X y para el eje Y. Proporciona dos salidas *faseY* y *faseX* que son números enteros con tres cifras.

En la figura 19b se puede apreciar la conformación interna del subsistema cálculo de fase en X y en Y. Este bloque realiza las operaciones matemáticas necesarias para el cálculo de las fases con base en las ecuaciones  $\delta_x = -\beta d_x \text{sen}\theta_0 \cos\varphi_0$  y  $\delta_y = -\beta d_y \text{sen}\theta_0 \text{sen}\varphi_0$ .

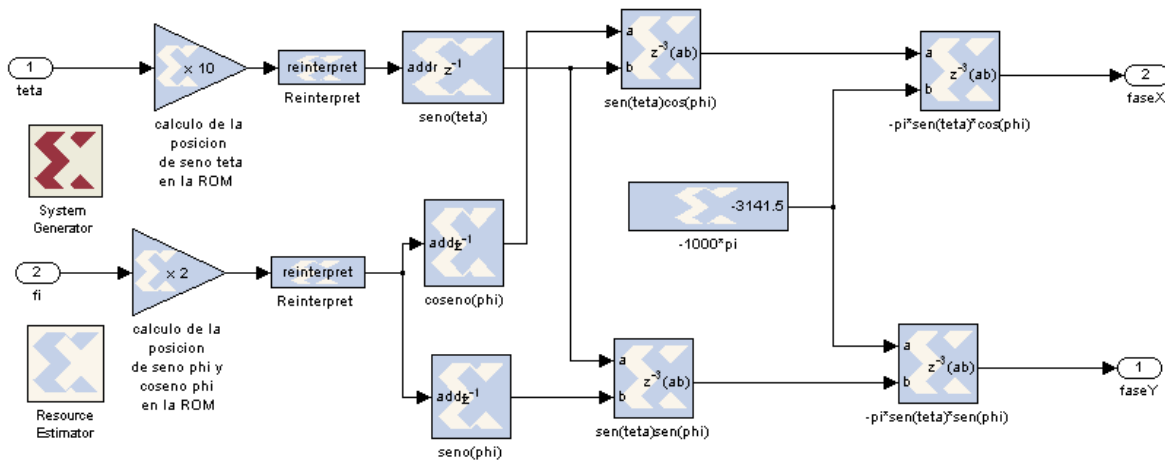


Figura 19b. Diseño de la etapa cálculo de fases para el arreglo superficial.

Los valores de los ángulos  $\theta$  y  $\varphi$  se ingresan en grados y en tipos de datos propios de Simulink como punto flotante o doble, en razón a esto, los dos primeros bloques amarillos (*Gateway in*) deben convertir estos datos de punto flotante a punto fijo, que es el tipo de dato utilizado por XSG, ver figura 19a. Estos bloques toman los datos entrantes y los convierten en palabras de 10 y 8 bits con el punto binario en el bit 1 para  $\theta$  y  $\varphi$  respectivamente, de esta manera se pueden representar los ángulos de 0 a 360 grados para  $\varphi$  y de 0 a 8,5 para  $\theta$ , con variaciones de 0,5 cada uno.

Lo anterior obedece a que para brindar la cobertura máxima posible a la tierra basta con tener una variación de 8,5 grados en el ángulo  $\theta$  y 360 grados en  $\varphi$  siempre y cuando el plano del arreglo sea paralelo a un plano tangencial a la tierra en el ecuador y teniendo predefinido como punto inicial la radiación transversal (perpendicular) del arreglo a la tierra, lo cual se consigue fijando  $\theta$  y  $\varphi$  en cero grados. Con esta configuración de datos de entrada se tiene que los ángulos de prueba se encuentran entre los 0 y 8,5 grados para  $\theta$  y entre 0 y 360 grados para  $\varphi$ . Con variaciones de 0,5 grados en  $\theta$  se consigue un desplazamiento radial del diagrama de radiación de 312 kilómetros con respecto al centro del lóbulo principal cuando la radiación es transversal. La variación de  $\varphi$  incide sobre la dirección del diagrama de radiación con respecto a la línea ecuatorial, mientras que  $\theta$  incide en la distancia del haz respecto al lóbulo principal sobre la línea ecuatorial como lo muestran las figuras 20, 21, 22, 23. Las figuras 20 y 21 tienen como características: un ángulo BWHP de 0.96, un ángulo  $\varphi$  de 0 grados y una variación en  $\theta$  de 0.5 desde 0 hasta 8.5, con una ubicación del satélite sobre una longitud de -104 grados. Mientras que las figuras 22 y 23 tienen como características: un ángulo BWHP de 0.96, diferentes ángulos  $\theta$  y variaciones en  $\varphi$  de -75 hasta 120 grados, con una ubicación del satélite sobre una longitud de -104 grados

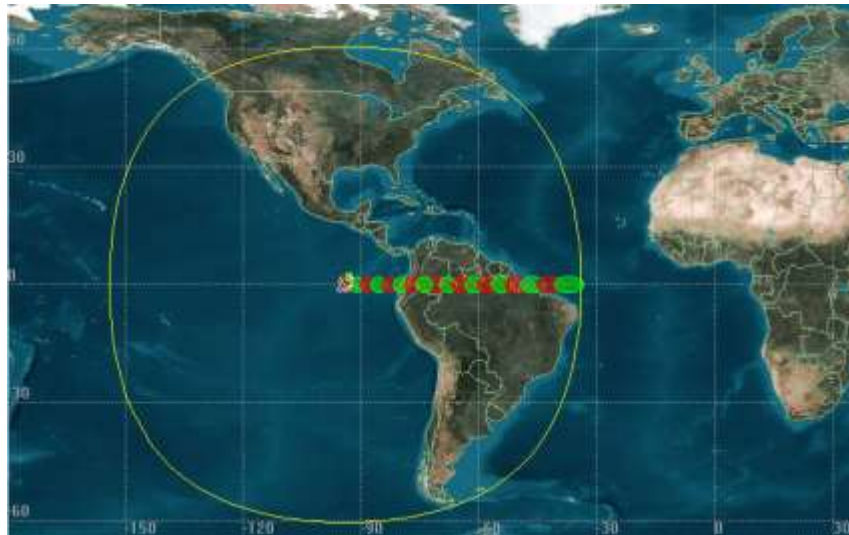


Figura 20. Visualización de la huella de los diagramas de radiación.

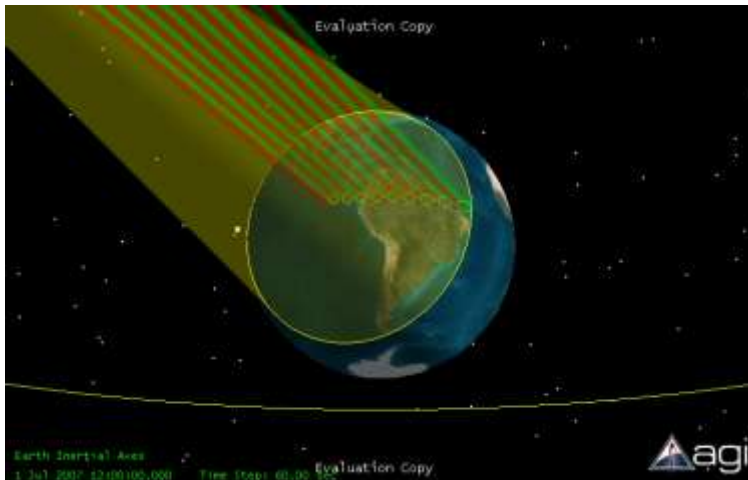


Figura 21. Visualización en 3D de la huella de los diagramas de radiación.

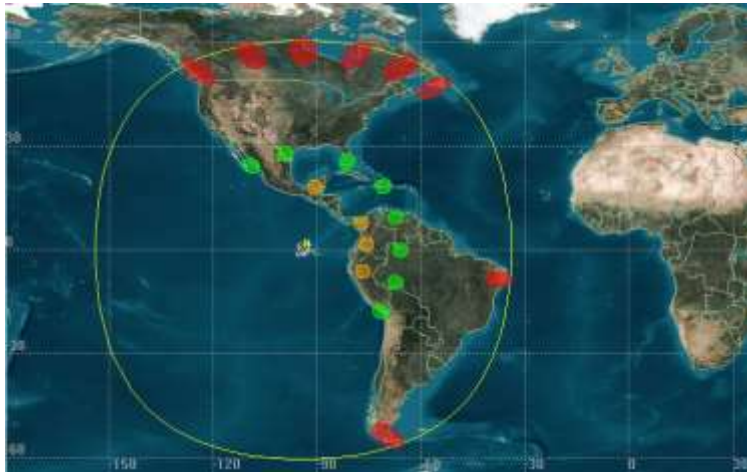


Figura 22. Visualización de la huella de los haces conformados.

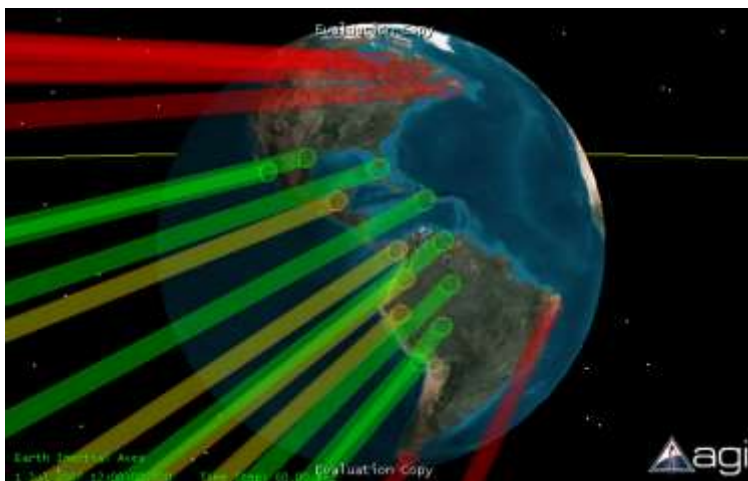


Figura 23. Visualización en 3D de la huella de los haces conformados.

En el momento que se desee brindar cobertura a zonas de mayores dimensiones a la preestablecida, se recurre a técnicas de multiplexación de haces en frecuencia y tiempo si las zonas son distantes entre sí, o al ensanchamiento del haz por medio de la supresión de diagramas de radiación de algunas antenas, esto último se logra dejando de excitar el número de antenas que se considere adecuado para la conformación del nuevo diagrama de radiación ensanchado. Si es necesario que el área mínima a cubrir sea menor, solo es cuestión de considerar un arreglo mayor al de 140x140 antes de la puesta en órbita del satélite.

Los dos bloques iniciales de la figura 19b (*cálculo de la posición de seno de teta en la ROM y cálculo de la posición de seno de fi y coseno de fi en la ROM*) más los dos bloques *Reinterpret* se encargan de acondicionar los datos de entrada para que puedan ser convertidos en direcciones del bloque de memoria de solo lectura (ROM), donde se almacenan los valores del seno y coseno de los posibles valores de los ángulos  $\theta$  y  $\varphi$ .

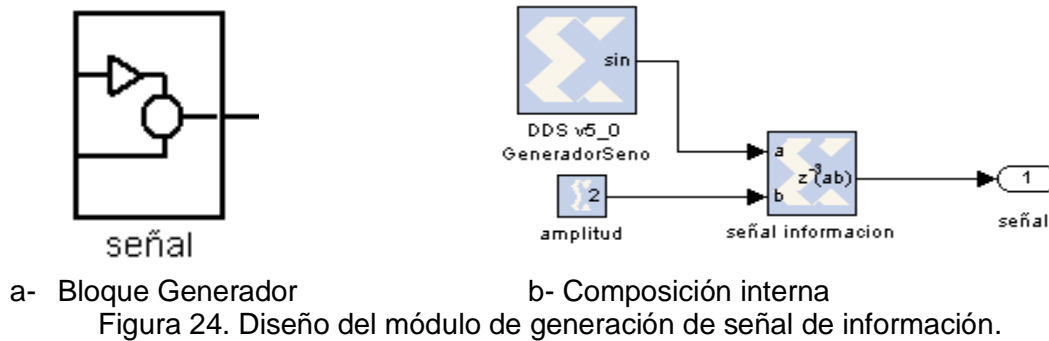
El bloque ROM es un espacio de memoria que almacena palabras, las cuales tienen que ser del mismo tipo de dato aritmético, de igual tamaño y posición del punto binario. Cada palabra almacenada es asociada con un valor de dirección que debe ser de tipo entero, punto fijo, y sin signo. La capacidad de almacenamiento de los bloques ROM va desde 2 hasta 256 kilobits dependiendo del ancho de cada palabra almacenada, mientras más grande sea el tamaño de la palabra menor es la capacidad de almacenamiento. Cuando se utiliza toda la capacidad de almacenamiento se pierde eficiencia en el desempeño, primero a raíz del tiempo que tarda en almacenar todos los datos y luego debido al tiempo que tarda en encontrar una dirección.

Los tres bloques ROM utilizados de acuerdo con la figura 19b son; *seno(teta)*, *coseno(fi)*, y *seno(fi)*. El primer bloque *seno(teta)* es el que almacena los valores del seno de  $\theta$  que van de 0 hasta 8,5 grados con variaciones de 0,5, por lo tanto, el número de resultados a almacenar es 18 palabras, los cuales se pueden almacenar con 18 direcciones, es decir, una dirección para cada palabra, en consecuencia, cuando se quiera consultar uno de los valores del seno de  $\theta$  almacenados se debe ingresar la dirección que corresponde con el valor de  $\theta$  en cuestión. En el caso del segundo y tercer bloque, *coseno(fi)* y *seno(fi)*, la cantidad de memoria que se requiere es mayor debido a que  $\varphi$  puede tomar valores de ángulos que se encuentran en un rango de 0 a 360 grados con variaciones de 0,5, por consiguiente, el número de palabras almacenadas en estos bloques es de 720, esto indica que se requieren 720 direcciones que permiten obtener los valores del seno de  $\varphi$  y coseno de  $\varphi$ . Con los resultados obtenidos de los tres bloques ROM se realizan las operaciones de cálculo de fase  $\delta_x = -\beta d_x \text{sen}\theta_0 \cos\varphi_0$  y  $\delta_y = -\beta d_y \text{sen}\theta_0 \text{sen}\varphi_0$ . Estas operaciones son multiplicaciones y se encuentran representadas por los últimos 5 bloques (*sen(teta)\*cos(fi)*, *sen(teta)\*sen(fi)*, *-pi\*sen(teta)\*cos(fi)*, *pi\*sen(teta)\*sen(fi)*, y *-1000\*pi*); de estos, uno se utiliza para representar el factor multiplicativo constante *-1000\*pi* que sirve para permitir que las siguientes etapas de la simulación trabajen con valores enteros, los cuales son necesarios para los bloques de memoria debido a que solo reciben este tipo de valores con el punto binario en la posición cero, además, algunos bloques arrojan resultados más precisos cuando trabajan con valores enteros. En ese orden de ideas, este módulo calcula los valores de las fases en radianes y los convierte en enteros con precisión de tres decimales. Los resultados se encuentran en las salidas



fase X y fase Y, estas salidas alimentan las siguientes etapas de simulación que van a permitir conformar el diagrama de radiación con la dirección deseada, estas salidas son de tipo punto fijo con bit de signo (Signed) para representar resultados positivos y negativos en un formato de 16 bits con el punto binario en el bit 0, debido a que no se van a representar valores con expresiones decimales.

### 3.2.2. Módulo de generación de señal de información.



La señal de información es aquella que en algún momento dado, el satélite va a recibir desde alguna estación en tierra con el propósito de ser difundida a alguna zona deseada. Esta señal se recibe y se pasa por un convertor de bajas frecuencias, luego se demodula y finalmente queda en banda base lista para ingresar a la etapa procesamiento digital de señal.

Teniendo en cuenta que las antenas deben recibir la señal con la información adecuada y la fase respectiva implementada, se ha diseñado para efectos de la simulación un módulo de generación de señal sinusoidal digitalizada de información. Se aclara que no hace parte del diseño, sino que es un componente necesario para efectos de la simulación.

El bloque principal del módulo es el  *sintetizador digital directo DDS*, el cual se encarga de generar la onda seno y coseno a partir de una tabla de consulta de datos *lookup table*, donde se almacenan los valores de muestras de la onda completa o del primer cuadrante de una señal sinusoidal. La forma de la onda de salida depende de un integrador digital interno, que se encarga de generar un argumento de fase adecuado para mapear la tabla de consulta de datos que luego va cargando a la salida los valores que va leyendo en la tabla. La frecuencia de salida es un parámetro directamente configurable, al igual que la señal de reloj, y la resolución de frecuencia. La conjugación adecuada de estos tres valores puede llegar a proporcionar más espaciamiento de memoria en la *lookup table*, tal que permita almacenar más muestras por cuadrante y así lograr una representación más lineal de la onda seno en el dominio digital. Se utiliza un bloque con valor constante de 1 para habilitar la salida seno del *DDS*, como este bloque es de Simulink, se requiere un bloque de frontera *Gateway in* que sirva de interfaz para convertir los datos al formato adecuado para XSG, en consecuencia, el tipo de dato booleano que requiere el puerto

*enable* del bloque *DDS* para habilitar o deshabilitar la salida seno es proporcionado por el bloque *Gateway in*, el cual recibe un 1 o un 0 constante para tal efecto.

Se utiliza el bloque *multiplicador* llamado *señal información* para proporcionarle a la onda seno generada una amplitud de 1, en vista de que el *DDS* genera la señal con una amplitud de 0.5.

El bloque *señal información* tiene dos entradas y una salida que puede ser configurada para mostrar el resultado de la manera deseada, es decir, tiene parámetros de configuración como: el número de bits, la posición del punto binario, el tipo de dato, con signo o sin signo. La multiplicación se lleva a cabo entre las señales recibidas en los puertos de entrada, y a la salida se obtiene el resultado de la misma. En este sentido, las entradas son; la señal seno generada por el bloque *Generador seno* y la entrada de valor constante 2 generado por el bloque *constante* para obtener a la salida la misma señal seno (*señal*) con amplitud de 1.

### 3.2.3. Módulo de generación de frecuencia intermedia (FI).

Este módulo se encarga de generar señales *seno* y *coseno* a una frecuencia intermedia de 0,278MHZ las cuales se proporcionan a través de sus dos salidas como lo muestra la figura 25.

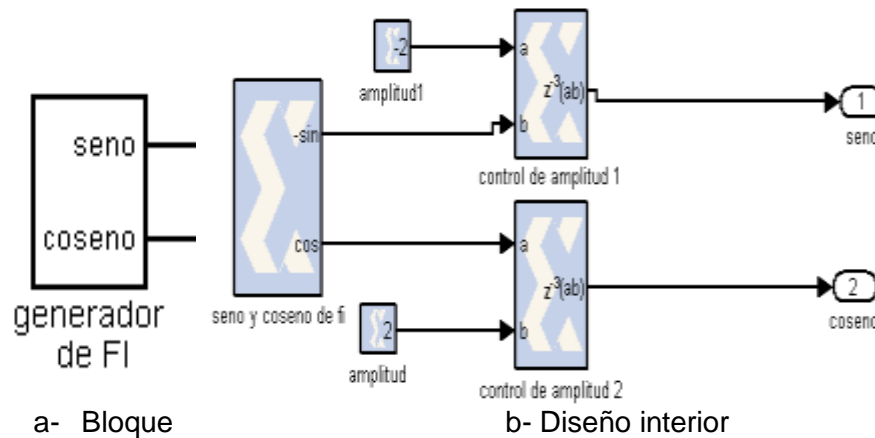


Figura 25. Diseño del módulo de generación de frecuencia intermedia.

Como se puede observar en la figura 25 este módulo se encuentra conformado por un bloque *DDS* llamado *seno y coseno de fi*, dos bloques *multiplicadores* etiquetados *control de amplitud 1* y *control de amplitud 2*, dos bloques de valor constante de XSG llamados *amplitud* y *amplitud1*, y dos salidas *seno* y *coseno*.

En términos generales el diseño físico implementado en este módulo es el mismo que el del módulo de generación de señal de información con algunas diferencias en los



parámetros de configuración del bloque *DDS*, debido a la necesidad de generar una señal con mayor frecuencia de salida y con mejor resolución, es decir, con valores diferentes de cuantificación por cada ciclo de reloj. Se fijaron para este elemento los siguientes parámetros: frecuencia de salida de 278 KHZ, frecuencia de reloj de 1GHZ, resolución en frecuencia de 0,238 HZ, y rango dinámico libre de espurios 14dB.

### 3.2.4. Modulación de la señal en fase y cuadratura.

Como se aprecia en la figura 26a, este módulo requiere tres entradas; la primera es *señal*. Esta es la señal de información a ser retransmitida. La segunda y tercera entrada son las señales *seno* y *coseno*. Estas son las señales generadas por el módulo de generación de frecuencia intermedia.

Este módulo proporciona dos salidas, *señal seno* y *señal coseno* en donde se entrega la señal de información combinada con cada una de las señales de frecuencia intermedia. Internamente se realiza un corrimiento en frecuencia de la señal de información cuya frecuencia es 100KHZ. Esta señal queda finalmente trasladada en frecuencia al valor de las frecuencias portadoras *seno* y *coseno*, 278 KHZ.

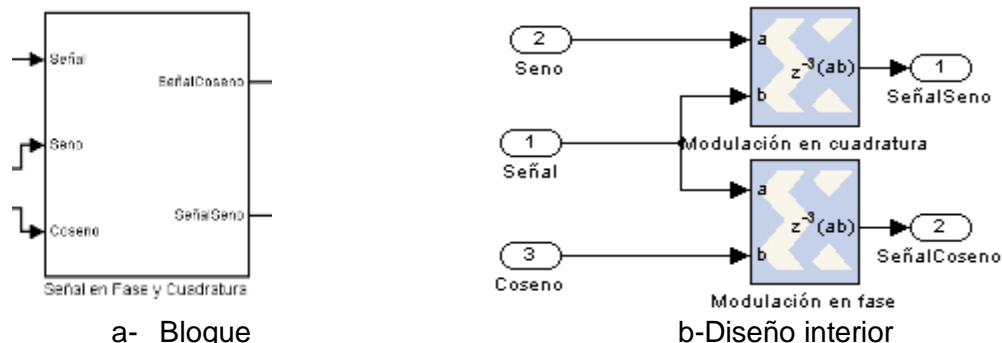


Figura 26. Diseño de la etapa de modulación de la señal en fase y cuadratura.

Este bloque contiene dos bloques *multiplicadores* (*Modulación en cuadratura* y *Modulación en fase*) de señales para realizar las operaciones descritas por las ecuaciones  $i_n(m) = y(m)\cos(\omega m)$  y  $q_n(m) = y(m)\sin(\omega m)$ , donde  $i_n(m)$  es la señal en fase,  $q_n(m)$  es la señal en cuadratura,  $y(m)$  es la señal de información y  $\omega$  es la frecuencia a la que se desplazara la señal.

la primera multiplicación se lleva a cabo en el bloque *Modulación en cuadratura*, el cual toma la señal de información de entrada en banda base (*señal*) y la multiplica con la señal de entrada en cuadratura y en frecuencia intermedia (*seno*), de esta manera se obtiene a la salida la señal de de información en cuadratura modulada (*Señal seno*).

La segunda multiplicación se efectúa en el bloque *Modulación en fase*, el cual toma la señal en fase y en frecuencia intermedia (*coseno*), y la señal de información en banda

base (*señal*), y las multiplica, obteniendo a la salida la señal de información en fase modulada (*SeñalCoseno*).

### 3.2.5. Módulo de excitación.

Este módulo tiene como propósito construir la señal que va alimentar cada elemento del arreglo superficial, por lo tanto, deben haber 19.600 de estos módulos interconectados organizados en un arreglo de 140X140 recibiendo el valor de fase proveniente del módulo que lo antecede en el arreglo, y el valor del incremento de fase proporcionado por el módulo de cálculo de fase. Resumiendo, este módulo recibe cuatro entradas y establece dos salidas (figura 27), las entradas son; *fase*, *señalCoseno*, *señalSeno*, e *incremento*, y las salidas son; *señal* que es la señal que va a excitar la antena correspondiente y *fase* que es el valor de la fase que va a ser transferida al siguiente módulo de excitación del arreglo.

La configuración interna del módulo de excitación es la que se puede apreciar en la figura 28.

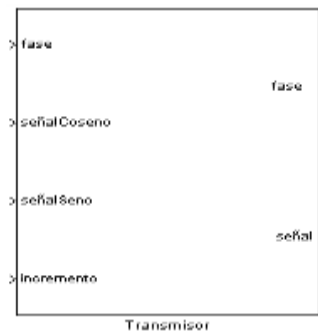


Figura 27. Subsistema del módulo de excitación.

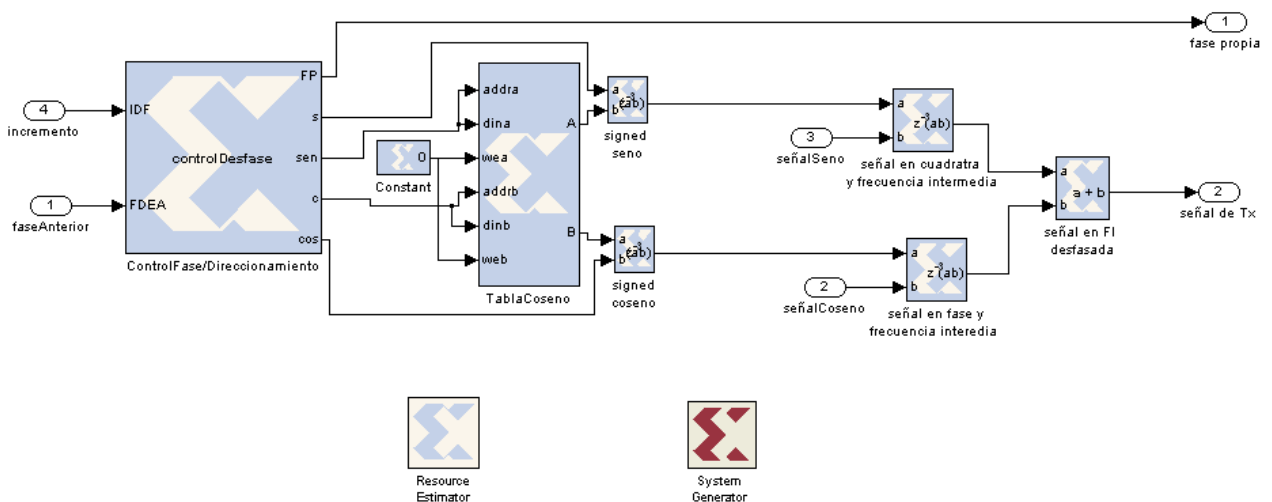


Figura 28. Diseño interno del módulo excitador.

El primer bloque es un *Mcode* etiquetado *ControlFase/Direccionamiento*, tiene la tarea de calcular el valor de fase que debe llevar la señal que va a excitar el elemento N del arreglo. Para calcularlo, recibe las señales de fase del módulo inmediatamente anterior y el incremento proveniente del módulo de cálculo de fase, *faseAnterior* e *incremento* respectivamente. El valor de fase calculado en este bloque debe llevar una composición de bits adecuada para poder ser recibida sin inconvenientes por el siguiente bloque *tabla coseno*, es decir, el tipo de dato debe ser *unsigned* con el punto binario en cero. A parte de lo anteriormente descrito, este bloque realiza los cálculos necesarios para encontrar la dirección de almacenamiento de los valores seno y coseno de la fase almacenados en el bloque *tabla coseno*, que corresponden a la fase previamente calculada.

El bloque *Mcode* es un contenedor para la ejecución de una función de Matlab dentro de XSG en Simulink, el cual a través de un parámetro selecciona el nombre de la función-M o el archivo con extensión *.m* deseado para cargarlo en el bloque. Las salidas y las entradas del bloque dependen del número de valores de retorno y parámetros de entrada que tenga la función *.m* respectivamente. El bloque ofrece la posibilidad de crear una función *.m* personalizada únicamente con las siguientes posibilidades de construcción de lenguaje Matlab: sentencias de asignación, sentencias *if*, *else*, *if-else*, expresiones aritméticas involucrando únicamente adición, sustracción y multiplicación, división por una potencia de 2, y operadores lógicos y relacionales.

Además admite las siguientes funciones propias de matlab; *disp()*, *error()*, *isnan()*, *NaN()*, *num2str()*, *ones(1,N)*, *pi()*, y *zeros(1,N)*. Los tipos de dato que soporta son *xfix* (Xilinx de punto fijo) propias de XSG, dentro de los cuales se encuentran los booleanos (*xlBoolean*), los que admiten signo (*xlSigned*), y los que no admiten signo (*xlUnsigned*). Por otra parte, las funciones propias de XSG que soporta son:

- *xl\_nbits()*: retorna el numero de bits.
- *xl\_binpt()*: retorna la posición del punto binario
- *xl\_arith()*: retorna el tipo aritmético
- *xl\_lsh()*: permite mover a la izquierda una secuencia de bits
- *xl\_rsh()*: permite mover a la derecha una secuencia de bits
- *xl\_slice()*: permite acceder a una secuencia de bits de un número tipo punto fijo.
- *xl\_concat()*: concatena dos o mas números tipo punto fijo.
- *xl\_force()*: Convierte la salida de un número a un nuevo tipo aritmético y una ueva posición del punto binario.
- *xl\_state()*: mantiene los estados de una variable cuando se pasa de una simulación a otra.

El siguiente bloque es un *Dual Port Ram* etiquetado *tabla coseno*, el cual tiene la función de almacenar los valores del coseno para ángulos entre 0 y  $\pi/2$  con variaciones de 0,001radianes, con lo cual se detectan variaciones de 0,057 grados en la fase. Teniendo en cuenta que la memoria se puede llenar automáticamente utilizando la función *coseno* con valores en el rango de [-1 1], y que estos valores debido a su parte decimal requieren un gran tamaño de palabra, se opto por almacenarlos como enteros y aproximarlos a tres cifras significativas mediante una multiplicación por 1000. Para un uso eficiente de memoria se almacenaron únicamente los valores del primer cuadrante del coseno (0 a  $\pi/2$ ) y con la ayuda del bloque de control de fase se encontraron los valores del seno y

coseno de los demás cuadrantes ( $\pi/2$  a  $2\pi$ ). La figura 29 en el campo *Initial value vector* muestra la configuración explicada.

El bloque *Dual Port Ram* exige que el número de bits entrantes describa la capacidad de almacenamiento que ha sido preestablecida en el bloque, y el tamaño de la palabra que ha sido almacenada en cada posición de la memoria, es decir, si M es la capacidad de almacenamiento preestablecida, entonces M debe ser menor o igual a  $2^N$  donde N es el número de bits que describe la palabra de entrada. La palabra guardada en cada posición de la memoria está configurada por N bits. A parte de lo anterior, el bloque *Dual Port Ram* también exige que el número de entrada sea entero y con el punto binario en cero ya que el dato que recibe es una dirección de memoria. En el mismo orden de ideas, el valor de salida corresponde al dato almacenado en la posición de memoria, el cual es direccionado con el valor de entrada.

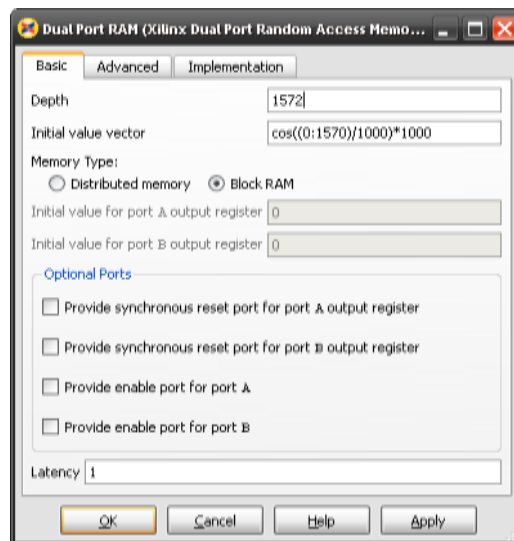


Figura 29. Configuración del bloque *Dual Port Ram* (tabla coseno).

La función del bloque *Dual Port Ram* etiquetado como *tabla coseno*, es almacenar los valores del coseno de un ángulo entre 0 y  $\pi/2$ , por lo tanto, se debe utilizar un bloque que permita desarrollar una lógica que ayude a encontrar los valores que se requieran del seno y coseno de la fase, los cuales deben estar almacenados en la *tabla coseno*, sin importar que los valores requeridos se encuentren en cualquiera de los cuatro cuadrantes del plano de coordenadas rectangulares. Para tal fin se utiliza el bloque *Mcode* etiquetado *Controlfase/direccionamiento*, cuyo propósito es ayudar a encontrar los valores almacenados y proporcionarles el signo adecuado. Este bloque tiene dos salidas S y C que llevan información del signo del seno y coseno respectivamente, por lo tanto, cuando el valor del seno o coseno que se va a encontrar en la *tabla coseno* debe ser negativo, en las salidas S y/o C se fija un -1 el cual se va a multiplicar por el valor de salida de la *tabla coseno* que en cualquier caso va a ser positivo. Esta operación matemática es llevada a cabo por los bloques *multiplicadores signed seno* y *signed coseno* (figura 28). En caso de que los valores del seno y/o coseno sean positivos, en las salidas S y/o C se fija un 1.

Los valores del seno y coseno de la fase para el elemento N del arreglo se deben multiplicar con las señales de información en fase y cuadratura que provienen del módulo de *modulación de la señal en fase y cuadratura*. Este procedimiento es realizado por los bloques *señal en cuadratura y frecuencia intermedia*, y *señal en fase y frecuencia intermedia* aplicando las ecuaciones,  $y_{i_n}(m) = i_n(m) \cos(\delta_n) = y(m) \cos(\omega m) \cos(\delta_n)$  y  $y_{q_n}(m) = q_n(m) \sin(\delta_n) = y(m) \sin(\omega m) \sin(\delta_n)$ , donde  $\cos(\delta_n)$  y  $\sin(\delta_n)$  representan el coseno y el seno de la fase,  $y_{i_n}(m)$  y  $y_{q_n}(m)$  son las señales en fase y cuadratura con la información de fase y desplazadas en frecuencia.

Por último, se toman las dos señales en fase y cuadratura con su correspondiente información de desfase como entradas del bloque sumador etiquetado como *señal en FI desfasada*, se suman y se obtiene a la salida la señal de información en frecuencia intermedia y con el desplazamiento en fase requerido para el elemento N del arreglo superficial, como lo indica la ecuación  $y_n(m) = y_{i_n}(m) + y_{q_n}(m)$  y simplificando se obtiene  $y_n(m) = y(m) \cos[\omega m - \delta_n]$ , donde  $y(m)$  es la señal de información,  $\omega$  es la frecuencia de la señal,  $\delta_n$  es el corrimiento en fase y  $y_n(m)$  es la señal que finalmente va a excitar la antena N del arreglo.

### 3.2.6. Módulo de control de ancho de haz.

Este módulo tiene como función representar de manera lógica la técnica de control de ancho de haz por supresión de módulos alimentadores. Como lo indica su nombre, a través de esta técnica se busca inhabilitar cierta cantidad de módulos alimentadores, con el fin de dejar activo un arreglo superficial menor al preestablecido (140x140 módulos de excitación) y asegurar que el ángulo BWHP sea más grande para formar un diagrama de radiación con un lóbulo principal más ancho, como lo ilustra la figura 6.

Como se puede apreciar en la figura 30, los 19.600 módulos de excitación se agrupan en módulos de alimentación para formar un arreglo superficial cuadrado de módulos de alimentación de orden 20 (400 módulos alimentadores).

El ancho del lóbulo principal del diagrama de radiación más estrecho es aquel en el que participan los 400 módulos disponibles. Para conformar un diagrama de radiación con lóbulo principal más grande, una de las opciones es inhabilitar la última columna de módulos, posición X=20, y la última fila de módulos, posición Y=20, de acuerdo con la figura 30. De esta manera se logra que los módulos de alimentación que radien ya no sean 400 sino 361, en otras palabras, los módulos activos conformarían un arreglo de 19x19, lo que representaría una radiación de 17.689 módulos de excitación (arreglo superficial de 133x133) con lo que se incrementa el ancho del lóbulo principal del diagrama de radiación.

De esta manera, se aumenta el ancho de los lóbulos principales de los diagramas de radiación hasta formar un ángulo BWHP que conforme un haz que pueda dar cobertura a una zona de grandes dimensiones. El ángulo BWHP más grande se muestra en la figura

31. La conformación del máximo ancho del lóbulo principal del diagrama de radiación propuesto, se logra con la participación de 1 módulo alimentador, en consecuencia, se tendrían 49 antenas radiando (arreglo superficial de 7x7 módulos de excitación) para conformar el diagrama de radiación con el lóbulo principal más ancho posible.

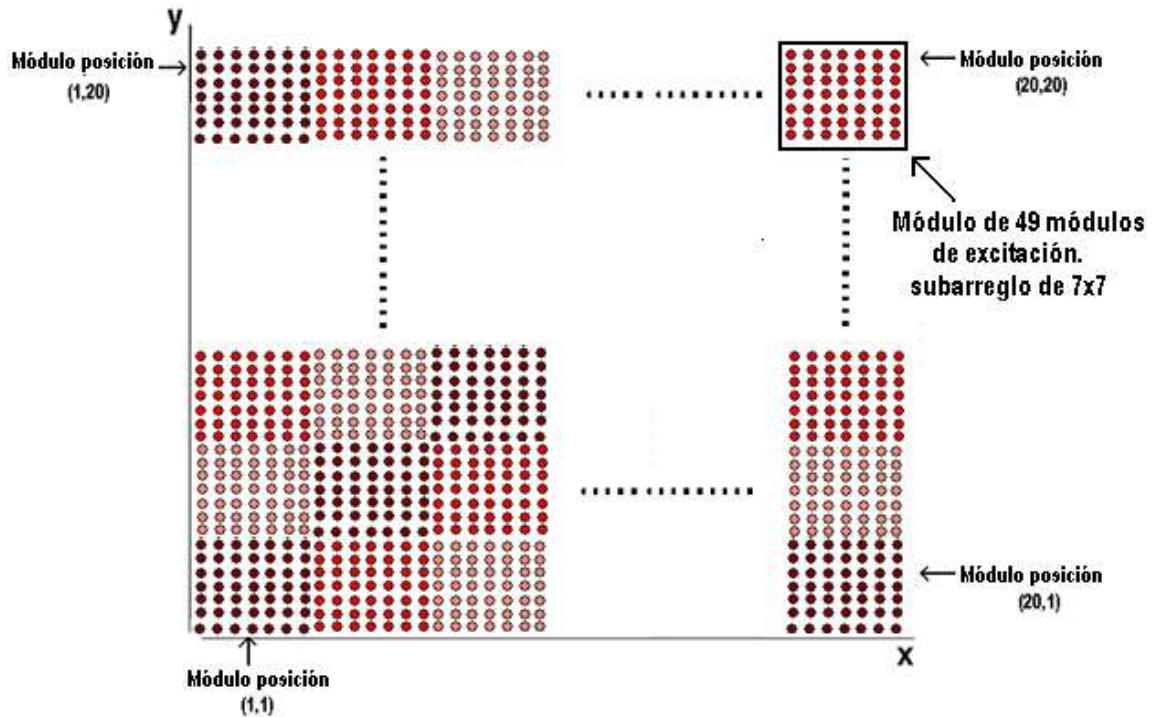


Figura 30. Esquema de los 19.600 módulos de excitación.

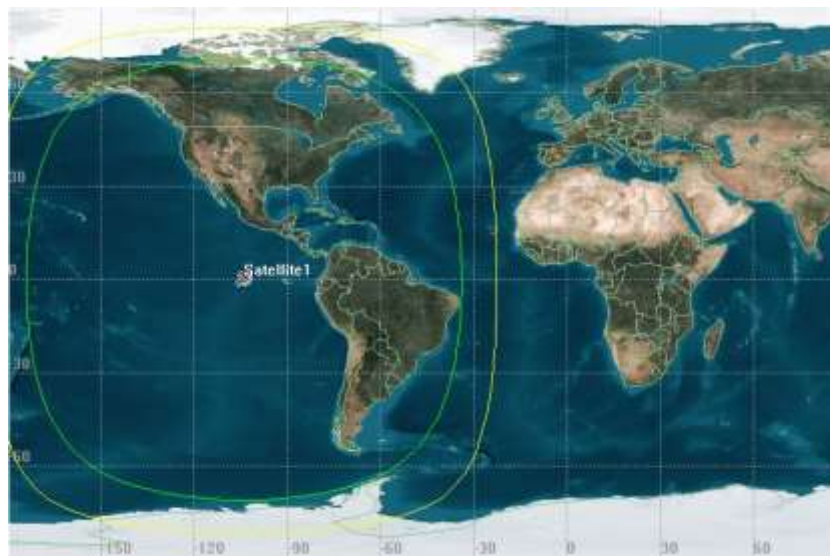


Figura 31. Huella proporcionada por el diagrama de radiación con lóbulo principal más ancho posible.

En la figura 31 la huella máxima de radiación está dada por el contorno amarillo para el arreglo de 7x7, pero debido al ángulo mínimo de elevación de las antenas en tierra solo se puede recibir información dentro del contorno verde.

La figura 32a muestra el bloque del módulo de control de ancho de haz, el cual tiene una entrada y diecinueve salidas; la entrada está representada por un bloque constante de Simulink etiquetado como *control ancho de haz*, el cual representa el dato del número de módulos de alimentación que se van a utilizar para la conformación del diagrama de radiación con determinado ancho de lóbulo principal. El bloque *Gateway in* se encarga de cambiar el tipo de dato utilizado por Simulink a un tipo de dato entendible por XSG. Las diecinueve salidas obedecen a que cada una de ellas controla una fila y una columna de módulos de alimentación para el proceso de inhabilitación de los mismos.

En la figura 32 se muestra el diseño del módulo que realiza el control del haz del haz.

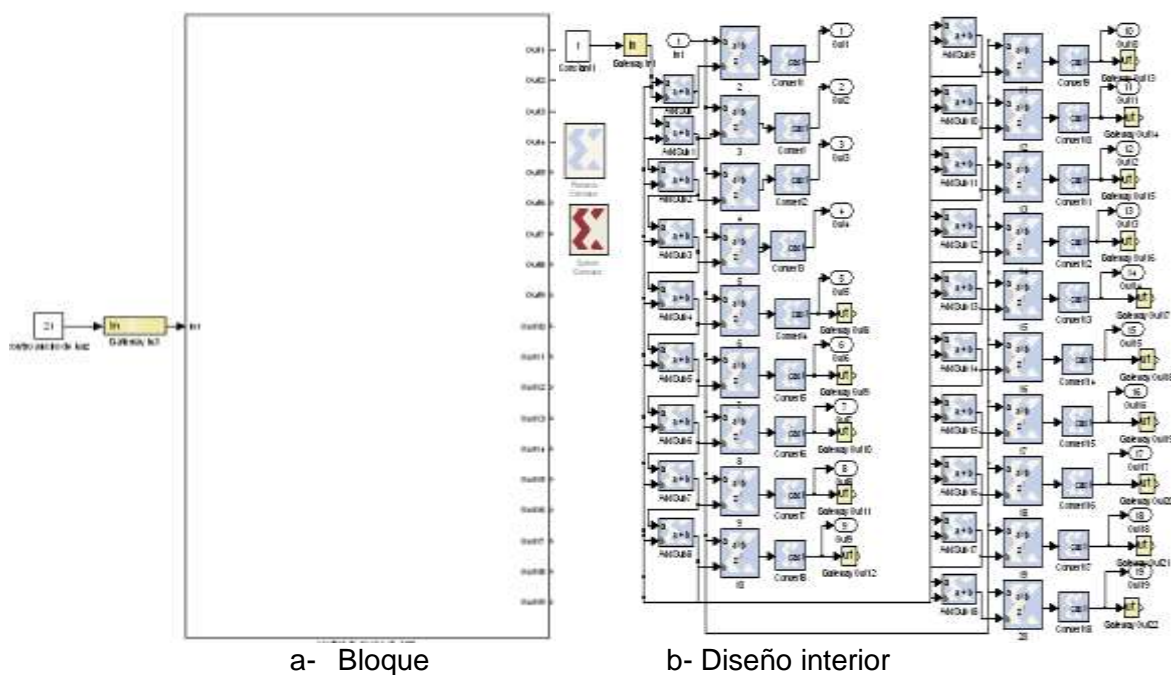


Figura 32. Diseño del módulo de control de ancho de haz.

En la figura 32b se puede apreciar que se tienen diecinueve salidas; cada salida es el resultado de una comparación entre el dato de entrada (representada por el bloque constante *control ancho de haz*) y un valor constante que corresponde al número de fila y columna al cual está conectada. Dicha comparación se lleva a cabo mediante los bloques *Relational* con la ayuda de los bloques *AddSub* que proporcionan el valor constante en cada caso. El bloque *Relational* fija en la salida un cero si el resultado de la comparación es falso y un uno en caso contrario, este valor de salida es de tipo booleano, por tanto, es necesario convertirlo a un tipo de dato *xUnsigned* o *xSigned* debido a que este es el tipo de dato que requiere los módulos alimentadores en su entrada *Control Ancho Haz*.



Esta conversión es llevada a cabo por los bloque *Convert*. Con cada uno o cero en el tipo de dato adecuado se puede habilitar o inhabilitar la fila y columna correspondiente del arreglo de módulos alimentadores (figura 17).

Los bloques amarillos que aparecen en la figura 32b a la salida de los bloques *Relational* son bloques *Gateway out* que representan la cantidad de puertos físicos de salida que se requieren para controlar los módulos alimentadores implementados en FPGAs externos.



## 4. ANALISIS DE RESULTADOS

En este capítulo se consignan los resultados numéricos y gráficos del corrimiento de fase conseguidos como resultado de la simulación, con los cuales se busca mostrar el desempeño del diseño en el proceso de conformación de haces y el aporte propuesto en términos de mejoramiento en relación con las técnicas de conformación de haces implementadas en los actuales sistemas satelitales. También se muestran de forma gráfica los anchos del lóbulo principal del diagrama de radiación predefinidos que en algún momento dado podrán ser conformados dependiendo de la zona que se desee cubrir. Además se sugiere la referencia del FPGA idóneo para la implementación del diseño propuesto. Esta selección se lleva a cabo teniendo en cuenta el dimensionamiento de los recursos necesarios en hardware, los cuales permiten determinar el número de FPGAs que se deberían utilizar en caso de una implementación.

### 4.1. Análisis del FPGA idóneo para la implementación del diseño.

En el segundo capítulo se realizó un completo análisis de las características de los dispositivos de propósito general donde se presentó la selección del FPGA como el dispositivo hardware más adecuado para los objetivos del proyecto. Partiendo de esta afirmación, se debe encontrar la referencia del FPGA más adecuada que se ajuste a las demandas del diseño.

Como se mostró en el capítulo 3, el diseño conformado por un arreglo superficial de orden 140 resulta ser bastante complejo especialmente por los 19.600 módulos de excitación que se necesitan, los cuales demandan gran capacidad de almacenamiento, cantidad de operaciones aritméticas, funciones lógicas, y muchas entradas y salidas. Esto justifica la división en módulos expuesta en el capítulo 3.

Para poder encontrar el dispositivo FPGA idóneo hay que tener en cuenta la cantidad de módulos que se requieren y el consumo en recursos hardware que cada uno de ellos demanda, y también se debe analizar cuáles son las características físicas de los dispositivos FPGAs que en la actualidad están disponibles en el mercado, asimismo considerar el costo de cada uno. XSG proporciona un bloque denominado *Resource Estimator* (bloque azul figura 33), el cual realiza un mapeo de todos los bloques y funciones lógicas utilizadas en el diseño con el propósito de estimar los recursos hardware que se requerirían para implementar dicho diseño.

De acuerdo con el diseño de la distribución modular se tiene entonces 400 módulos alimentadores, los cuales van a ser sometidos a un análisis de estimación de recursos hardware para determinar la cantidad de módulos que puedan ser implementados por cada dispositivo FPGA.

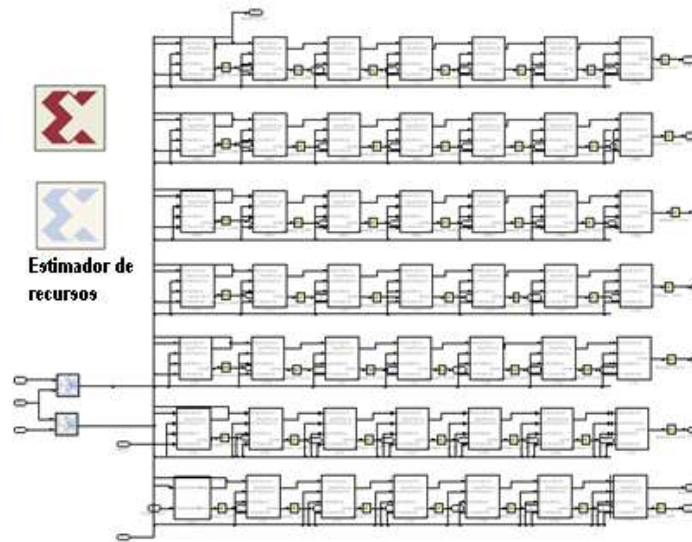


Figura 33. Módulo alimentador compuesto de un arreglo rectangular de 7x7 módulos de excitación.

El bloque *Resource Estimator* arroja estadísticas de las especificaciones físicas más importantes, es decir, las especificaciones técnicas que reflejan la evolución de las diferentes arquitecturas de FPGAs. Como se puede apreciar en la figura 34, estas son: Slices, FFs, BRAMs, LUTs, IOBs, Emb.Mults, TBUFs.

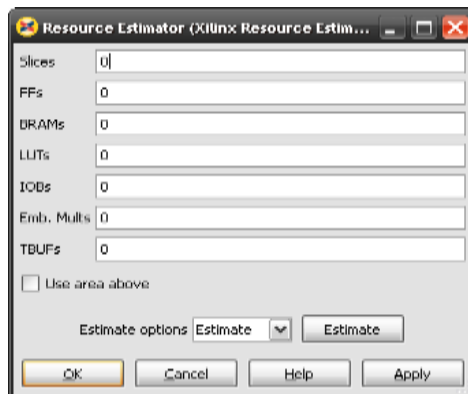


Figura 34. Parámetros utilizados por el bloque *Resource Estimator* para estimar los recursos hardware requeridos por un diseño.

#### 4.1.1. Arquitectura de un FPGA.

Un FPGA está compuesto por un arreglo de bloques lógicos configurables CLBs (*Configurable Logic Blocks*) rodeados por bloques de entrada y salida IOBs (*Input/Outputs Blocks*). A cada lado de la placa entre los CLBs y los IOBs se encuentran los bloques de memoria de acceso aleatorio BRAMs (*Random Access Memory Blocks*), como se observa en la figura 35.

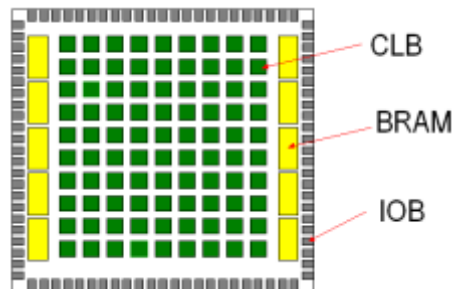


Figura 35. Arquitectura de un FPGA virtex de Xilinx.

#### 4.1.2. CLB

Son bloques donde se implementan funciones lógicas, aritméticas, y también cumplen funciones de registros para almacenar información. Cada CLB está constituido por dos Slices, donde se implementan las funciones lógicas y de almacenamiento. Las entradas y salidas multiplexadas conforman el direccionamiento general, son las que permiten interconectar los Slices entre sí y con otros CLBs. Ver figura 36.

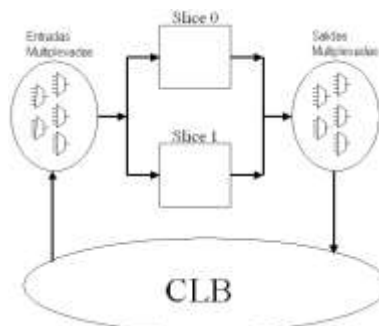


Figura 36. CLB de una arquitectura Virtex.

#### 4.1.3. Slice.

Es el bloque elemental de lógica programable. Está conformado por tablas de consulta LUTs (*Look-Up-Tables*), flip flops tipo D, multiplexores controlados por el usuario para la lógica combinacional (*MUX*), y lógica aritmética dedicada. Las LUTs pueden ser utilizadas para representar compuertas e implementar funciones lógicas o para implementar pequeñas memorias. Los flip flops pueden ser utilizados para crear estados de máquina. Ver figura 37.

Los Slices tienen en su interior multiplexores que permiten controlar la conectividad de los recursos internos e implementan lógica de acarreo para la ejecución de operaciones aritméticas.

Los Slices tienen una configuración de LUTs y flip-flops que varían dependiendo de la versión del FPGA que se analice. Tomando como referencia los FPGAs versión 4 de la referencia *Virtex* de Xilinx, se tiene que los Slices están configurados por dos flip-flops y dos tablas LUTs de 4 entradas. Estas LUTs tienen capacidad para una tabla de verdad de 16 combinaciones diferentes, pero con los nuevos diseños en la arquitectura fundamental del chip virtex 5 y 6, se incrementó la capacidad de las tablas LUTs de 4 a 6 entradas, en consecuencia, se logra almacenar un tabla de verdad con 64 combinaciones por LUT. [16]

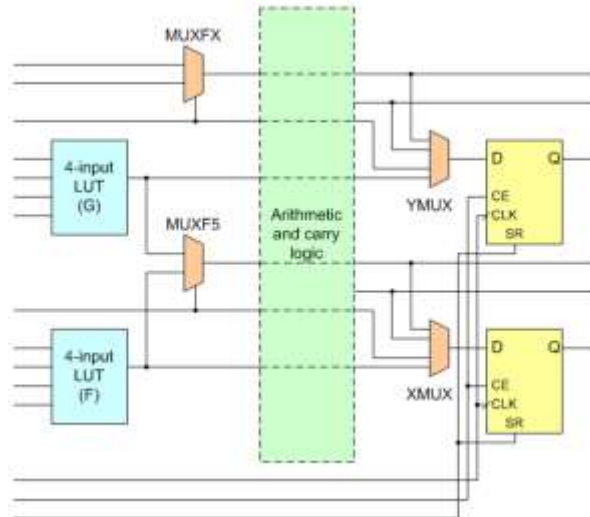


Figura 37. Diagrama del bloque Slice de un Virtex 4.

#### 4.1.4. Memoria RAM.

Las estructuras de memoria utilizadas en estos dispositivos se presentan de 2 formas: la primera utiliza LUTs como RAM distribuida y la segunda se presenta como bloques de memoria independientes. Los bloques de memoria pueden utilizarse como LUTs de gran capacidad para implementar funciones con un elevado número de entradas.

La cantidad de bloques RAM y la capacidad de almacenamiento son diferentes en cada referencia de FPGAs de arquitectura virtex. [17]

#### 4.1.5. Multiplicadores empotrados.

En las arquitecturas virtex 2 se implementaron circuitos multiplicadores de 18bits por 18bits en complemento a 2, el resultado tiene una precisión de 36 bits. En cada referencia de las virtex 2 vienen diferentes cantidades de circuitos multiplicadores.

A partir del lanzamiento de la arquitectura virtex 4 se agregó un bloque de lógica especializado llamado segmento DSP48, los cuales fueron diseñados para proporcionar

un mayor nivel de integración de proceso de señales y así lograr un empleo mínimo de lógica genérica adicional, lo que se traduce en un menor consumo de energía, alto rendimiento en términos de velocidad y un uso eficiente de los recursos del dispositivo. El módulo más importante del DSP48 es el circuito multiplicador de 18bits por 18bits, el cual viene acompañado de un restador/acumulador/sumador de 48 bits necesario para múltiples aplicaciones dentro del procesamiento digital de señal. Resumiendo, el DSP48 puede implementar funciones matemáticas básicas de manera sencilla y a alta velocidad como; sumadores, restadores, acumuladores, multiplicadores, multiplicadores acumuladores (MAC), multiplexores, desplazadores, contadores, divisores y raíces cuadradas.

En el lanzamiento de la virtex 5 se llevaron a cabo mejoras en la arquitectura del DSP48 especialmente en su módulo principal, el circuito multiplicador, al cual se le amplió su capacidad a 25bits por 18bits dando origen al segmento DSP48E, asimismo se presentaron mejoras en la cantidad de operaciones disponibles, entre ellas; sumador de 3 entradas, barril de desplazamiento, multiplexores de bus amplio, contadores y comparadores amplios.

Con el lanzamiento de la arquitectura virtex 6 surge el DSP48E1, el cual está estructurado de la misma manera que el DSP48E con la diferencia que incluye una función pre-sumadora que proporciona mejor desempeño, debido a que esta función se estaba llevando a cabo por medio de la lógica externa en la virtex 5. [18][19]

#### **4.1.6. Bloques de entrada y salida.**

Es un parámetro que indica la cantidad de pines que tiene el chip FPGA disponibles para representar puertos de entrada o de salida. El bloque *Resource estimator* (figura 34) calcula la cantidad de bloques que se necesitarían para implementar el diseño.

#### **4.1.7. Arquitecturas Virtex de dispositivos FPGAs existentes.**

Las arquitecturas virtex han proporcionado gran flexibilidad en la implementación de funciones sencillas y complejas con la ayuda de mínimos niveles de lógica, logrando de esta manera un desempeño superior del diseño. En la actualidad, la arquitectura virtex 6 es la última innovación de Xilinx y como era de esperarse ofrece grandes mejoras en términos de consumo de energía, desempeño, y reducción de costo, en comparación con sus antecesores, virtex 4 y 5. Como consecuencia de esto, la opción más avanzada tecnológicamente es la arquitectura virtex 6 de Xilinx, no obstante, hay que tener en cuenta el análisis de requerimientos de recursos del diseño para poder determinar cual arquitectura virtex podría llegar a ser la más adecuada para implementar el diseño del proyecto.

Cada versión de la arquitectura virtex se encuentra dividida por familias, donde cada una se caracteriza por tener diferentes propiedades, entre las cuales se encuentran:

- **LX:** ha sido optimizada por ofrecer un alto desempeño en aplicaciones lógicas.
- **LXT:** Bajo consumo de energía en conectividad serial y alto desempeño en aplicaciones lógicas.
- **SXT:** Concebida para optimizar el procesamiento digital de señales, aplicaciones con alto requerimiento de memoria y bajo consumo de energía en conectividad serial.
- **FXT:** ha sido creada para mejorar el procesamiento empotrado, el procesamiento digital de señales, las aplicaciones con demanda exhaustiva de memoria y con alta velocidad requerida para conectividad serial de entrada y salida.
- **TXT:** Optimizada para aplicaciones de banda ancha, como puenteo, switching, sistemas de redes de telecomunicaciones. Plataformas con interfaces de 100 Gigabit ethernet.

Las tablas 7, 8 y 9 contienen un resumen de características de las familias de FPGAs existentes en las arquitecturas virtex 4, 5 y 6 respectivamente. Solo se tienen en cuenta estas últimas 3 generaciones porque son las que han implementado avances tecnológicos más significativos en la arquitectura Virtex.

Tabla 7. Características físicas de las familias LX de FPGAs de la arquitectura virtex 4.

FPGAs Virtex 4 Familia LX								
Parámetros	Lx15	Lx25	Lx40	Lx60	Lx80	Lx100	Lx160	Lx200
<b>Slices</b>	6.144	10.752	18.432	26.624	35.840	49.152	67.584	89.088
<b>CLBs</b>	3.072	5.376	9.216	13.312	17.920	24.576	33.792	44.544
<b>Flip Flops</b>	12.288	2.1504	36.846	53.284	71.680	98.304	13.5168	17.8176
<b>LUTs</b>	12.288	2.1504	36.846	53.284	71.680	98.304	13.5168	17.8176
<b>Bloques RAM (18 Kb)</b>	48	72	96	160	200	240	288	336
<b>IOBs</b>	320	448	640	640	768	960	960	960
<b>DSP48</b>	32	48	64	64	80	96	96	96

Tabla 7.1 Características físicas de las familias FX de FPGAs de la arquitectura virtex 4.

FPGAs Virtex 4 Familia FX						
Parámetros	Fx12	Fx20	Fx40	Fx60	Fx100	Fx140
<b>Slices</b>	5.472	8.544	18.624	25.280	42.176	63.168
<b>CLBs</b>	2.736	4.272	9.312	12.640	21.088	31.584
<b>Flip Flops</b>	10.944	17.088	37.248	50.560	84.352	126.336
<b>LUTs</b>	10.944	17.088	37.248	50.560	84.352	126.336
<b>Bloques RAM (18 Kb)</b>	36	68	144	232	376	552
<b>IOBs</b>	320	320	448	576	768	896
<b>DSP48</b>	32	32	48	128	160	192

Tabla 7.2 Características físicas de las familias SX de FPGAs de la arquitectura virtex 4.

FPGAs Virtex 4 Familia SX			
Parámetros	Sx25	Sx35	Sx55
<b>Slices</b>	10.240	15.360	24.576
<b>CLBs</b>	5.120	7.680	12.288
<b>Flip Flops</b>	20.480	30.720	49.152
<b>LUTs</b>	20.480	30.720	49.152
<b>Bloques RAM (18 Kb)</b>	128	192	320
<b>IOBs</b>	320	448	640
<b>DSP48</b>	128	192	512

Tabla 8. Características físicas de las familias LX de FPGAs de la arquitectura virtex 5.

FPGAs Virtex 5 Familia LX							
Parámetros	Lx30	Lx50	Lx85	Lx110	Lx155	Lx220	Lx330
<b>Slices</b>	4.800	7.200	12.960	17.280	24.320	34.560	51.840
<b>CLBs</b>	2.400	3.600	6.480	8.640	12.160	17.280	25.920
<b>Flip Flops</b>	19.200	28.800	51.840	69.120	97.280	138.240	207.360
<b>LUTs</b>	19.200	28.800	51.840	69.120	97.280	138.240	207.360
<b>Bloques RAM (36 Kb)</b>	32	48	96	128	192	192	288
<b>IOBs</b>	400	560	560	800	800	800	1200
<b>DSP48E</b>	32	48	48	64	128	128	192

Tabla 8.1 Características físicas de las familias LXT de FPGAs de la arquitectura virtex 5.

FPGAs Virtex 5 Familia LXT								
Parámetros	Lx20T	Lx30T	Lx50T	Lx85T	Lx110T	Lx155T	Lx220T	Lx330T
<b>Slices</b>	3.120	4.800	7.200	12.960	17.280	24.320	34.560	51.840
<b>CLBs</b>	1.560	2.400	3.600	6.480	8.640	12.160	17.280	25.920
<b>Flip Flops</b>	12.480	19.200	28.800	51.840	69.120	97.280	138.240	207.360
<b>LUTs</b>	12.480	19.200	28.800	51.840	69.120	97.280	138.240	207.360
<b>Bloques RAM (36 Kb)</b>	26	36	60	108	148	212	212	324
<b>IOBs</b>	172	360	480	480	680	680	680	960
<b>DSP48E</b>	24	32	48	48	64	128	128	192

Tabla 8.2 Características físicas de las familias SX de FPGAs de la arquitectura virtex 5.

FPGAs Virtex 5 Familia SXT				
Parámetros	Sx35T	Sx50T	Sx95T	Sx240T
<b>Slices</b>	5.440	8.160	14.720	37.440
<b>CLBs</b>	2.720	4.080	7.360	18.720
<b>Flip Flops</b>	21.760	32.640	58.880	149.760
<b>LUTs</b>	21.760	32.640	58.880	149.760
<b>Bloques RAM (36 Kb)</b>	84	132	244	516
<b>IOBs</b>	360	480	640	960
<b>DSP48E</b>	192	288	640	1056

Tabla 8.3 Características físicas de las familias FX de FPGAs de la arquitectura virtex 5.

Parámetros	FPGAs Virtex 5 Familia FXT				
	Fx30T	Fx70T	Fx100T	Fx130T	Fx200T
<b>Slices</b>	5.120	11.200	16.000	20.480	30.720
<b>CLBs</b>	2.560	5.600	8.000	10.240	15.360
<b>Flip Flops</b>	20.480	44.800	64.000	81.920	122.880
<b>LUTs</b>	20.480	44.800	64.000	81.920	122.880
<b>Bloques RAM (36 Kb)</b>	68	148	228	298	456
<b>IOBs</b>	360	640	680	840	960
<b>DSP48E</b>	64	128	256	320	384

Tabla 8.4 Características físicas de las familias TXT de FPGAs de la arquitectura virtex 5.

Parámetros	Virtex 5 Familia TXT	
	Fx30T	Fx70T
<b>Slices</b>	23.200	37.440
<b>CLBs</b>	11.600	18.700
<b>Flip Flops</b>	92.800	149.760
<b>LUTs</b>	92.800	149.760
<b>Bloques RAM (36 Kb)</b>	228	324
<b>IOBs</b>	680	680
<b>DSP48E</b>	80	96

Tabla 9. Características físicas de las familias de FPGAs de la arquitectura virtex 6.

Parámetros	FPGAs Virtex 6 Familia LXT							Familia SXT	
	Lx75T	Lx130T	Lx195T	Lx240T	Lx365T	Lx550T	Lx760T	Sx315T	Sx475T
<b>Slices</b>	11640	20000	31200	37680	56880	85920	118560	49200	74400
<b>CLBs</b>	5820	10000	15600	18840	28440	42960	59280	24600	37200
<b>Flip Flops</b>	93120	160000	249600	301440	455040	687360	948480	393600	595200
<b>LUTs</b>	46560	80000	124800	150720	227520	343680	474240	196800	297600
<b>Bloques RAM (36 Kb)</b>	156	264	344	416	416	632	720	704	1064
<b>IOBs</b>	360	600	600	720	720	1200	1200	720	840
<b>DSP48E1</b>	288	480	640	768	576	864	864	1344	2016

Xilinx en el diseño de la arquitectura virtex 6 solo ha lanzado al mercado hasta el momento las familias LXT y SXT, las cuales soportan un alto grado de operaciones aritméticas y funciones lógicas implementadas.

#### 4.1.8. Análisis de recursos hardware requeridos por los sub diseños.

Se entiende como sub diseño la parte del diseño del componente de conformación de haces que puede ser implementado en un solo FPGA.



Para seleccionar la arquitectura Virtex de familias FPGAs adecuada es necesario conocer la cantidad de recursos hardware requeridos por los distintos sub diseños planteados, lo cual permite determinar cuantos módulos alimentadores se pueden implementar por cada dispositivo FPGA. Se plantean dos tipos de sub diseños; el primero está dado por el módulo de cálculo de fase y control de ancho de haz más la cantidad de módulos de alimentación que soporte el FPGA. El segundo sub diseño solo contiene el número de módulos de alimentación que soporte el dispositivo. En caso de ser implementado el diseño del componente de conformación de haces, el primer sub diseño se utiliza una sola vez y en el primer FPGA debido a que las operaciones realizadas por los módulos de cálculo de fase y control de ancho de haz no necesitan ser calculadas nuevamente. El resto de dispositivos que hacen parte de la implementación son controlados por el primer FPGA.

El sub diseño del componente de conformación de haces con un módulo alimentador se puede apreciar en la figura 38.

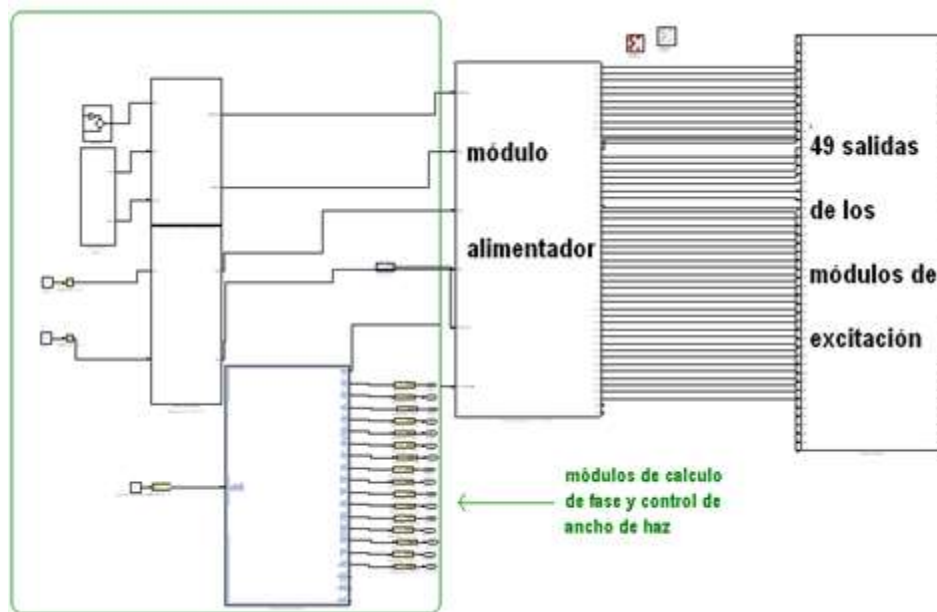


Figura 38. Sub diseño del componente de conformación de haces con un módulo alimentador.

La figura 39 muestra la demanda de recursos hardware del sub diseño del módulo alimentador de 49 módulos de excitación más los módulos de cálculo de fase y control de ancho de haz, es decir, sería el requerimiento del componente de conformación de haces con un módulo alimentador.

Respecto al estimador de recursos de la figura 39 hay que especificar que el reporte de Slices es tomado en cuenta asumiendo que la conformación de estos, es de 2 flip-flops y 2 tablas LUTs de 4 entradas, además, los bloques multiplicadores se asumen de 18X18 Bits, es decir, no se realiza un pronóstico de cuantos DSP48, DSP48E, o DSP48E1 se necesitarían, razón por la cual no es posible encontrar la cantidad precisa de

procesadores DSPs que se requerirían. Por último, se debe aclarar que el parámetro TBUFs (*Tri-state busses*) son buffers de 3 estados que tienen puertos de entrada para controlar la conectividad interna del chip, pero han sido suprimidos de las arquitecturas virtex, siendo la virtex 2 la última versión que implementó TBUFs, por lo tanto este parámetro aparece en cero.

Slices	21594
FFs	35257
BRAMs	113
LUTs	33086
IOBs	751
Emb. Mults	614
TBUFs	0

Use area above

Estimate options: Estimate [v] [Estimate]

[OK] [Cancel] [Help] [Apply]

Figura 39. Conjunto de especificaciones hardware requeridas por el componente de conformación de haces con un módulo alimentador.

Para obtener el número real de tablas LUTs y Slices que el módulo requiere se debe realizar la conversión de las tablas LUT de 4 entradas por las de 6 entradas y luego calcular el número de Slices, teniendo en cuenta que la arquitectura virtex 6 y 5 tienen una configuración más avanzada en la constitución de los Slices. Para realizar la aproximación de la cantidad de tablas LUTs de 6 entradas que se necesitarían para implementar un diseño que ha sido estimado con LUTs de 4 entradas, se toma el criterio de los investigadores de Xilinx, quienes realizaron un experimento en una arquitectura con LUTs de 4 entradas y luego lo implementaron en una arquitectura con LUTs de 6 entradas, encontrando que el porcentaje de reducción de tablas LUTs es del 21% [20]. De acuerdo con la figura 39, el número de LUTs de cuatro entradas reportado por el bloque *Resource Estimator* es 21.594, restándole el 21% se obtiene un valor aproximado de 17.060 LUTs de 6 entradas, y teniendo en cuenta que cada Slice está conformado por 4 de éstas LUTs entonces el número aproximado de Slices es 4.265, en ese orden de ideas, el número de CLBs aproximado sería 2.133 si se tiene en cuenta que cada CLB contiene dos Slices.

Si se analiza el detalle de los requerimientos de la figura 39 y se compara con las características físicas de las arquitecturas virtex 4, 5 y 6 (tablas 7, 8 y 9) se concluye que varias referencias de FPGAs cumplen holgadamente con estos requerimientos a excepción del número de entradas y salidas (IOBs), por lo tanto, surge la necesidad de plantear otro sub diseño que contenga dos módulos alimentadores pero multiplexando las salidas para que el consumo de bloques de entrada y salida no se incremente.

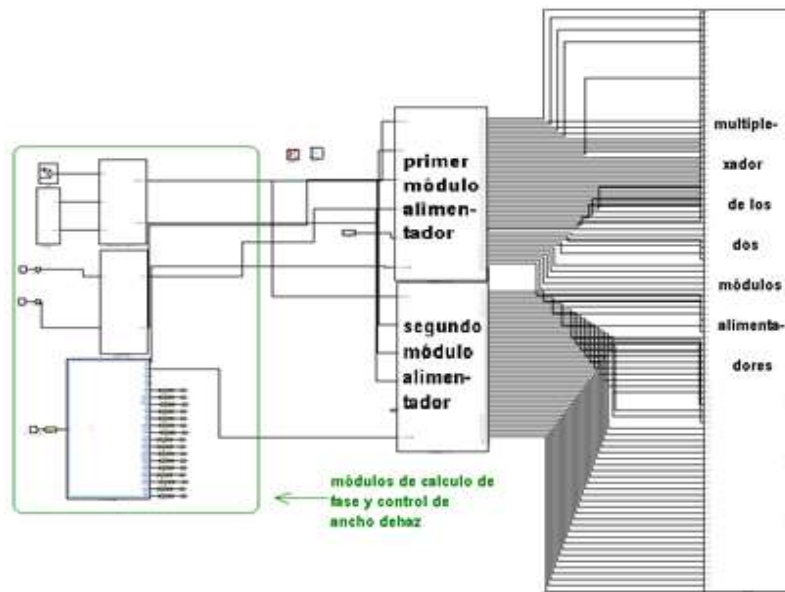


Figura 40. Componente de conformación de haces con dos módulos alimentadores multiplexando las salidas.

El sub diseño del componente de conformación de haces con dos módulos alimentadores multiplexando las salidas se puede apreciar en la figura 40. Realizando una estimación de recursos a este sub diseño se obtienen los resultados representados por la figura 41.

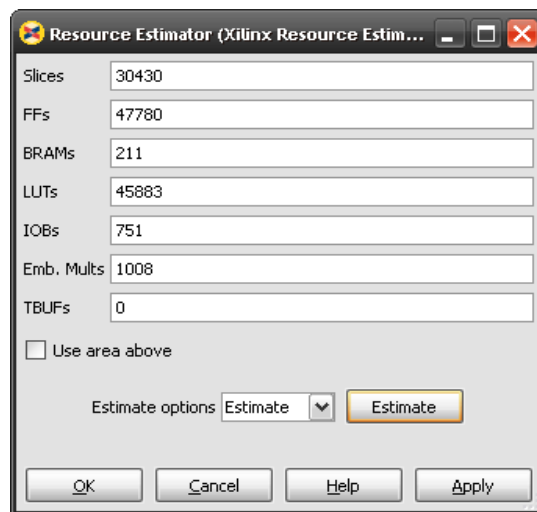


Figura 41. Conjunto de especificaciones hardware requeridas por el componente de conformación de haces con dos módulos alimentadores multiplexando las salidas.

En la figura 41 se observa que el análisis de requerimientos hardware del componente de conformación de haces con dos módulos alimentadores multiplexando las salidas, revela un mayor requerimiento en tablas LUTs, slices, flip-flops, y bloques RAM con la misma cantidad de bloques de entrada y salida, en comparación con el análisis de recursos hardware que exige el componente de conformación de haces con 1 módulo alimentador

(figura 39). Esto significa que ésta nueva configuración multiplexando las salidas de dos módulos alimentadores puede ser más eficiente en cuanto al aprovechamiento de recursos del FPGA, que la configuración del componente de conformación de haces con solamente 1 módulo alimentador. No obstante, si se comparan estos requerimientos con las características de algunos FPGAs virtex 5 y 6, se puede notar que aun se presenta un desaprovechamiento de recursos, por tanto, surge la necesidad de desarrollar un sub diseño con tres módulos alimentadores multiplexando las salidas, como se puede apreciar en la figura 42.

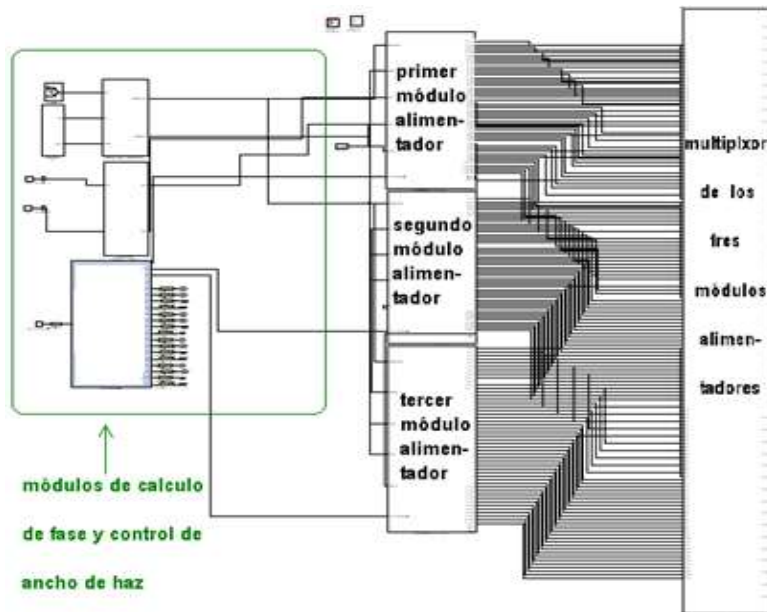


Figura 42. Componente de conformación de haces con tres módulos alimentadores multiplexando las salidas.

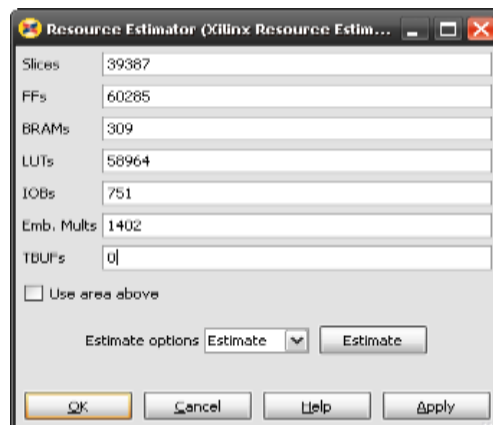


Figura 43. Conjunto de especificaciones hardware requeridas por el componente de conformación de haces con tres módulos alimentadores multiplexando las salidas.

Realizando una estimación de recursos a este sub diseño se obtienen los resultados mostrados en la figura 43.

Observando el análisis de recursos hardware para el componente de conformación de haces con tres módulos alimentadores multiplexando las salidas (figura 43), se puede notar que los multiplicadores empotrados empiezan a aumentar considerablemente de tal manera que se va cerrando el abanico de posibles arquitecturas de FPGAs disponibles para cumplir con los requerimientos hardware, y se presentan unas pocas referencias de FPGAs virtex 6 habilitadas para la posible implementación del sub diseño. Teniendo en cuenta que la referencia Sx475T (ver tabla 9) de la arquitectura virtex 6 cumple a cabalidad con los requerimientos de este diseño, surge la necesidad de analizar si es posible que ésta referencia soporte otro módulo alimentador más, como consecuencia de esto, se desarrolla un sub diseño con cuatro módulos alimentadores como se puede observar en la figura 44.

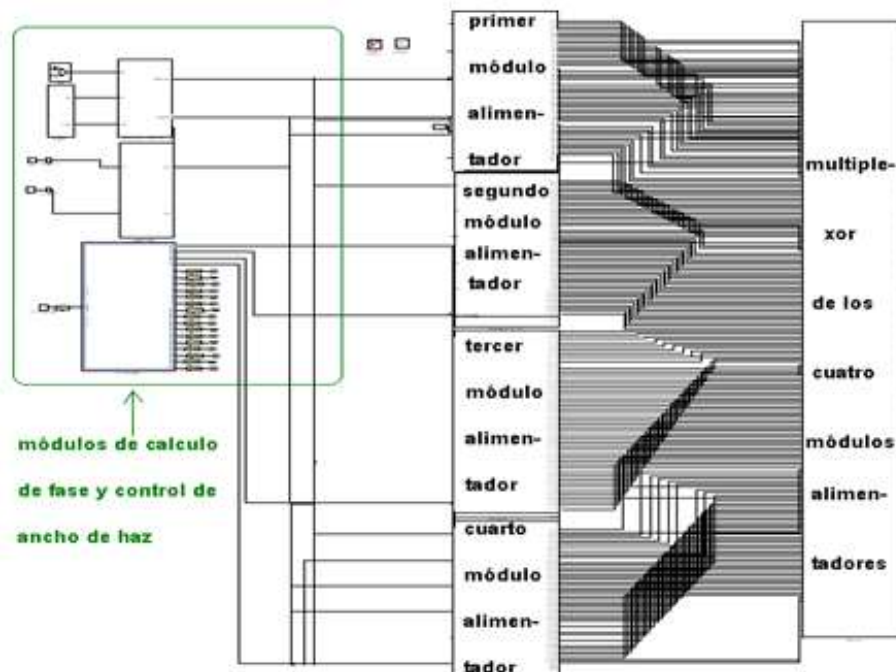


Figura 44. Componente de conformación de haces con cuatro módulos alimentadores multiplexando las salidas.

Realizando una estimación de recursos a este sub diseño se obtienen los resultados representados por la figura 45.

De acuerdo con la figura 45 se puede afirmar que los requerimientos de bloques multiplicadores y los bloques de entrada y salida del componente de conformación de haces con cuatro módulos alimentadores, se ajustan con un pequeño margen a las características de la referencia Sx475T de la arquitectura Virtex 6. Se toma como objeto de comparación esta referencia debido a que es la única FPGA que tiene altas capacidades de procesamiento en operaciones aritméticas a través de los procesadores DSP48E1 y gran cantidad de bloques RAM.

Hay que aclarar que los bloques *Mcode* no son tenidos en cuenta por el estimador de recursos. En razón a lo anterior se ha procurado implementar la mayoría de funciones

lógicas y aritméticas en otros bloques, sin embargo, se ha recurrido a ellos para implementar la función que permite encontrar la dirección donde están almacenados los valores del seno y coseno de la fase, los cuales se encuentran en el bloque *tabla coseno* en los módulos de excitación. Como consecuencia de esto, se debe dejar un margen a favor de las características del dispositivo FPGA seleccionado en comparación con la cantidad de requerimientos hardware proporcionados por el bloque *Resource Estimator*. Las operaciones necesarias para este control son comparaciones lógicas, adiciones y sustracciones que demandan exclusivamente bloques de lógica configurable, en razón a esto, el dispositivo FPGA a seleccionar debe superar los recursos establecidos por el estimador en el parámetro número de CLBs.

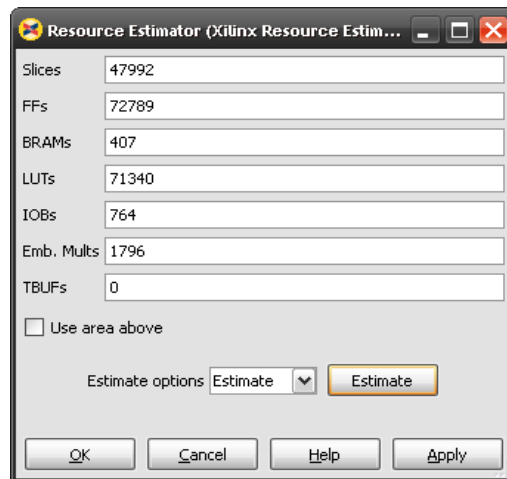


Figura 45. Conjunto de especificaciones hardware requeridas por el componente de conformación de haces con cuatro módulos alimentadores multiplexando las salidas.

De los cuatro sub diseños propuestos hasta el momento, solamente uno de ellos sería seleccionado como el más apropiado para la implementación en el primer FPGA. Teniendo en cuenta que el sub diseño del componente de conformación de haces con cuatro módulos alimentadores multiplexando las salidas (figura 44) puede ser la opción mas viable en términos de aprovechamiento de recursos, se realiza una estimación de recursos de los cuatro módulos alimentadores únicamente, es decir, sin tener en cuenta los módulos de cálculo de fase y control de ancho de haz (área verde en la figura 44), con el fin de determinar el segundo sub diseño que podría ir implementado en todos los dispositivos FPGAs que se requieran, a excepción del primero.

Observando la figura 46 se puede notar que el número de Slices, LUTs, Flip-Flops y multiplicadores empotrados de 18bitsx18bits disminuye en comparación con el reporte de recursos hardware de la figura 45, debido a que este sub diseño es el mismo de la figura 44 sin los módulos de cálculo de fase y control de ancho de haz, y es precisamente en él módulo de cálculo de fase donde se realiza gran parte del proceso matemático, por lo tanto, involucra una mayor cantidad de recursos hardware. Como era de esperarse, los bloques de entrada y salida aumentaron en comparación con el análisis de recursos de la figura 45. Esto se debe a que las conexiones entre los módulos de cálculo de fase,

control de ancho de haz y los módulos de alimentación (figura 44) se deben realizar a través de puertos de entrada a partir de los FPGAs siguientes al primero.

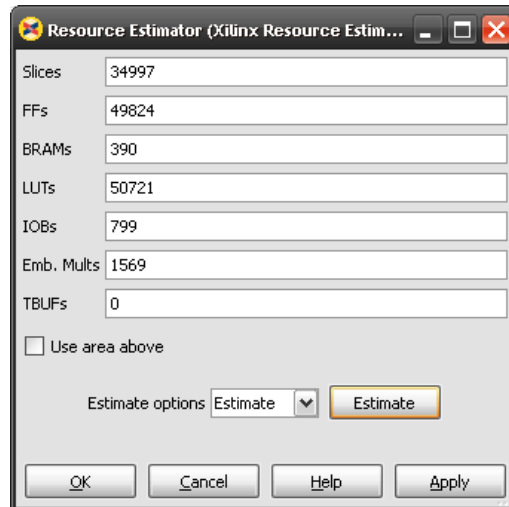


Figura 46. Conjunto de especificaciones hardware requeridas por el sub diseño de cuatro módulos alimentadores multiplexando las salidas.

#### 4.1.9. Análisis de la selección del FPGA adecuado que puede soportar la implementación del diseño.

El propósito de este análisis es seleccionar la arquitectura del FPGA más adecuada en relación con los requerimientos hardware de los sub diseños propuestos y analizados en el ítem 4.3.8 de éste capítulo, con el fin de tener en cuenta la mayor cantidad de módulos de alimentación que se podrían implementar en cada FPGA, y asimismo reducir la cantidad de FPGAs necesarios para implementar en el momento que se desee el diseño del componente de conformación de haces.

Teniendo en cuenta el análisis de recursos del ítem 4.3.8 y las arquitecturas Virtex de dispositivos FPGAs existentes del ítem 4.3.7 de éste capítulo, se puede concluir que:

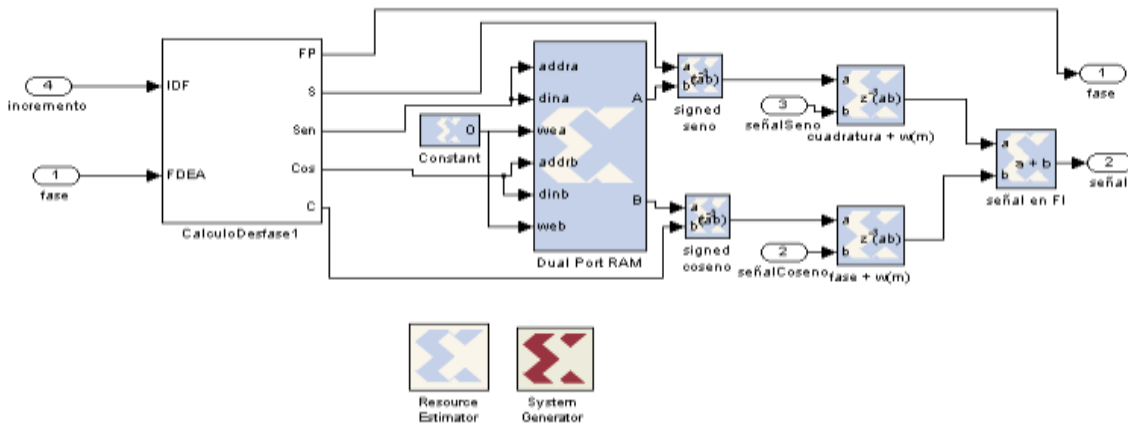
- La configuración de los módulos alimentadores con arreglos de módulos de excitación de orden 7 se considera como la más acertada desde el punto de vista del consumo de recursos y de la cantidad de dispositivos FPGAs que se requieren para la posible implementación del diseño del componente de conformación de haces. Esta afirmación está respaldada en otros diseños que se simularon y analizaron, dicha información se encuentra en el anexo B.

- La arquitectura virtex 4 en todas las familias disponibles presenta limitaciones para la implementación de los sub diseños propuestos, debido a que como se observó en el estimador de recursos de las figuras 39, 41, 43 y 45, los sub diseños presentan un alto requerimiento de bloques multiplicadores empotrados, que como ya se dijo anteriormente, son el componente fundamental de los procesadores DSP48.
- La técnica de multiplexación de salidas es una herramienta muy útil para aprovechar al máximo las capacidades de procesamiento de las distintas familias de FPGAs, debido a que si no se utilizaran, el máximo de módulos alimentadores que se podrían implementar por FPGA sería 2, y como se observa en los bloques de estimación de recursos (figuras 39, 41, 43 y 45), aplicando esta técnica, se pueden implementar hasta 4 módulos alimentadores logrando una reducción del 50% en el número de dispositivos FPGAs necesarios. El inconveniente que presenta esta técnica está relacionado con un incremento del error en el establecimiento de la dirección del diagrama de radiación.
- Son varias las referencias de las distintas familias de FPGAs en la arquitectura virtex 5 que tendrían la capacidad de implementar el sub diseño del componente de conformación de haces con dos módulos alimentadores, de no ser por la cantidad de bloques multiplicadores que él mismo requiere, por tanto, si se quisiera o se tuviera que utilizar alguna de estas referencias de FPGAs, la solución sería rediseñar los módulos alimentadores con más módulos de excitación y dejar un solo módulo alimentador por FPGA, lo cual incrementaría el número de bloques de entrada y de salida, pero a cambio se tendría la posibilidad de reducir el margen de error que introduce los mecanismos de multiplexación.
- La referencia Sx240T de la arquitectura virtex 5 tiene todas las capacidades físicas necesarias para cumplir con los requerimientos de los sub diseños del componente de conformación de haces con uno y dos módulos alimentadores. Es preciso aclarar que los multiplicadores empotrados de 18x18 bits reportados por el estimador de recursos, no pueden ser comparados con los procesadores DSP48E porque como se explicó anteriormente, estos últimos son procesadores que aparte de tener un multiplicador de 25x18 bits tienen la capacidad de realizar múltiples operaciones. Por consiguiente, la cantidad de multiplicadores reportados por el estimador de recursos representan una menor cantidad de procesadores DSP48E.
- La referencia Sx315T de la arquitectura virtex 6 podría servir para implementar los dos primeros sub diseños, con uno y con dos módulos alimentadores, de no ser porque el requerimiento exige 751 bloques de entrada y salida y la referencia Sx3157 solo tiene 720. Esta situación podría solucionarse si se rediseñan los módulos alimentadores y se definen con un tamaño menor, por ejemplo 6x6.

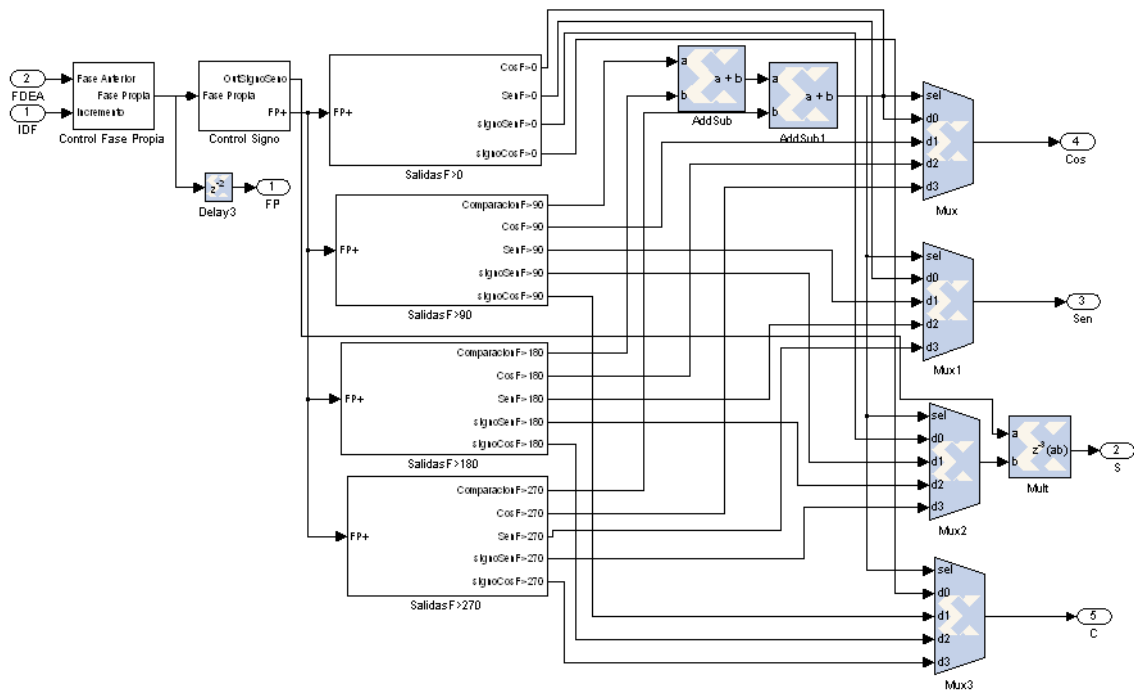


- La referencia Sx475T de arquitectura virtex 6 es la que mejor se acomoda a los requerimientos del sub diseño del componente de conformación de haces con 4 módulos alimentadores, por lo tanto, se ha considerado que puede ser esta la opción más viable para implementar el sub diseño con los cuatro módulos alimentadores.
- Si se revisan los requerimientos del sub diseño del componente de conformación de haces con cuatro módulos alimentadores y se analizan las características físicas de la referencia Sx475T de la arquitectura virtex 6, se puede afirmar que está en capacidad de soportar un quinto módulo alimentador (ver tabla 10). No se optó por esta opción debido a que el estimador de recursos no tiene en cuenta los bloques Mcode en el momento de realizar la estimación, en razón a esto, no es conveniente utilizar completamente las capacidades de los FPGAs. Otra razón que se tuvo en cuenta para no incluir un quinto módulo de alimentación es el error en la precisión de la dirección del diagrama de radiación, el cual sobrepasa un desplazamiento de 45 kilómetros.

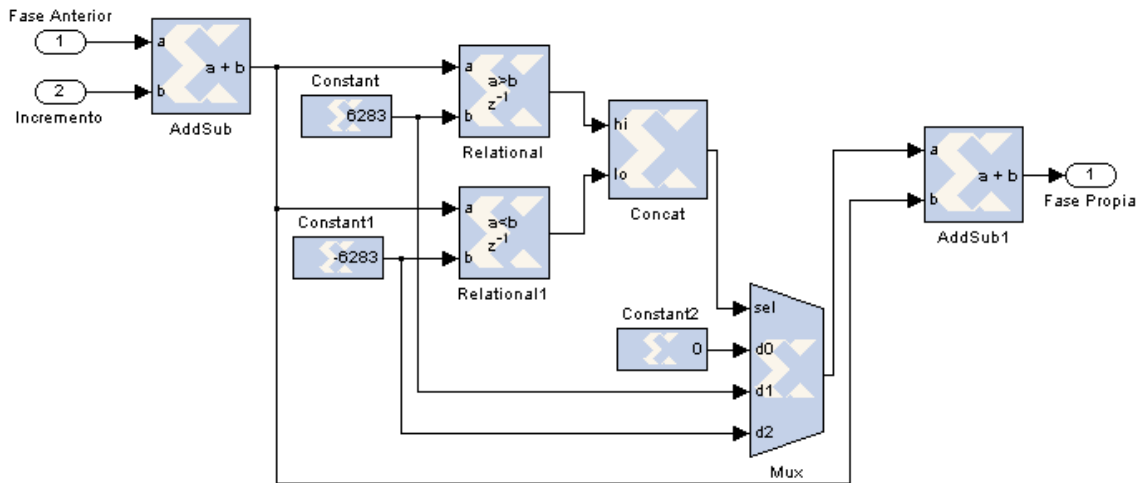
Con el propósito de obtener un criterio de selección más preciso se rediseñó el módulo de excitación sustituyendo el bloque Mcode por un bloque que realiza las mismas funciones con la inclusión de bloques *AddSub*, *Concat*, *Constant*, *Convert*, *Mults*, *Mux*, *Relational* y *ROM*; ver figura 47. El diseño del componente de conformación de haces no se simuló con el bloque de excitación sin Mcode, debido a que requiere de un equipo con altas capacidades de procesamiento, por lo tanto, se realizó un análisis de los requerimientos hardware de un módulo de excitación con Mcode y uno sin Mcode con el fin de establecer la diferencia en requerimientos hardware entre los dos módulos, ver figura 48. Con esta diferencia de requerimientos se procede a calcular la totalidad de recursos hardware que requiere el diseño total sin bloques Mcode, ver tabla 10.



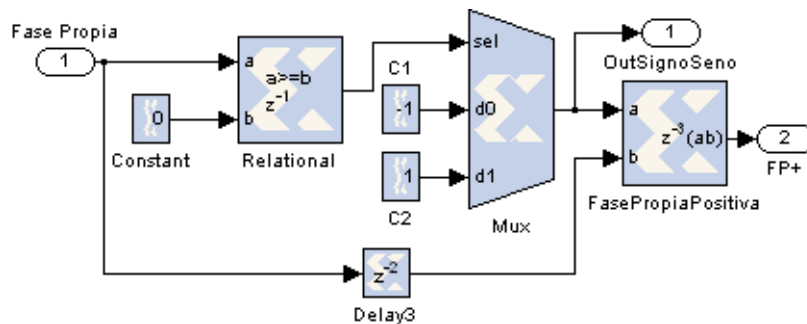
a-Módulo de excitación sin Mcode (*CálculoDesfase1*).



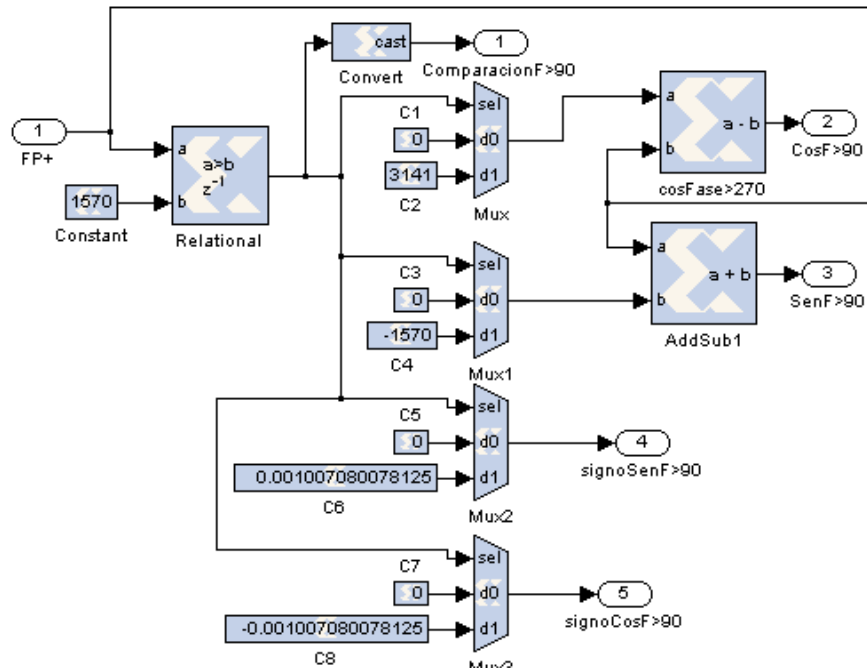
b-Diseño interno del subsistema *CálculoDesfase* sin Mcode.



c-Diseño interno del subsistema *Control Fase Propia*.



d- Diseño interno del subsistema *Control Signo*.



e-Diseño interno del subsistema *SalidasF>x*.  
 Figura 47. Diseño del Módulo de excitación sin Mcode.

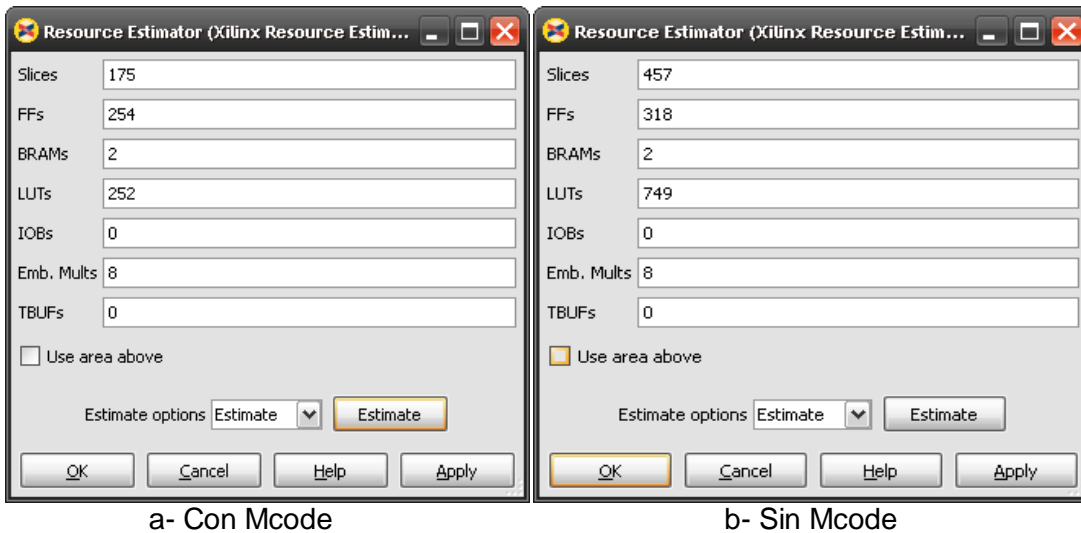


Figura 48. Estimación de recursos para el módulo de excitación.

El resultado del análisis de los requerimientos hardware de los sub diseños del componente de conformación de haces con cuatro módulos alimentadores, con bloques Mcode y sin ellos, en términos porcentuales y en relación con la capacidad ofrecida por el FPGA de referencia Sx475T de arquitectura Virtex 6, se puede observar en la tabla 10.

Tabla 10. Porcentaje de utilización de recursos de los sub diseños seleccionados.

Porcentaje de utilización de recursos (%) Virtex 6 Sx475T				
Parámetros	Primer sub diseño (con Mcode)	Segundo sub diseño (con Mcode)	Primer sub diseño (sin Mcode)	Segundo sub diseño (sin Mcode)
<b>Slices</b>	18.9381	13.4642	44.4436	38.9704
<b>CLBs</b>	18.9381	13.4642	44.4436	38.9704
<b>Flip Flops</b>	12.2293	8.3709	14.3301	10.4717
<b>LUTs</b>	18.9375	13.4642	44.4436	38.9704
<b>Bloques RAM (36 Kb)</b>	38.2518	36.6541	38.2518	19.3223
<b>IOBs</b>	90.9523	95.1190	90.9523	95.1190
<b>DSP48E1</b>	89.0873	77.8273	89.0873	77.8273

En conclusión, la referencia que se ha considerado como la más apropiada para implementar el diseño del componente de conformación de haces para el subsistema de antenas, es la Sx475T de la arquitectura Virtex 6. En el primer FPGA Sx475T de arquitectura Virtex 6 podrá ir implementado el primer sub diseño del componente de conformación de haces con cuatro módulos alimentadores, y en el resto de dispositivos irá implementado el segundo sub diseño de cuatro módulos alimentadores de 49 módulos de excitación cada uno, lo cual indica que para implementar el diseño completo con sus 400 módulos se requiere de 100 FPGAs Sx475T de arquitectura Virtex 6.

De acuerdo con la tabla 10 se puede notar que los sub diseños del componente de conformación de haces sin el bloque Mcode en el módulo de excitación, efectivamente utilizan un mayor número de CLBs, por consiguiente, requieren más Slices, LUTs, y Flip-Flops.

#### 4.2. Análisis de resultados del corrimiento en fase.

La visualización de los resultados comprende dos partes; una parte matemática, apoyada en las ecuaciones estudiadas en el marco teórico del capítulo dos, en la que se hallan valores de fase teóricos esperados en la simulación, y una parte de visualización gráfica, donde se utiliza el analizador de señales de Simulink para ver los corrimientos de fase producidas por el diseño elaborado. Con la visualización se obtienen los valores en los que la señal de referencia y la señal investigada cruzan por cero y luego se procede a calcular el valor de la fase simulada  $\delta_{sim}$  tanto para X como para Y. Lo cual se hace aplicando la siguiente relación.

$$\delta_{sim} = 2\pi f_{IM}(\Delta t) \quad (33)$$

Donde  $f_{IM}$ , es el valor de la frecuencia intermedia y

$$\Delta t = t_r - t_s \quad (34)$$

Donde,  $t_r$  es el tiempo en ciclos de reloj en el que la señal de referencia cruza por cero y  $t_s$  es el tiempo más próximo al anterior en ciclos de reloj en el que la señal a medir cruza por cero, el valor se mide hacia la izquierda si la fase teórica es negativa y hacia la derecha en caso contrario. La figura 49 muestra el resultado de la simulación para un ángulo  $\theta$  de 8.5 grados y  $\varphi$  de 45 grados, en la gráfica superior se tiene la señal de referencia y en la inferior se tiene la gráfica de la señal investigada (tercer elemento del arreglo en dirección X), con los valores de  $\theta$  y  $\varphi$  dados se obtiene un valor de fase en X negativo, ver anexo A, por lo tanto la variación en tiempo debe medirse desde el tiempo del cero escogido en la señal de referencia hacia la izquierda buscando el cero más cercano en la señal investigada, en la figura 49 se marcan los ceros de las dos señales mencionadas.

Para finalizar, se calculan los valores de  $\theta$  y  $\varphi$  obtenidos en la simulación a partir de las fases en X y Y, con base en las ecuaciones estudiadas en el marco teórico (capítulo dos).

Para efectos del análisis general del diseño se realizaron pruebas con los 18 ángulos posibles que puede tomar  $\theta$  y con los valores posibles del ángulo en  $\varphi$ , de 0 a 360 grados por cada ángulo seleccionado en  $\theta$ . En el anexo A solo se han colocado los valores de  $\varphi$  entre 0 y 45 grados, en razón a que para los ángulos por encima de los 45 grados en  $\varphi$  los resultados de fase repiten valores de igual magnitud. Para un valor  $\theta$  de cero grados, los corrimientos de fase son nulos, por lo tanto en el anexo A no se considera una tabla para  $\theta$  cero, sino que se inicia con  $\theta$  en 0,5 grados.

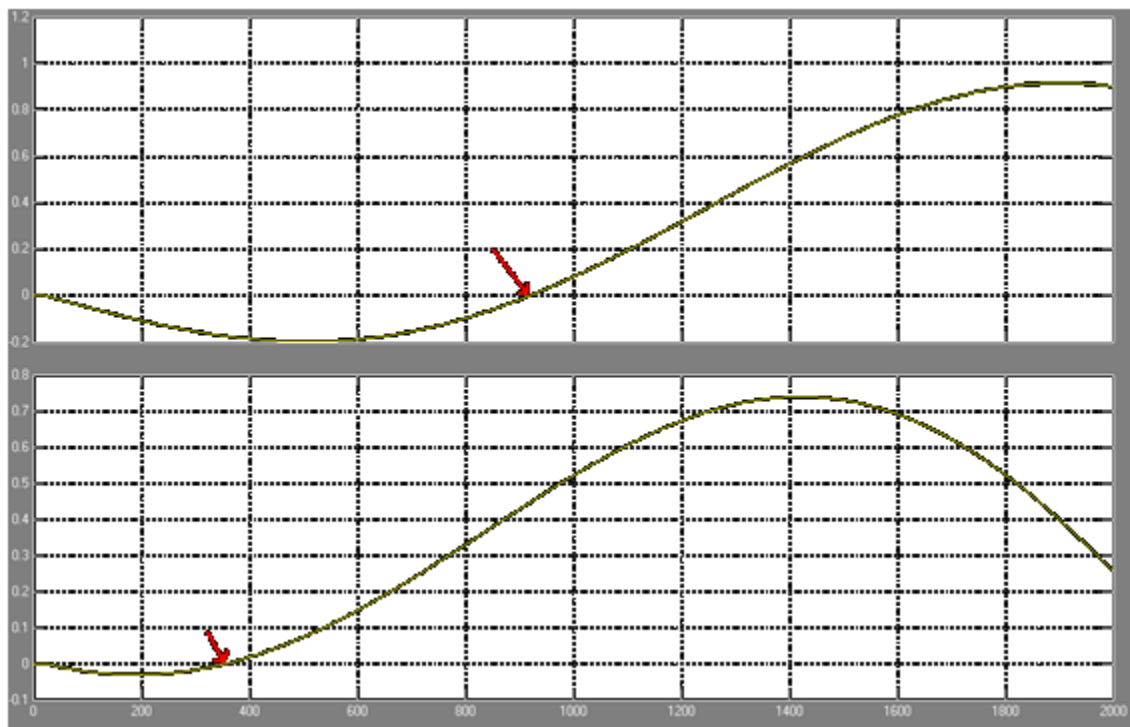


Figura 49. Gráfica de las señales obtenidas con la simulación, arriba para la referencia y abajo para el tercer elemento en dirección x.

#### 4.2.1. $\theta$ 0,5 grados y $\varphi$ desde 0 a 45 grados

A continuación se hace una descripción columna por columna del significado de los valores consignados en la tabla 11, tabla que pertenece al anexo A identificada como tabla A.1.

- $\theta$ : es un dato en grados ingresado al sistema por el usuario, el cual brinda información sobre la dirección hacia donde se quiere dirigir el lóbulo principal del diagrama de radiación.
- $\Phi$ : es un dato en grados ingresado al sistema por el usuario, el cual brinda información sobre la dirección hacia donde se quiere dirigir el lóbulo principal del diagrama de radiación. Estos dos valores brindan la información suficiente y necesaria de la dirección deseada del lóbulo principal del diagrama de radiación.
- Fase teórica X/Y: corresponden a los valores de fase en radianes que deben ser aplicados como corrimiento de fase para obtener la dirección de lóbulo principal deseada. Estos valores se calculan a partir del proceso matemático expuesto en el marco teórico.
- Fase X/Y parcial: Son valores en radianes que se obtienen en una etapa intermedia del diseño que brindan un punto de comparación entre la fase que se debe aplicar para obtener la dirección de lóbulo deseada y la fase que se aplica en la simulación del diseño.
- tx1, ty1: Son valores en número de ciclos de reloj del dispositivo, que se registran cuando se observa el cruce por cero de interés de la señal de información con su respectiva fase de una antena. Una se toma en dirección X del arreglo y la otra en dirección Y del arreglo. Debido a la multiplexación existen cuatro valores posibles para el cruce por cero de cada señal el índice 1 de tx y ty indica que el valor consignado corresponde al primer valor en ciclos de reloj que puede tomar cualquiera de estas variables. Los demás valores se corren un ciclo de reloj cada una.
- fxs X/Y 1: Fase en x/y simulada son valores que se calculan en radianes según el procedimiento explicado en 4.1, estos valores muestran el valor de corrimiento de fase que realmente se está aplicando a una antena dada, el índice indica que su valor se calcula con base en el tx o ty con índice correspondiente.
- $\theta$  final,  $\varphi$  final: Las cuatro casillas cuyo nombre inicia con estas palabras contienen valores máximos y mínimos en grados que indican la variación máxima y mínima en la dirección el lóbulo principal producto de las fases obtenidas en la simulación.
- Delta  $\theta$ : Expresa la máxima diferencia en grados, entre el ángulo  $\theta$  deseado y los obtenidos a través de la simulación.



- Delta  $\varphi$ : Expresa la máxima diferencia en grados, entre el ángulo  $\varphi$  deseado y los obtenidos a través de la simulación.

Se considera que el principal dato a tener en cuenta en esta y en cada una de las tablas del anexo A es el error en el que se incurre al obtener mediante la simulación la señal con el corrimiento de fase para cada antena, dato que es útil para verificar la precisión del sistema.

Para  $\theta$  igual a 0,5 grados la mayor variación de  $\theta$  es igual a 0,038 grados, valor que en términos de kilómetros sobre la superficie terrestre representa un desplazamiento en la dirección del lóbulo principal del diagrama de radiación igual a 23,97 km, esta variación se da para un ángulo  $\varphi$  deseado igual a 21 grados; mientras que la mayor variación de  $\varphi$  es de 3,814 grados y ocurre para un ángulo  $\varphi$  deseado igual a cero grados, el valor aproximado de este error sobre la superficie terrestre corresponde a un desplazamiento de la dirección del lóbulo principal del diagrama de radiación igual a 20,7 km.

El error máximo total de la posición del lóbulo principal del diagrama de radiación sobre la superficie terrestre es aproximadamente 27 km, ocurre para  $\varphi$  deseado de 39 grados y el error promedio de la posición del lóbulo es 21 km.

#### **4.2.2. $\theta$ 1 grado y $\varphi$ desde 0 a 45 grados**

Para  $\theta$  deseado igual a un grado, la mayor variación de  $\theta$  es igual a 0,036 grados, valor que en términos de kilómetros sobre la superficie terrestre representa un desplazamiento en la dirección del lóbulo principal del diagrama de radiación igual a 22,6 km, esta variación se da para un ángulo  $\varphi$  deseado igual a 45 grados; mientras que la mayor variación de  $\varphi$  es de 1,8 grados y ocurre para un ángulo  $\varphi$  deseado igual a cero grados, el valor aproximado de este error sobre la superficie terrestre corresponde a un desplazamiento de la dirección del lóbulo principal del diagrama de radiación de 20,1 km.

El error máximo total de la posición del lóbulo principal del diagrama de radiación sobre la superficie terrestre es aproximadamente 28 km, ocurre para  $\varphi$  deseado de 39 grados y el error promedio de la posición del lóbulo es 21 km.

#### **4.2.3. $\theta$ 1,5 grados y $\varphi$ desde 0 a 45 grados**

Para  $\theta$  deseado igual a 1,5 grados, la mayor variación de  $\theta$  es igual a 0,033 grados, valor que en términos de kilómetros sobre la superficie terrestre representa un desplazamiento en la dirección del lóbulo principal del diagrama de radiación igual a 20,3 km, esta variación se da para un ángulo  $\varphi$  deseado igual a 39 grados; mientras que la mayor variación de  $\varphi$  es de 1,2 grados y ocurre para un ángulo  $\varphi$  deseado igual a cero grados, el valor aproximado de este error sobre la superficie terrestre corresponde a un



desplazamiento de la dirección del lóbulo principal del diagrama de radiación igual a 20,2 km.

El error máximo total de la posición del lóbulo principal del diagrama de radiación sobre la superficie terrestre es aproximadamente 25 km, ocurre para  $\varphi$  deseado de cero grados y el error promedio de la posición del lóbulo es 21 km.

#### **4.2.4. $\theta$ 2 grados y $\varphi$ desde 0 - 45 grados**

Para  $\theta$  deseado igual a 2 grados, la mayor variación de  $\theta$  es igual a 0,043 grados, valor que en términos de kilómetros sobre la superficie terrestre representa un desplazamiento en la dirección del lóbulo principal del diagrama de radiación igual a 26,7 km, esta variación se da para un ángulo  $\varphi$  deseado igual a 45 grados; mientras que la mayor variación de  $\varphi$  es de 1,05 grados y ocurre para un ángulo  $\varphi$  deseado igual a 42 grados, el valor aproximado de este error sobre la superficie terrestre corresponde a un desplazamiento de la dirección del lóbulo principal del diagrama de radiación igual a 22,9 km.

El error máximo total de la posición del lóbulo principal del diagrama de radiación sobre la superficie terrestre es aproximadamente 29 km, ocurre para  $\varphi$  deseado de 42 grados y el error promedio de la posición del lóbulo es 21 km.

#### **4.2.5. $\theta$ 2,5 grados y $\varphi$ desde 0 - 45 grados**

Para  $\theta$  deseado igual a 2,5 grados, la mayor variación de  $\theta$  es igual a 0,038 grados, valor que en términos de kilómetros sobre la superficie terrestre representa un desplazamiento en la dirección del lóbulo principal del diagrama de radiación igual a 23,8 km, esta variación se da para un ángulo  $\varphi$  deseado igual a 39 grados; mientras que la mayor variación de  $\varphi$  es de 0,73 grados y ocurre para un ángulo  $\varphi$  deseado igual a cero grados, el valor aproximado de este error sobre la superficie terrestre corresponde a un desplazamiento de la dirección del lóbulo principal del diagrama de radiación igual a 20 km.

El error máximo total de la posición del lóbulo principal del diagrama de radiación sobre la superficie terrestre es aproximadamente 29 km, ocurre para  $\varphi$  deseado de 39 grados y el error promedio de la posición del lóbulo es 21 km.

#### **4.2.6. $\theta$ 3 grados y $\varphi$ desde 0 a 45 grados**

Para  $\theta$  deseado igual a 3 grados, la mayor variación de  $\theta$  es igual a 0,035 grados, valor que en términos de kilómetros sobre la superficie terrestre representa un desplazamiento

en la dirección del lóbulo principal del diagrama de radiación igual a 21,9 km, esta variación se da para un ángulo  $\varphi$  deseado igual a 30 grados; mientras que la mayor variación de  $\varphi$  es de 0,63 grados y ocurre para un ángulo  $\varphi$  deseado igual a nueve grados, el valor aproximado de este error sobre la superficie terrestre corresponde a un desplazamiento de la dirección del lóbulo principal del diagrama de radiación de 20 km.

El error máximo total de la posición del lóbulo principal del diagrama de radiación sobre la superficie terrestre es aproximadamente 27 km, ocurre para  $\varphi$  deseado de 39 grados y el error promedio de la posición del lóbulo es 21 km.

#### **4.2.7. $\theta$ 3,5 grados y $\varphi$ desde 0 a 45 grados**

Para  $\theta$  deseado igual a 3,5 grados, la mayor variación de  $\theta$  es igual a 0,031 grados, valor que en términos de kilómetros sobre la superficie terrestre representa un desplazamiento en la dirección del lóbulo principal del diagrama de radiación igual a 19,5 km, esta variación se da para un ángulo  $\varphi$  deseado igual a 45 grados; mientras que la mayor variación de  $\varphi$  es de 0,695 grados y ocurre para un ángulo  $\varphi$  deseado igual a 30 grados, el valor aproximado de este error sobre la superficie terrestre corresponde a un desplazamiento de la dirección del lóbulo principal del diagrama de radiación de 26,5 km.

El error máximo total de la posición del lóbulo principal del diagrama de radiación sobre la superficie terrestre es aproximadamente 29 km, ocurre para  $\varphi$  deseado de 39 grados y el error promedio de la posición del lóbulo es 21 km.

#### **4.2.8. $\theta$ 4 grados y $\varphi$ desde 0 a 45 grados**

Para  $\theta$  deseado igual a 4 grados, la mayor variación de  $\theta$  es igual a 0,038 grados, valor que en términos de kilómetros sobre la superficie terrestre representa un desplazamiento en la dirección del lóbulo principal del diagrama de radiación igual a 23,6 km, esta variación se da para un ángulo  $\varphi$  deseado igual a 21 grados; mientras que la mayor variación de  $\varphi$  es de 0,463 grados y ocurre para un ángulo  $\varphi$  deseado igual a 21 grados, el valor aproximado de este error sobre la superficie terrestre corresponde a un desplazamiento de la dirección del lóbulo principal del diagrama de radiación de 20,1 km.

El error máximo total de la posición del lóbulo principal del diagrama de radiación sobre la superficie terrestre es aproximadamente 31 km, ocurre para  $\varphi$  deseado de 21 grados y el error promedio de la posición del lóbulo es 23 km.

#### **4.2.9. $\theta$ 4,5 grados y $\varphi$ desde 0 a 45 grados**

Para  $\theta$  deseado igual a 4,5 grados, la mayor variación de  $\theta$  es igual a 0,038 grados, valor que en términos de kilómetros sobre la superficie terrestre representa un desplazamiento

en la dirección del lóbulo principal del diagrama de radiación igual a 23,9 km, esta variación se da para un ángulo  $\varphi$  deseado igual a 30 grados; mientras que la mayor variación de  $\varphi$  es de 0,418 grados y ocurre para un ángulo  $\varphi$  deseado igual a nueve grados, el valor aproximado de este error sobre la superficie terrestre corresponde a un desplazamiento de la dirección del lóbulo principal del diagrama de radiación de 20,4 km.

El error máximo total de la posición del lóbulo principal del diagrama de radiación sobre la superficie terrestre es aproximadamente 29 km, ocurre para  $\varphi$  deseado de 30 grados y el error promedio de la posición del lóbulo es 22 km.

#### **4.2.10. $\theta$ 5 grados y $\varphi$ desde 0 a 45 grados**

Para  $\theta$  deseado igual a 5 grados, la mayor variación de  $\theta$  es igual a 0,041 grados, valor que en términos de kilómetros sobre la superficie terrestre representa un desplazamiento en la dirección del lóbulo principal del diagrama de radiación igual a 25,3 km, esta variación se da para un ángulo  $\varphi$  deseado igual a 27 grados; mientras que la mayor variación de  $\varphi$  es de 0,396 grados y ocurre para un ángulo  $\varphi$  deseado igual a 18 grados, el valor aproximado de este error sobre la superficie terrestre corresponde a un desplazamiento de la dirección del lóbulo principal del diagrama de radiación de 21,6 km.

El error máximo total de la posición del lóbulo principal del diagrama de radiación sobre la superficie terrestre es aproximadamente 29 km, ocurre para  $\varphi$  deseado de 27 grados y el error promedio de la posición del lóbulo es 23 km.

#### **4.2.11. $\theta$ 5,5 grados y $\varphi$ desde 0 a 45 grados**

Para  $\theta$  deseado igual a 5,5 grados, la mayor variación de  $\theta$  es igual a 0,034 grados, valor que en términos de kilómetros sobre la superficie terrestre representa un desplazamiento en la dirección del lóbulo principal del diagrama de radiación igual a 21,2 km, esta variación se da para un ángulo  $\varphi$  deseado igual a 24 grados; mientras que la mayor variación de  $\varphi$  es de 0,333 grados y ocurre para un ángulo  $\varphi$  deseado igual a cero grados, el valor aproximado de este error sobre la superficie terrestre corresponde a un desplazamiento de la dirección del lóbulo principal del diagrama de radiación de 19,9 km.

El error máximo total de la posición del lóbulo principal del diagrama de radiación sobre la superficie terrestre es aproximadamente 26 km, ocurre para  $\varphi$  deseado de 39 grados y el error promedio de la posición del lóbulo es 22 km.

#### **4.2.12. $\theta$ 6 grados y $\varphi$ desde 0 a 45 grados**

Para  $\theta$  deseado igual a 6 grados, la mayor variación de  $\theta$  es igual a 0,04 grados, valor que en términos de kilómetros sobre la superficie terrestre representa un desplazamiento en la dirección del lóbulo principal del diagrama de radiación igual a 24,7 km, esta variación se

da para un ángulo  $\varphi$  deseado igual a 33 grados; mientras que la mayor variación de  $\varphi$  es de 0,334 grados y ocurre para un ángulo  $\varphi$  deseado igual a 24 grados, el valor aproximado de este error sobre la superficie terrestre corresponde a un desplazamiento de la dirección del lóbulo principal del diagrama de radiación igual a 21,8 km.

El error máximo total de la posición del lóbulo principal del diagrama de radiación sobre la superficie terrestre es aproximadamente 29 km, ocurre para  $\varphi$  deseado de 33 grados y el error promedio de la posición del lóbulo es 23 km.

#### **4.2.13. $\theta$ 6,5 grados y $\varphi$ desde 0 a 45 grados**

Para  $\theta$  deseado igual a 6,5 grados, la mayor variación de  $\theta$  es igual a 0,035 grados, valor que en términos de kilómetros sobre la superficie terrestre representa un desplazamiento en la dirección del lóbulo principal del diagrama de radiación igual a 21,8 km, esta variación se da para un ángulo  $\varphi$  deseado igual a 30 grados; mientras que la mayor variación de  $\varphi$  es de 0,28 grados y ocurre para un ángulo  $\varphi$  deseado igual a cero grados, el valor aproximado de este error sobre la superficie terrestre corresponde a un desplazamiento de la dirección del lóbulo principal del diagrama de radiación de 19,9 km.

El error máximo total de la posición del lóbulo principal del diagrama de radiación sobre la superficie terrestre es aproximadamente 29 km, ocurre para  $\varphi$  deseado de 39 grados y el error promedio de la posición del lóbulo es 21 km.

#### **4.2.14. $\theta$ 7 grados y $\varphi$ desde 0 a 45 grados**

Para  $\theta$  deseado igual a 7 grados, la mayor variación de  $\theta$  es igual a 0,035 grados, valor que en términos de kilómetros sobre la superficie terrestre representa un desplazamiento en la dirección del lóbulo principal del diagrama de radiación igual a 21,9 km, esta variación se da para un ángulo  $\varphi$  deseado igual a 12 grados; mientras que la mayor variación de  $\varphi$  es de 0,265 grados y ocurre para un ángulo  $\varphi$  deseado igual a 42 grados, el valor aproximado de este error sobre la superficie terrestre corresponde a un desplazamiento de la dirección del lóbulo principal del diagrama de radiación de 20,2 km.

El error máximo total de la posición del lóbulo principal del diagrama de radiación sobre la superficie terrestre es aproximadamente 29 km, ocurre para  $\varphi$  deseado de 39 grados y el error promedio de la posición del lóbulo es 23 km.

#### **4.2.15. $\theta$ 7,5 grados y $\varphi$ desde 0 a 45 grados**

Para  $\theta$  deseado igual a 7,5 grados, la mayor variación de  $\theta$  es igual a 0,036 grados, valor que en términos de kilómetros sobre la superficie terrestre representa un desplazamiento en la dirección del lóbulo principal del diagrama de radiación igual a 22,7 km, esta variación se da para un ángulo  $\varphi$  deseado igual a 3 grados; mientras que la mayor variación de  $\varphi$  es de 0,245 grados y ocurre para un ángulo  $\varphi$  deseado igual a cero

grados, el valor aproximado de este error sobre la superficie terrestre corresponde a un desplazamiento de la dirección del lóbulo principal del diagrama de radiación de 20 km.

El error máximo total de la posición del lóbulo principal del diagrama de radiación sobre la superficie terrestre es aproximadamente 25 km, ocurre para  $\varphi$  deseado de 39 grados y el error promedio de la posición del lóbulo es 21 km.

#### **4.2.16. $\theta$ 8 grados y $\varphi$ desde 0 a 45 grados**

Para  $\theta$  deseado igual a 8 grados, la mayor variación de  $\theta$  es igual a 0,034 grados, valor que en términos de kilómetros sobre la superficie terrestre representa un desplazamiento en la dirección del lóbulo principal del diagrama de radiación igual a 21 km, esta variación se da para un ángulo  $\varphi$  deseado igual a 42 grados; mientras que la mayor variación de  $\varphi$  es de 0,269 grados y ocurre para un ángulo  $\varphi$  deseado igual a 39 grados, el valor aproximado de este error sobre la superficie terrestre corresponde a un desplazamiento de la dirección del lóbulo principal del diagrama de radiación igual a 23,4 km.

El error máximo total de la posición del lóbulo principal del diagrama de radiación sobre la superficie terrestre es aproximadamente 27 km, ocurre para  $\varphi$  deseado de 39 grados y el error promedio de la posición del lóbulo es 22 km.

#### **4.2.17. $\theta$ 8,5 grados y $\varphi$ desde 0 a 45 grados**

Para  $\theta$  deseado igual a 8,5 grados, la mayor variación de  $\theta$  es igual a 0,043 grados, valor que en términos de kilómetros sobre la superficie terrestre representa un desplazamiento en la dirección del lóbulo principal del diagrama de radiación igual a 26,7 km, esta variación se da para un ángulo  $\varphi$  deseado igual a 33 grados; mientras que la mayor variación de  $\varphi$  es de 0,251 grados y ocurre para un ángulo  $\varphi$  deseado igual a 21 grados, el valor aproximado de este error sobre la superficie terrestre corresponde a un desplazamiento de la dirección del lóbulo principal del diagrama de radiación de 23,2 km.

El error máximo total de la posición del lóbulo principal del diagrama de radiación sobre la superficie terrestre es aproximadamente 35 km, ocurre para  $\varphi$  deseado de 33 grados y el error promedio de la posición del lóbulo es 23 km.

En resumen, el mayor error entre todas las pruebas realizadas se presentó para un ángulo  $\theta$  deseado igual a 8,5° y un ángulo  $\varphi$  deseado igual a 33°, con dichos valores se obtuvo en la simulación un ángulo  $\theta$  igual a 8,45° y un ángulo  $\varphi$  igual a 33,25°, para un error reflejado en la superficie terrestre del orden de 35.4 Km. Es decir, si se requiere que el lóbulo principal apunte en alguna dirección  $\theta$  y  $\varphi$  cualquiera, se obtendrá como resultado que el centro del lóbulo principal tendrá un corrimiento máximo de 35,4 km.

Al comparar los resultados mostrados en el anexo B, con los resultados del modelo final ver anexo A, se establece que al multiplexar las señales para aprovechar mejor la capacidad de proceso de un FPGA, se introduce un error debido al muestreo de las señales. Puesto que dentro del dispositivo no es posible muestrear a una velocidad mayor a la de su reloj, la información del cruce por cero puede desplazarse hasta por cuatro ciclos de reloj del valor real. Este es el desplazamiento que ocurre en todas las simulaciones, como consecuencia se presentan los corrimientos.

Este inconveniente debe gestionarse puesto que el uso de multiplexores se incluyó para hacer re uso de los pines de salida del FPGA, con lo que se reduce la cantidad de dispositivos necesarios para el funcionamiento del sistema al compararlo con un diseño que no utiliza multiplexores.

La magnitud del error en la dirección del lóbulo principal del diagrama de radiación se puede disminuir si en lugar de utilizar solo tres cifras significativas para los cálculos se utilizan cuatro, y si además se incrementan los bits que se utilizan en las multiplicaciones y en la representación de las señales. Con un cambio de este tipo se consiguen errores en la dirección del lóbulo principal del diagrama de radiación menores a 2 Km. No se considera un diseño con estas características debido a que la cantidad de FPGAs necesarios para el diseño se incrementa notablemente.

#### **4.3. Análisis del ancho de lóbulo principal del diagrama de radiación.**

Aunque el tema de la conformación del diagrama de radiación con el ancho de lóbulo principal ideal amerita todo un proyecto de investigación, se ha optado por sugerir una técnica que podría ser un buen complemento para la reconfiguración dinámica de haces lograda a través del componente de conformación de haces del subsistema de antenas.

La técnica de control de ancho de lóbulo principal se ha denominado; *control de ancho de lóbulo por supresión de módulos alimentadores*. Esta técnica se fundamenta en la formula del ángulo BWHP del arreglo lineal,  $BWHP = \arccos \left[ \cos \varphi_m - \frac{2.782}{n\beta d} \right] - \arccos \left[ \cos \varphi_m + \frac{2.782}{n\beta d} \right]$ . En esta ecuación se aprecia una relación inversamente proporcional entre el número de antenas y el ancho de lóbulo en potencia mitad, como también se presenta una dependencia del espaciamiento entre las antenas y de la fase relativa. Teniendo en cuenta que la fase relativa se utiliza exclusivamente para controlar la dirección de radiación del haz que se va a conformar, y que la distancia entre las antenas del arreglo es fija, el control del ancho del lóbulo se reduce a la manipulación del número de antenas. La figura 6 ayuda a ilustrar la relación entre el número de antenas y el ángulo BWHP.

Teniendo en cuenta que la variación del ancho de lóbulo es un valor agregado al proyecto, esta característica está sometida al diseño que se desarrollo para la conformación de haces.

Es claro entonces que al tener definido el arreglo de dimensión 140x140, ya se estableció el ancho mínimo del lóbulo principal del diagrama de radiación del sistema, que ocurre cuando se alimentan todas las antenas. En cuanto al lóbulo más ancho posible, se encuentra limitado por el número mínimo de antenas que se pueden excitar, que en este caso está dado por el tamaño del módulo de alimentadores 7x7.

La determinación del número de anchos de lóbulos principales posibles depende de la dimensión de los módulos alimentadores, en este caso es 7; y también depende de la dimensión total del arreglo, en este caso 140. El número de anchos de lóbulo posible es igual a

*Número de anchos=Dimensión total del arreglo/Dimensión del módulo de alimentadores*

Que en este diseño arroja un valor de número de anchos de lóbulo igual a veinte.

Mediante la fórmula del ángulo sólido ( ecuación 27), se encontraron todos los posibles valores de ángulos BWHP para todas las dimensiones posibles de arreglos superficiales rectangulares, iniciando con el arreglo más pequeño de orden 7 hasta el más grande de orden 140.

Teniendo la información de los ángulos BWHP se procedió a encontrar la superficie aproximada que cubre cada ancho del lóbulo principal posible. Este proceso se llevó a cabo de dos maneras: la primera consistió en la utilización de un simulador para sistemas satelitales llamado STK8, que permitió ubicar el satélite en la órbita geoestacionaria y en la longitud deseada, además recibió parámetros que ayudaron a dirigir el haz a la posición deseada en tierra y con el ancho de lóbulo principal del diagrama de radiación determinado por el ángulo BWHP. Esta herramienta aportó una ayuda gráfica para encontrar de una forma aproximada el valor de las dimensiones de las huellas iluminadas por el lóbulo principal de los diferentes diagramas de radiación.

La segunda forma fue a través del siguiente análisis matemático. Suponiendo que el diagrama de radiación es dirigido perpendicularmente al plano del arreglo como lo muestra la figura 50, significaría que su huella iluminando la tierra tendría una forma circular debido a que la radiación es perpendicular, en razón a esto, se desprecian los efectos de la curvatura de la tierra. Por consiguiente, se calcula el radio del círculo descrito por el haz en tierra utilizando la fórmula de longitud de arco.

$$L = BWHP * r \quad (35)$$

Donde  $L$  es la longitud del arco subtendido por el ángulo BWHP sobre la circunferencia con centro en el satélite y radio igual a la altura de la órbita geoestacionaria, valor que es aproximadamente igual al diámetro de la huella producida por el diagrama de radiación,  $r$

es la altura de la órbita geoestacionaria sobre el nivel del mar, y BWHP es el ángulo de ancho de haz de potencia mitad.

En esta ecuación  $r$  es el diámetro de la huella (círculo rojo de la figura 50), necesario para finalmente encontrar el área de la superficie que es cubierta por el haz, cuando dicha área se aproxima a un círculo.

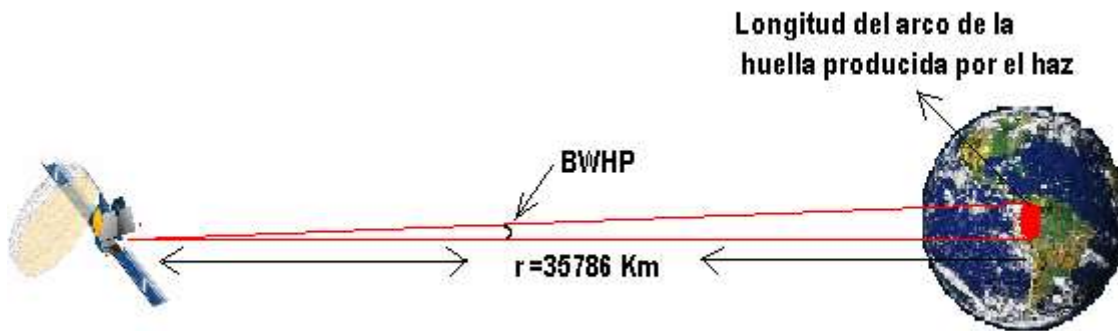


Figura 50. Huella de iluminación del diagrama de radiación con radiación perpendicular.

Otra forma de hallar el valor del área iluminada es con el uso de la ecuación (27) con la que se halla el ángulo sólido, valor que se utiliza para encontrar el área subtendida por el ángulo hallado. Y al aplicar la definición de área subtendida por un ángulo sólido.

$$A = \Omega r^2 \quad (36)$$

Donde  $A$  es el área del casquete esférico subtendido por el ángulo sólido  $\Omega$ , y  $r$  es la altura de la órbita geoestacionaria. El  $\Omega$  se halla utilizando la ecuación (27). Este valor de área debe dividirse entre 2, ya que la ecuación mencionada encuentra el valor del ángulo sólido correspondiente a los dos lóbulos principales que produce un arreglo superficial, y para el proyecto solo interesa el lóbulo que dirige radiación hacia la superficie terrestre.

De esta manera se logra calcular aproximadamente el área de iluminación del diagrama de radiación en la zona que se encuentra justo debajo del satélite, donde la curvatura de la tierra no alcanza a deformar el círculo que representa la huella.

Para realizar un control de ancho de haz sencillo, efectivo y eficiente se saca provecho de la modularidad del sistema de alimentadores mediante la habilitación o inhabilitación de los módulos alimentadores. Las características del sistema de control de ancho de lóbulo y las dimensiones aproximadas del área que cubren se pueden apreciar en la tabla 12.



En la figura 51 se puede apreciar la representación de la huella que describen los lóbulos principales de los diagramas de radiación en los tamaños predefinidos. Las formas de las huellas obedecen a la curvatura de la tierra. Esta figura fue tomada del simulador STK8.

Observando la figura 51 se puede afirmar que:

Tabla 12. 20 anchos predefinidos de los lóbulos principales de los diagramas de radiación.

<b>Dimensiones del arreglo superficial de antenas (unidades)</b>	<b>Dimensiones del arreglo de módulos de alimentación. (unidades)</b>	<b>BWHP (grados)</b>	<b>Dimensiones de la huella del haz bajo el satélite. (Kilómetros cuadrados)</b>
7x7	1x1	19.77506512	119'813.782
14x14	2x2	9.717372223	28'931.344
21x21	3x3	6.458823327	12'781.379.9
28x28	4x4	4.83909688	7'174.630.93
35x35	5x5	3.869429197	4'587.380.25
42x42	6x6	3.223690004	3'184.032.39
49x49	7x7	2.762732339	2'338.560.2
56x56	8x8	2.41714654	1'790.098.35
63x63	9x9	2.148425945	1'414.202.85
70x70	10x10	1.933487629	1'145.390.9
77x77	11x11	1.757651663	946.534.723
84x84	12x12	1.573656956	758.736.652
91x91	13x13	1.48717008	677.629.354
98x98	14x14	1.380919908	584.262.366
105x105	15x15	1.28884071	508.943.325
112x112	16x16	1.208274454	447.303.317
119x119	17x17	1.137188792	396.219.708
126x126	18x18	1.074003174	353.412.626
133x133	19x19	1.017469906	317.186.049
140x140	20x20	0.966590908	286.257.15

- El arreglo de 7x7 produce un BWHP de 19.7°, razón por la que cubre la mayor zona posible para un satélite geoestacionario, contorno amarillo. El ángulo para cubrimiento máximo es de 17.4°.
- La huella verde delimita la zona en la que se puede recibir señal de información, la restricción es debida a que las antenas en tierra deben tener un ángulo mínimo de elevación de cinco grados. Por lo tanto la zona entre la huella amarilla más amplia y la huella verde se recibe radiación pero no se puede interpretar, razón por la cual no se considera como parte de la zona de cobertura.
- La huella más pequeña posible cubre un área aproximada de 300.000 km<sup>2</sup>

- Teniendo en cuenta que el menor ángulo de elevación de las antenas en tierra de los sistemas satelitales es de  $5^\circ$ , se ha tomado este valor para trazar la huella que define el área de cobertura total del sistema diseñado, en esta huella se incluyen todos los lugares sobre la superficie terrestre en donde se podría recibir señal. La cobertura está dada por la huella verde.
- Cuando se utiliza un solo módulo de alimentación, o lo que es igual, un arreglo superficial de  $7 \times 7$  módulos de excitación se obtiene la cobertura máxima posible del sistema. Esta cobertura se ilustra por la huella amarilla más grande, se aclara que esta huella se puede dirigir hacia cualquier sitio dentro del área de cobertura.
- Cuando se utiliza la totalidad de los módulos alimentadores o se excita la totalidad de antenas del arreglo superficial es decir las 19.600 antenas, se obtiene la cobertura representada por la huella interior roja más pequeña, por supuesto esta y cualquier otra huella del sistema puede ser dirigida hacia cualquier lugar del área de cobertura.

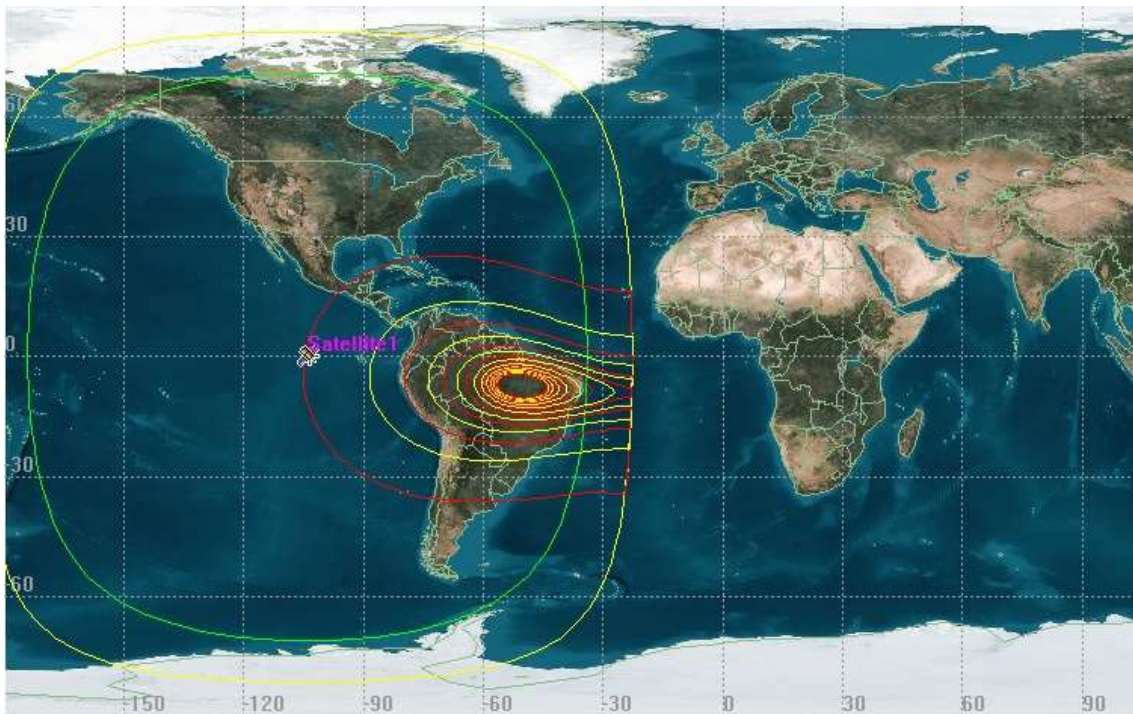


Figura 51. Huella de los 20 anchos predefinidos de los lóbulos principales de los diagramas de radiación iluminando sur América.

- Cuando la dirección del haz describe una latitud distinta a cero grados o longitud diferente a la de la ubicación del satélite, las figuras que representan la huella del lóbulo se empiezan a alargar debido a la curvatura de la tierra incrementando el área de cobertura.

- Si se requiere de haces más pequeños, se tienen que agregar más módulos al diseño, los cambios en el diseño para conseguir este objetivo son mínimos debido a la modularidad y escalabilidad inherentes al diseño.
- Si se quisiera brindar cobertura especializada, se pueden utilizar varios de estos lóbulos aplicando el concepto de multiplexación en frecuencia.

## 5. CONCLUSIONES

En este capítulo se presentan las conclusiones del desarrollo del proyecto “Diseño Y Simulación del Componente de Conformación de Haces del Subsistema de Antenas para un Transpondedor Satelital de Próxima Generación Basado en SDR”. Debido a las características del proyecto, estas conclusiones se pueden dividir en aquellas relacionadas con la parte de los resultados de la simulación en cuanto a la conformación de haces como tal, y aquellas relacionadas con el uso de los recursos del dispositivo hardware de propósito general. Adicionalmente se presentan algunas ideas de investigación que podrían desarrollarse en el marco de nuevos proyectos de grado, o dentro de las actividades curriculares de la facultad.

- Los algoritmos adaptativos de conformación de haces representan el mayor nivel de inteligencia cuando se requiere el uso de sistemas de antenas inteligentes, entre las funcionalidades que implementan estos algoritmos se encuentran; detección de ángulo de llegada, tracking, conformación de haces con control de máximos en dirección de la señal deseada y nulos en dirección de las fuentes de interferencia, las cuales resultan ser de gran utilidad para aplicaciones como; radares, radio localización, telefonía móvil. Después de analizar estas características y los requerimientos para conformación de haces de un servicio fijo por satélite desde la órbita geoestacionaria, se determinó que dichos algoritmos no son los más apropiados debido a la alta carga en procesos y el tiempo que tardan en realizar dichos procesos, además de la implementación de algunas funciones innecesarias.
- La conformación de los diagramas de radiación tiene como fundamento el estudio de los arreglos de antenas, debido a que de sus parámetros físicos y geométricos dependen las características del diagrama de radiación.
- Los arreglos lineales son una fila de antenas separadas una de otra a cierta distancia, por lo tanto, constituyen la forma más simple de conformar un arreglo. Estos arreglos tienen como característica fundamental la omnidireccionalidad del diagrama de radiación del arreglo con respecto al eje del arreglo, si el eje del arreglo está en el mismo plano de la línea ecuatorial y en dirección este-oeste, se obtiene una huella de radiación con cobertura de norte a sur donde el ancho del lóbulo principal depende del número de antenas del arreglo. Esta característica resulta inaceptable debido a que solo se puede controlar la dirección del lóbulo principal en un solo sentido, este-oeste.
- El arreglo volumétrico, es el tipo de arreglo más complejo, tiene antenas ubicadas en el espacio tridimensional, debido a la distribución de las antenas dichos arreglos permiten controlar la dirección del lóbulo principal del diagrama de radiación de una forma precisa, pero no sencilla, debido a que el número de variables que involucra dicho control es elevado, como consecuencia, se incrementa la carga y el tiempo de proceso. Estas razones impidieron su utilización dentro del desarrollo del proyecto.

- Se determinó la utilización de un arreglo superficial en el proyecto debido a que brinda las características idóneas tanto en carga computacional como en control del diagrama de radiación.
- Para controlar el diagrama de radiación se incluyen parámetros tales como; la distancia entre antenas, el número de antenas, la fase relativa entre las mismas y su intensidad de la alimentación. Se considera que la distancia entre antenas y el número total de antenas son valores invariables una vez se implemente el arreglo. La fase relativa y la intensidad de la alimentación influyen en la dirección del lóbulo principal. Después de analizar las diferentes técnicas de control de dirección de lóbulo principal del diagrama de radiación se determinó que la intensidad de alimentación se convertía en un parámetro no gestionable debido al gran número de antenas involucradas, y que la fase relativa era la variable necesaria y suficiente para controlar la dirección del lóbulo principal del diagrama de radiación.
- El número de antenas, la distancia entre ellas y la fase relativa son parámetros que determinan el ángulo del ancho de haz de potencia mitad (BWHP, Beam Width Half Power). Siendo la distancia entre antenas un valor preestablecido, no se podría utilizar para propósitos de controlar de ancho haz. Si se tiene en cuenta el desarrollo matemático se puede ver que la fase relativa no tiene mayor influencia en el ancho del lóbulo principal, por lo tanto, el control de dicho ancho se logra a través de la variación del número de antenas.
- Se optó por utilizar la técnica de corrimiento en fase progresiva para controlar la dirección del diagrama de radiación, en razón a que minimiza la carga y el tiempo de proceso dentro del sistema.
- Dentro de los arreglos superficiales se encuentran varios diseños, a saber; rectangulares, circulares, hexagonales, etc. Cada uno con algunas ventajas con respecto a los otros. Para el desarrollo del proyecto se escogió el arreglo rectangular debido a la baja carga en cuanto a operaciones que se deben realizar, tanto para encontrar el valor de la diferencia de fase entre antenas como para implementarla dentro de la señal que debe alimentar a cada antena. Las características de este tipo de arreglo permitieron elaborar un diseño modular, flexible y escalable; que ayudo a alcanzar los objetivos del proyecto.
- El dispositivo FPGA se constituye como el dispositivo adecuado para el desarrollo del diseño debido a las características de flexibilidad y reprogramabilidad.
- Xilinx es el proveedor apropiado de dispositivos FPGAs para el proyecto debido a que ha concentrado sus esfuerzos en el diseño de arquitecturas reconfigurables.
- Apoyando el diseño y la posterior simulación del mismo en el desarrollo matemático del corrimiento de fase, se logra cumplir con el objetivo de la conformación dinámica

de haces, superando las limitaciones de los actuales sistemas de conformación de haces en sistemas satelitales.

- La distancia entre antenas es una característica que influye tanto en la dirección como en el ancho del lóbulo principal del diagrama de radiación. El autor en [7] recomienda utilizar distancias menores al valor de la longitud de onda para evitar la aparición de lóbulos de dispersión. Teniendo en cuenta esta situación se realizaron pruebas con el fin de determinar por medio de la simulación la distancia máxima entre antenas. Como resultado de estas pruebas, se encontró que la distancia máxima entre antenas del arreglo para evitar que los lóbulos de dispersión aparezcan en la zona que ilumina la tierra, es de tres longitudes de onda.
- Buscando que el diseño desarrollado proporcionara modularidad, flexibilidad y escalabilidad, se considero conveniente organizar los módulos de excitación de las 19.600 antenas en módulos alimentadores. Donde cada módulo controla un arreglo de módulos de excitación de menor tamaño. Las dimensiones de los módulos alimentadores fueron establecidas teniendo en cuenta los recursos hardware requeridos por el componente interno de los módulos y por las capacidades de las arquitecturas de los FPGAs. Todo esto con el fin de minimizar la cantidad de dispositivos FPGAs a utilizar. Un arreglo de 7x7 módulos de excitación fueron las dimensiones que se establecieron para cada módulo después de analizar cada uno de los requerimientos hardware del componente interno del módulo alimentador. El recurso hardware de mayor demanda fue el número de bloques de entrada y salida, y el número de multiplicadores empotrados de 18x18bits, por lo tanto, los FPGAs se buscaron en función de estos bloques y con el fin de minimizar la cantidad de dispositivos FPGAs a utilizar.
- Los módulos alimentadores que se formaron con arreglos superficiales de 7x7 módulos de excitación, se constituyeron en elementos del nuevo arreglo superficial de 20x20 módulos alimentadores. A través de esta nueva configuración se logró proporcionar escalabilidad, modularidad, y flexibilidad al diseño de conformación de haces con un arreglo superficial rectangular de 140x140 módulos de excitación.
- A través de la estimación de recursos que se le practicó a cada módulo, se llego a la conclusión que el dispositivo FPGA Sx475T perteneciente a la arquitectura virtex 6 era el más apropiado para la implementación del diseño del componente de conformación de haces. También se determinó que en caso de ser implementado el diseño, el primer FPGA Sx475T debe llevar implementado el sub diseño del componente de conformación de haces con cuatro módulos alimentadores únicamente, mientras que los demás dispositivos deben implementar únicamente cuatro módulos alimentadores cada uno, por lo tanto, se debe utilizar un total de 100 FPGA Sx475T virtex 6 para implementar completamente el diseño propuesto. El FPGA Sx475T puede soportar sub diseños con cinco módulos alimentadores pero el error en la precisión de la ubicación de la huella del diagrama de radiación en tierra se aumenta notablemente.

- Mediante el análisis de estimación de recursos se comprobó que las funciones lógicas relacionales, las funciones de adición y sustracción y las multiplexaciones se implementan exclusivamente en los CLBs, y no usan procesadores DSP48.
- Para una adecuada estimación de recursos se debe evitar el uso de bloques Mcode puesto que no son tenidos en cuenta por el bloque *Resource Estimator*.
- Como aporte adicional se desarrolló un control de ancho del lóbulo principal del diagrama de radiación para complementar el diseño planteado. La técnica utilizada se denominó *control de ancho de haz por supresión de módulos alimentadores*, y se origina gracias a la modularidad, flexibilidad y escalabilidad del diseño de conformación de haces reconfigurable dinámicamente. Esta técnica se encarga de habilitar o inhabilitar módulos alimentadores dependiendo del ancho del lóbulo principal del diagrama de radiación que se desee conformar.
- La dimensión máxima del arreglo no es camisa de fuerza, simplemente se determinó a partir de un valor promedio de las áreas de los países del continente. Si se requieren menores anchos de lóbulo principal, solo se debe incrementar la dimensión total del arreglo.
- La dimensión del módulo de alimentadores, tampoco es un valor forzoso, este valor se determinó teniendo en cuenta los requerimientos hardware de los módulos de excitación, de forma que el módulo de alimentadores pudiera ser soportado por un FPGA, por lo tanto es posible rediseñar el sistema con dimensión menor del módulo de alimentadores, para obtener un mayor número de anchos de lóbulo posibles.
- También se puede rediseñar el sistema con el fin de disminuir el error en la dirección del lóbulo principal del diagrama de radiación, para conseguir este objetivo se deben incrementar el número de bits utilizados en las multiplicaciones internas, el número de bits utilizados para representar las señales y el número de cifras significativas que influyen en la fase. Un diseño con estas características requiere mayor cantidad de recursos hardware, razón por la cual el número máximo de módulos de excitación que puede manejar un FPGA se disminuye, y como consecuencia se tiene un incremento en el número de FPGAs necesarios para implementar el diseño.
- El diseño del componente de conformación de haces basado en un arreglo rectangular de 140x140 antenas, permite la reconfiguración dinámica de haces con gestión del ancho del lóbulo.
- El algoritmo de conformación de haces minimiza el costo de implementación del diseño mediante el uso de multiplexación, y optimiza los procesos de cálculo y

corrimiento de fase a través de un adecuado manejo de los parámetros de los bloques involucrados en el diseño.

## 5.1. Trabajos futuros

De acuerdo con los temas abordados para el desarrollo del proyecto y analizando las técnicas que se utilizaron para la reconfiguración dinámica de haces, y el control del ancho del lóbulo principal del diagrama de radiación, se proponen algunos trabajos que permiten continuar la línea de investigación en sistemas de conformación de haces para aplicaciones satelitales, y otros que podrían ser complementarios como módulos de un proyecto satelital de gran envergadura.

- Realizar una investigación detallada de cuales podrían ser las antenas idóneas para formar el arreglo de antenas, de tal manera que se complemente con el componente de conformación de haces propuesto en este proyecto, la investigación puede partir de dos características que para la antena brindó este proyecto; una es la dimensión máxima que se estableció en tres longitudes de onda de la frecuencia de trabajo y la segunda tiene que ver con la directividad de la antena, el cual debe proporcionar un solo lóbulo principal con un BWHP de 17 grados, valor suficiente para dar cubrimiento máximo posible a la superficie terrestre.
- Desarrollar un proyecto de investigación donde se implemente el subsistema de antenas para servicios móviles por satélite.
- Realizar un sistema de conformación de haces para aplicaciones satelitales que utilice un arreglo volumétrico, con el fin de analizar la razón entre ancho de haz y número de antenas del arreglo y determinar si con menos antenas se puede ofrecer una solución de características semejantes.
- Implementar el diseño propuesto o uno similar sobre los dispositivos hardware apropiados, para medir los resultados, compararlos con los que arroja la simulación y para verificar la viabilidad del diseño.



## REFERENCIA BIBLIOGRAFICA

- [1] **Reed, Jeffrey H.** "*Software radio: a modern approach to radio engineering*". Editorial Prentice Hall, primera edición 2002. ". [Consulta Enero de 2009].
  
- [2] **Horne, W. y Adams, J.** "*A new generation of telecommunications for mars: the reconfigurable software radio*". [Consulta Enero de 2009].
  
- [3] **Mitola, Joseph.** "*Software radio architecture: object-oriented approaches to wireless systems engineering*". [Consulta Enero 2009].
  
- [4] **Kenington, Peter B.** "*RF and baseband techniques for software defined radio*". Edirorial. ARTECH HOUSE. [Consulta Enero de 2009].
  
- [5] **Alor, Catarino y Covarrubias, David H.** "*Diseño de amplificadores de potencia aplicados a comunicaciones móviles inalámbricas*". [Consulta Enero 2009].
  
- [6] **Tapia, Juan.** "*Psoc-chile*". Disponible en web <<http://psoc-chile.es.tl/Psoc.htm>> [Consulta Enero 2009].
  
- [7] **Kraus, John D.** "*Antennas*". Ed. McGraw-Hill, ed. 2a 1988.
  
- [8] **Balanis, Constantine A.** "*Antenna theory analysis and desing*" Ed. John Wiley & Sons, INC. ed. 2a 1997.
  
- [9] **Neri Vela, Rodolfo** "*Comunicaciones por satélite*". Ed. Cengage Learning Editores. 2003
  
- [10] **Sarraf, Elie H. Ahmed-Ouameur, Messaoud. y Massicotte, Daniel.** "IEEE 17th international conference on application-specific systems, architectures and processors (2006)" páginas. 114-117  
<http://csdl2.computer.org/persagen/DLAbsToc.jsp?resourcePath=/dl/proceedings/&toc=comp/proceedings/asap/2006/2682/00/2682toc.xml&DOI=10.1109/ASAP.2006.34> [Consulta Junio de 2008].
  
- [11] **Gay, Michael.** "*Real-time FPGA implementation of adaptive beamforming*". [Artículo]. Journal of Electronic Defense; Jul2005, Vol. 28 Issue 7, p42-42, 1p.

Disponible en web

[http://www.ll.mit.edu/HPEC/agendas/proc05/Day\\_1/Abstracts/1150\\_Gay\\_A.pdf](http://www.ll.mit.edu/HPEC/agendas/proc05/Day_1/Abstracts/1150_Gay_A.pdf)

- [12] **Yang, Bo.** “A comparison of the Lookup Table and on the fly calculation methods for the beamforming control unit”, [En línea]. Disponible en WEB: [http://www.ieice.org/explorer/ITC-CSCC2008/pdf/p657\\_G4-1.pdf](http://www.ieice.org/explorer/ITC-CSCC2008/pdf/p657_G4-1.pdf) [Consulta Enero de 2009]
- [13] **Boemo, Eduardo.** “Estado del arte de la tecnología FPGA”. Disponible en web [http://utic.inti.gov.ar/publicaciones/cuadernilloUE/CT\\_Microelectronica17\\_FPGA.pdf](http://utic.inti.gov.ar/publicaciones/cuadernilloUE/CT_Microelectronica17_FPGA.pdf) [Consulta noviembre 2008]
- [14] **Xilinx** “Xilinx system generator v2.1 for Simulink”. Disponible web [http://bwrc.eecs.berkeley.edu/Classes/CS152/handouts/Tutorials\\_book.pdf](http://bwrc.eecs.berkeley.edu/Classes/CS152/handouts/Tutorials_book.pdf) [Consulta 2009].
- [15] **Cumplido, René.** “CCC INAOE”. Disponible en web <http://ccc.inaoep.mx/fpgacentral/reconfig/2003/pdf/Rcumplido.pdf> [Consulta Marzo 2009].
- [16] **CORE TECHNOLOGIES** “FPGA logic cells comparison”. Disponible en web <http://www.1-core.com/library/digital/fpga-logic-cells/>. [Consulta Abril de 2009].
- [17] **Septien, Julio. Y López, Hortensia.** “Hardware dinámicamente reconfigurable”. Disponible en web [http://www.fdi.ucm.es/profesor/jseptien/WEB/Docencia/HWdr/Documentos/HWDR\\_tema1.pdf](http://www.fdi.ucm.es/profesor/jseptien/WEB/Docencia/HWdr/Documentos/HWDR_tema1.pdf). [Consulta Marzo de 2009].
- [18] **National Instruments.** “Ventajas de los FPGAs Xilinx Virtex-5”. Disponible en web <http://zone.ni.com/devzone/cda/tut/p/id/8260> > publicado el 15 de diciembre de 2008. [Consulta Marzo de 2009].
- [19] “Arquitectura FPGA”. Disponible en web [http://webpages.ull.es/users/emagcas/index\\_archivos/apuntes\\_sed/Arquitectura\\_FPGA.pdf](http://webpages.ull.es/users/emagcas/index_archivos/apuntes_sed/Arquitectura_FPGA.pdf). [Consulta Marzo de 2009].
- [20] **XILINX** . “Power consumption at 40 and 45 nm”. Disponible en web [http://www.xilinx.com/publications/prod\\_mktg/Power\\_Consumption\\_40nm\\_45nm.pdf](http://www.xilinx.com/publications/prod_mktg/Power_Consumption_40nm_45nm.pdf). Publicado el 13 de abril de 2009. [Consulta Abril de 2009]