

**DISEÑO E IMPLEMENTACION DE UNA TARJETA DE ADQUISICION Y  
CONTROL PARA PUERTO USB 2.0 UTILIZANDO UN FPGA**



**ANEXOS**

**JORGE ALEJANDRO PANTOJA JARAMILLO  
JAIRO MONTILLA MUÑOZ**

**UNIVERSIDAD DEL CAUCA  
FACULTAD DE INGENIERÍA ELECTRÓNICA Y TELECOMUNICACIONES  
DEPARTAMENTO DE ELECTRONICA INSTRUMENTACION Y CONTROL  
POPAYÁN  
2007**

**DISEÑO E IMPLEMENTACION DE UNA TARJETA DE ADQUISICION Y  
CONTROL PARA PUERTO USB 2.0 UTILIZANDO UN FPGA**



**ANEXOS**

**JORGE ALEJANDRO PANTOJA JARAMILLO**

**JAIRO MONTILLA MUÑOZ**

**Monografía para optar al título de  
Ingeniero en Electrónica y Telecomunicaciones**

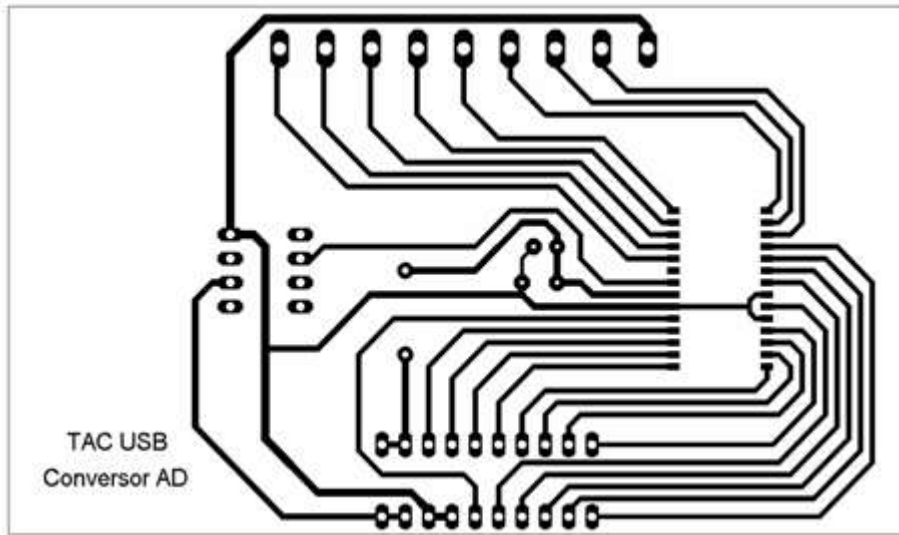
Director:

**Ing. Vladimir Trujillo Arias**

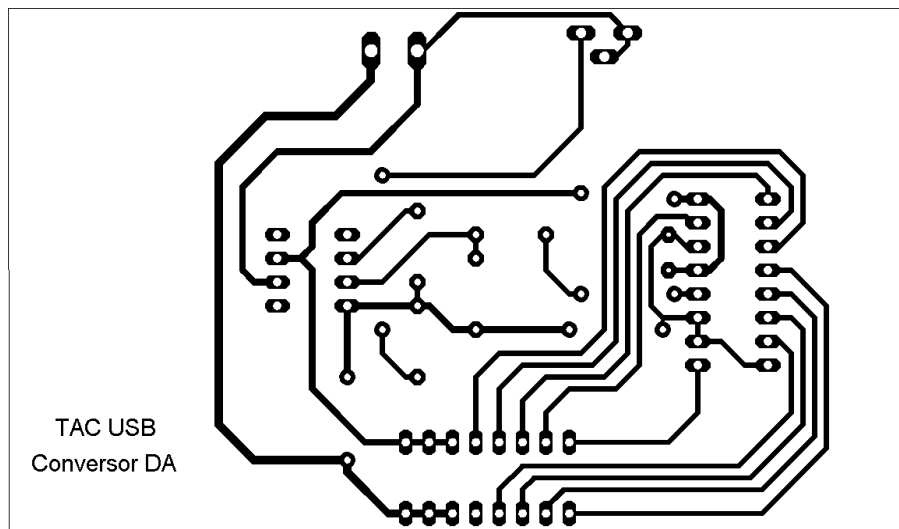
**UNIVERSIDAD DEL CAUCA  
FACULTAD DE INGENIERÍA ELECTRÓNICA Y TELECOMUNICACIONES  
DEPARTAMENTO DE ELECTRONICA INSTRUMENTACION Y CONTROL  
POPAYÁN  
2007**

**ANEXO A**  
**DIAGRAMAS PIN A PIN, DISEÑO DE PLACAS DE CIRCUITO IMPRESO Y**  
**TABLAS DE ASIGNACION DE PINES**

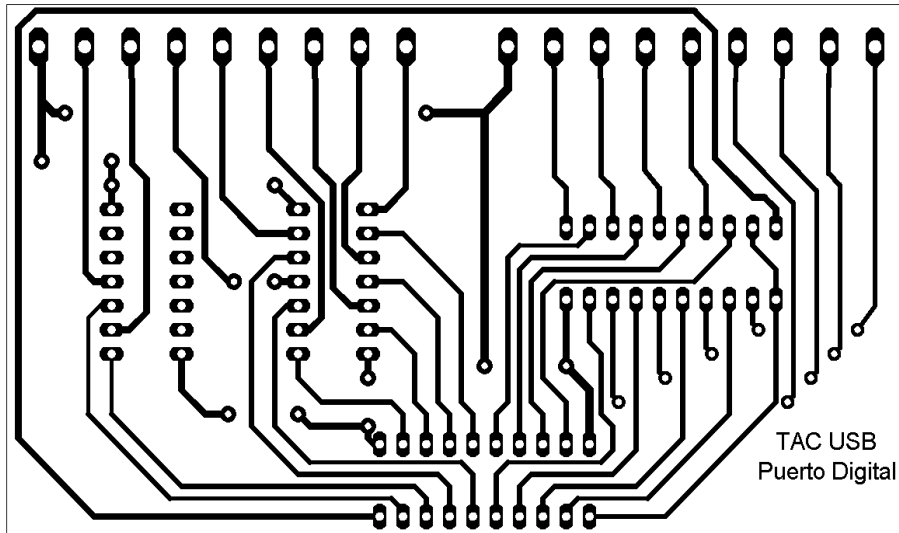
Los diagramas pin a pin y las placas de circuito impreso de cada uno de los módulos de la TAC fueron realizados con el programa Eagle Layout Editor versión 4.03 de la empresa Cadsoft.



**Figura A.1** Placa de Circuito Impreso del Módulo Conversor AD



**Figura A.2** Placa de Circuito Impreso del Módulo Conversor DA



**Figura A.3 Placa de Circuito Impreso del Módulo de Puerto Digital**

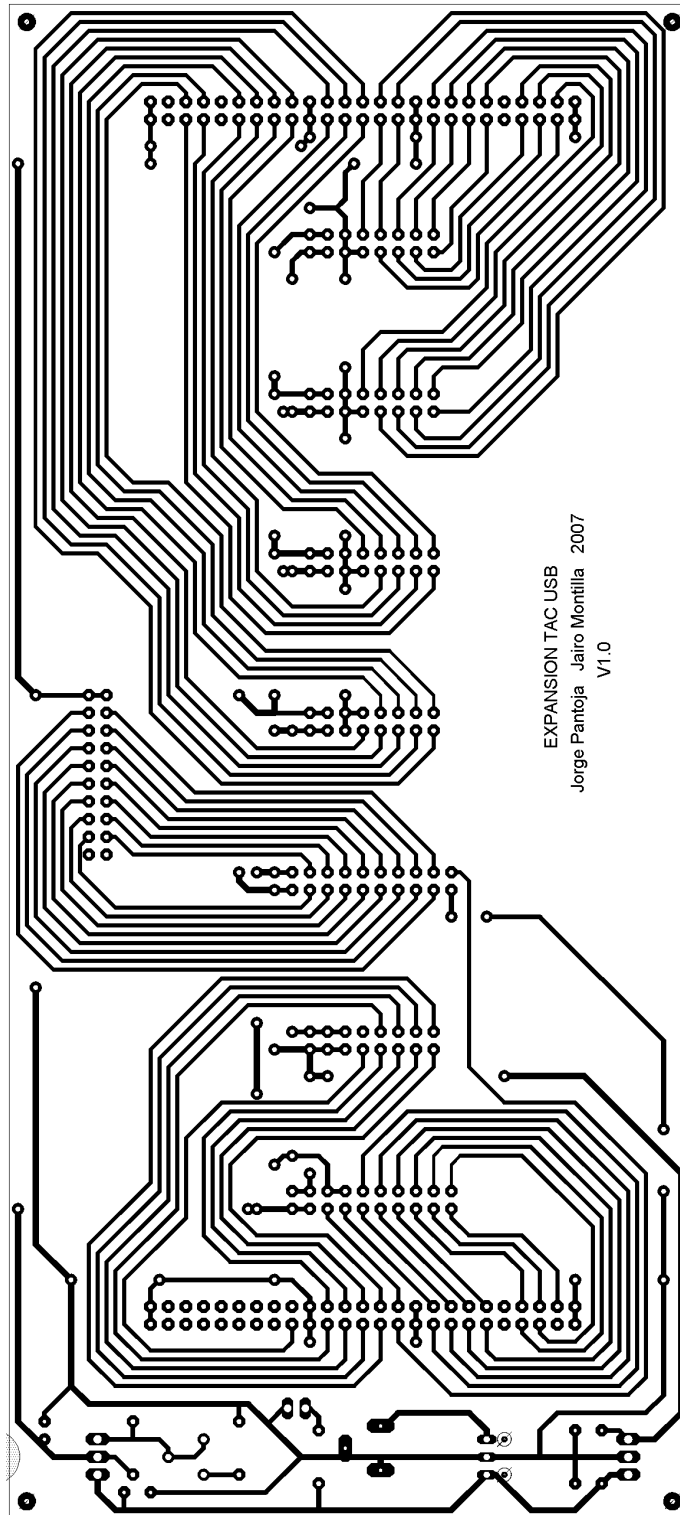


Figura A.4 Placa de Circuito Impreso del Módulo de Expansión

Pines del Puerto JP2 en el Modulo XEM3001	Conexión con el FPGA	Pines de los Puertos en la Board de Expansión	Conexión con los Módulos de Expansión
1	DGND		
2	DGND		
3	SYS CLK 5		
4	I/O / GCLK7 184	2	(AD) CONVST
5	I/O 5	1	(AD) A0
6	I/O 7	4	(AD) DB0
7	I/O 9	3	(AD) A1
8	I/O 10	6	(AD) DB1
9	+3.3VDD		
10	+3.3VDD		
11	I/O 11	5	(AD) A2
12	I/O 12	8	(AD) DB2
13	I/O 13	7	(AD) EOC
14	I/O 15	10	(AD) DB3
15	I/O 16	9	(AD) RD
16	I/O 18	12	(AD) DB4
17	I/O 19	11	(AD) DB6
18	I/O 20	14	(AD) DB5
19	DGND		
20	DGND		
21	I/O 21	1	(PDIN) OE
22	I/O 22	16	(AD) DB7
23	I/O 24	1	(DA) D4
24	I/O 26	2	(DA) D0
25	I/O 27	3	(DA) D3
26	I/O 28	4	(DA) LE
27	I/O 29	5	(DA) D2
28	I/O 31	6	(DA) D7
29	I/O 33	7	(DA) D1
30	I/O 34	8	(DA) D6
31	DGND		
32	DGND		
33	I/O 35	10	(DA) D5

**Tabla A.1 Asignación de Pines del Puerto JP2**

<b>Pines del Puerto JP3 en el Modulo XEM3001</b>	<b>Conexión con el FPGA</b>	<b>Pines de los Puertos en la Board de Expansión</b>	<b>Conexión con los Puertos de Expansión</b>
1	DGND		
2	DGND		
3	I/O 156	8	JP3E1
4	I/O 155	9	JP3E2
5	I/O 154	6	JP3E1
6	I/O 152	7	JP3E2
7	I/O 150	4	JP3E1
8	I/O 149	5	JP3E2
9	+3.3VDD		
10	+3.3VDD		
11	I/O 148	2	JP3E1
12	I/O 147	3	JP3E2
13	I/O 146	1	JP3E1
14	I/O 144	1	JP3E2
15	I/O 143	3	JP3E1
16	I/O 141	2	JP3E2
17	I/O 140	5	JP3E1
18	I/O 139	4	JP3E2
19	DGND		
20	DGND		
21	I/O 138	7	JP3E1
22	I/O 137	6	JP3E2
23	I/O 135	9	JP3E1
24	I/O 133	8	JP3E2
25	I/O 132	1	JP3E3
26	I/O 131	2	JP3E4
27	I/O 130	3	JP3E3
28	I/O 128	4	JP3E4
29	I/O 126	5	JP3E3
30	I/O 125	6	JP3E4
31	DGND		
32	DGND		
33	I/O 124	7	JP3E3
34	I/O 123	8	JP3E4
35	I/O 122	9	JP3E3
36	I/O 120	10	JP3E4
37	I/O 119	8	JP3E3
38	I/O 117	7	JP3E4
39	I/O 116	6	JP3E3
40	I/O 115	5	JP3E4
41	+3.3VDD		
42	+3.3VDD		
43	I/O 114	4	JP3E3
44	I/O 113	3	JP3E4



45	I/O 111	2	JP3E3
46	I/O 109	1	JP3E4
47	I/O / GCLK4 180		
48	SYS CLK 4		
49	DGND		
50	DGND		

**Tabla A.2 Asignación de Pines del Puerto JP3**

<b>Pines del Puerto JP3 en el Modulo XEM3001</b>	<b>Conexión con el FPGA</b>	<b>Pines de los Puertos en la Board de Expansión</b>	<b>Conexión con el Módulo de Expansión</b>
1	+3.3VDD		
2	+3.3VDD		
3	I/O 187	18	(PD OUT) D3
4	I/O 185	17	(PD OUT) D7
5	I/O 182	16	(PD OUT) D2
6	I/O 178	15	(PD OUT) D6
7	I/O 176	14	(PD OUT) D1
8	I/O 175	13	(PD OUT) D4
9	I/O 172	12	(PD OUT) D0
10	I/O 171	11	(PD OUT) D5
11	I/O 169	10	(PD IN) D3
12	I/O 168	9	(PD IN) D7
13	I/O 167	8	(PD IN) D2
14	I/O 166	7	(PD IN) D6
15	I/O 165	6	(PD IN) D1
16	I/O 162	5	(PD IN) D5
17	I/O / GCLK6 183	4	(PD IN) D0
18	I/O / GCLK5 181	3	(PD IN) D4
19	DGND		
20	DGND		

**Tabla A.3 Asignación de Pines del Puerto JP1**

## ANEXO B: MANUAL DE USUARIO

### 1.1. Instalación de la Tarjeta

En primer lugar se deben instalar los controladores del modulo XEM3001 para ello dirigirse a la carpeta nombrada **Modulo XEM3001**, contenida en el CD nombrado Archivos Digitales, y ejecutar el archivo Setup.exe los demás pasos deben seguirse tal y como lo indica el instalador, ellos no representan ningún inconveniente.

Para la instalación se requieren las siguientes características en el sistema:

- Microsoft Windows 2000 o superior
- USB (version 1.1 o 2.0)
- 64 MB de RAM
- Aproximadamente 15 MB de espacio libre en disco duro conversión

### 1.2. XML

Las interfaces de usuario que se ejecutan en el PC están desarrolladas en XML (eXtensible Markup Language) lo que permite que ellas se construyan de una manera sencilla y clara. Si se desea mirar o manipular el contenido de los archivos se puede hacer con cualquier editor de texto de uso tradicional.

Para aplicaciones más elaboradas se deja de lado el XML y en su lugar se puede recurrir a lenguajes de programación como Java o C++, o también se pueden utilizar programas como Labview o Matlab que permiten la manipulación del puerto USB y que además son muy adecuados para realizar aplicaciones supervisorias. Al instalar el software de control del modulo se agregan las librerías y DLLs útiles para tal fin. El manejo del modulo XEM3001 y la manera de realizar interfaces puede mirarse mas a fondo en el documento FrontPanel-UM, contenido en la carpeta **Modulo XEM3001/Documentation** del CD de Documentación digital.

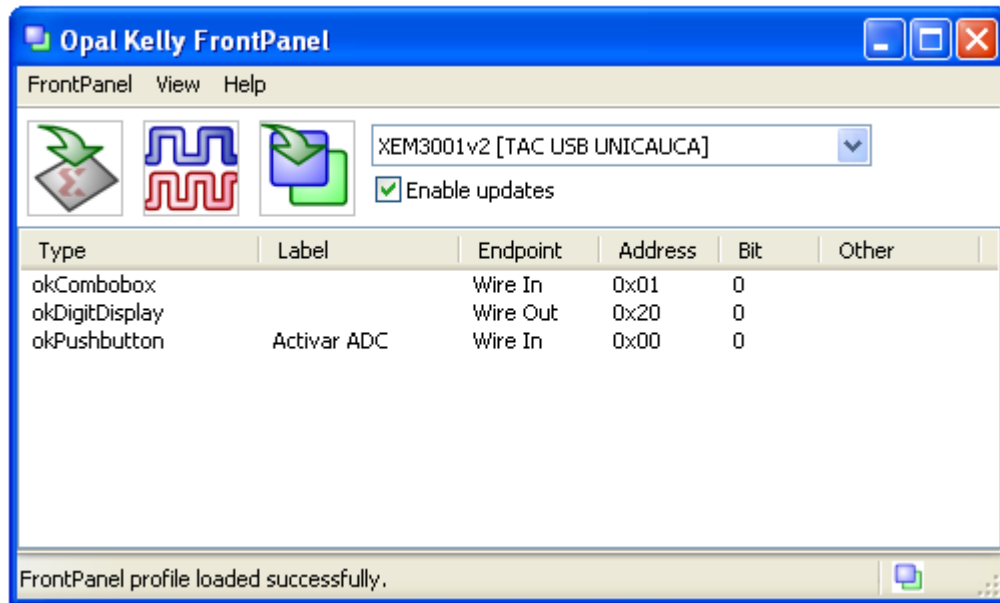
### **1.3. FrontPanel**

FrontPanel es el software que permite descargar los bitstream sobre el FPGA y ejecutar las interfaces de usuario que se han desarrollado en XML.

El archivo para la ejecución del programa se encuentra en la siguiente ruta:

C:\Archivos de programa\Opal Kelly\FrontPanel

Al cargar la interfaz FrontPanel se aprecia tal y como aparece en la figura C.1



**Figura B.1 Interfaz FrontPanel**

El primer icono permite realizar la búsqueda del bistream que se desee descargar al FPGA, los archivos de los bitstream tienen el formato \*.bit. El segundo icono facilita la manipulación de la señal de reloj base con la que trabaja el PLL, con el se puede elegir la frecuencia o las frecuencias a las cuales se estarán ejecutando las instrucciones en el FPGA. El tercer icono carga las interfaces de aplicación con las que interactúa el usuario para controlar los módulos de la TAC y las aplicaciones que para ella se desarrollen, los archivos en XML tienen el formato \*.xfp.

## 1.4. Aplicaciones

En los siguientes literales se explica la manera en que deben cargarse cada uno de los módulos para conseguir los resultados deseados.

### 1.4.1. Conversor Analógico Digital.

Para ejecutar este modulo de manera independiente debe descargarse el modulo a aplicacion.bit contenido en la carpeta **software/Bitstream** del CD. Después se abre la interfaz de usuario con el nombre aplicacion.xfp contenida en la carpeta **software/Aplicaciones**. Una vez activo la interfaz del FrontPanel se selecciona en el menú **view** la opción **Puerto Digital** con ello se aprecia la interfaz mostrada en la figura C.2.



**Figura B.2 Interfaz Convertor Analógico Digital**

En la casilla superior se puede elegir cualquiera de los 8 canales disponibles para realizar conversiones, los 8 podrían estar activos a la vez si así se desea. El resultado de la conversión se mira como un palabra digital una vez se haya presionado el botón **Activar ADC** para habilitar el modulo.

#### **1.4.2. Convertor Digital Analógico**

El modulo DAC que se descarga en el FPGA esta contenido en la carpeta **software/Bitstream** del CD bajo el nombre aplicacion.bit. La aplicación de usuario para el control del modulo aparece en la carpeta **software/Aplicaciones** nombrada como aplicacion.xfp, Una vez activo la interfaz del FrontPanel se selecciona en el menú **view** la opción **Convertor Digital Analógico** obteniéndose el resultado de la figura B.3.

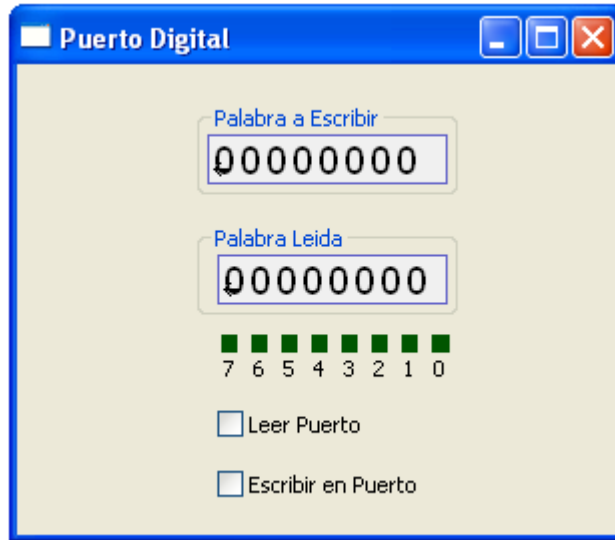


**Figura B.3 Interfaz Convertor Digital Analógico**

En la casilla superior se introduce el valor de la palabra digital que se quiere llevar del mundo digital al analógico. Una vez se ha realizado dicha acción se pulsa el botón de activación del DAC y se consigue un valor de voltaje digital en la salida del modulo hardware de la TAC que estará entre el rango de 0 a 1 V.

#### **1.4.2. Puertos Digitales**

El puerto digital permite ya sea llevar palabras completas al PC para su debida manipulación o recibir del mismo, palabras que se manipulan en el FPGA ya sea como datos de control o como información. El archivo de Interfaz de usuario se encuentra en la misma carpeta de los anteriores con el nombre aplicacion.xfp. El archivo para descarga en el FPGA se denomina aplicacion.bit.



**Figura B.4 Interfaz Puertos Digitales**

La figura C.4 permite detallar la forma en que el usuario puede manipular los puertos digitales. En la palabra de salida se debe colocar el valor que se desea obtener en la salida, si solo se desea cambiar bits que se toman para control o algo semejante se debe mirar la tabla C.1 para asegurarse que se actúa sobre los pines de interés.

<b>BIT</b>	<b>Pin del FPGA</b>
P <sub>7</sub>	P169
P <sub>6</sub>	P168
P <sub>5</sub>	P167
P <sub>4</sub>	P166
P <sub>3</sub>	P165
P <sub>2</sub>	P183
P <sub>1</sub>	P181

**Tabla C.1 Bits Palabra de Salida**

En la palabra de entrada se ve reflejado el valor de la palabra digital que se envía desde el FPGA. En la tabla C.2 se ve de igual manera la relación de los bits y su

posición en la palabra. El primer bit de la izquierda corresponde al MSB y el primero de la derecha al LSB. De acuerdo con ello las palabras van de P<sub>7</sub> a P<sub>0</sub>, siendo P<sub>0</sub> el LSB

<b>BIT</b>	<b>Pin del FPGA</b>
P <sub>7</sub>	P187
P <sub>6</sub>	P185
P <sub>5</sub>	P182
P <sub>4</sub>	P176
P <sub>3</sub>	P175
P <sub>2</sub>	P172
P <sub>1</sub>	P171

**Tabla C.2 Bits Palabra de Entrada**

La casilla de Activar puerto permite la habilitación del puerto de entrada en el FPGA, de esa forma se consigue que cuando el puerto no se esta usando no se tenga ningún voltaje presente sobre los terminales de entrada y se evita o disminuye el riesgo de destrucción de alguno de los pines por un voltaje indebido en el mismo.

#### **1.4.2. Aplicación Generador de Onda**

El archivo de aplicación contiene la unión de los tres módulos listos para ser usados. Los tres están activos y puede realizarse cualquiera de las actividades anteriores sobre ellos desde una sola interfaz y cargando un solo bitstream.

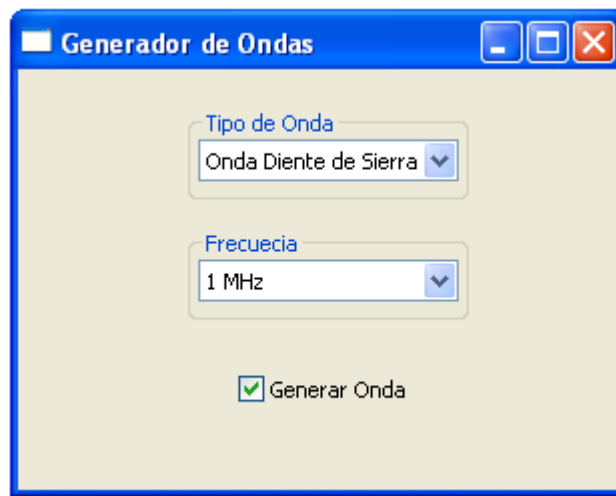
Para ilustrar el uso de los módulos se ha diseñado una sencilla aplicación que corresponde a un generador de ondas, con el se pueden conseguir ya sean ondas diente de sierra o rectangulares. Las frecuencias de las ondas pueden



variarse cambiándolas desde la casilla de selección que contiene predefinidas unas varias.

La figura C.5 permite ver la interfaz de usuario usada para la manipulación del generador. Ella es bastante intuitiva y no representa mayor complicación para su uso.

Los códigos que se deben cargar en este caso son `generador.bit` y `generador.xfp`.



**Figura B.5 Interfaz Aplicación Generador de Ondas**

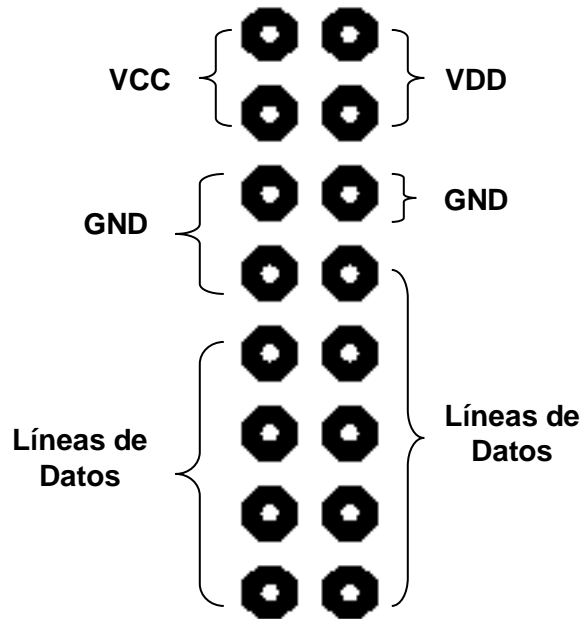
En la carpeta **software/Proyectos** se encuentran contenidos los proyectos completos para trabajar con la versión ISE 8.2 de Xilinx o cualquiera superior, si se desea trabajar con una versión inferior se deben realizar los cambios pertinentes para que todos los archivos de la herramienta sean compatibles.

Cualquier cambio a adición de módulos nuevo puede realizarse sobre el proyecto **Aplicación** variando todo lo que sea necesario y realizando una nueva compilación para generar el bitstream que será descargado al FPGA.

## 1.5 Utilización de los Módulos de Expansión

Para instalar módulos adicionales en los puertos de expansión de la TAC se deben seguir las siguientes recomendaciones:

- El diseño de la tarjeta de circuito impreso del modulo que se desea conectar debe hacerse con el programa Eagle Layout Editor. Se puede emplear la versión suministrada en el CD-ROM adjunto a la monografía (CD:\CircuitosImpresos\Eagle) o una versión posterior. Para que el diseño de la tarjeta se ajuste a las dimensiones de la caja de la TAC, se debe copiar la librería Expansion.lbr suministrada en el CD-ROM (CD:\Circuitos Impresos\Libreria), en la carpeta lbr del programa instalado (C:\Archivos de programa\Eagle-4.xx\lbr). Esta librería además proporciona al diseño de la tarjeta el tipo de conector hembra adecuado que se ajusta al puerto de expansión de la TAC.
- Los pines I/O del FPGA que se desean emplear, se seleccionan teniendo en cuenta la distribución de pines hecha en la tabla A.2 de este anexo. En esta tabla, la cuarta columna indica el numero de puerto a emplear, de la siguiente forma: JP3EX, en donde JP3 indica que los pines corresponden al puerto JP3 del modulo XEM3001, E significa que se trata de un puerto de expansión y la X el numero del puerto en la tarjeta de expansión.
- La distribución física de los 16 pines de cada uno de los 4 puertos de expansión esta hecha como lo indica la figura B.6



**Figura B.6 Configuración de Pines de un Puerto de Expansión**

En la figura B.6 VCC corresponde a un voltaje de 5V, VDD a un voltaje de 3,3V y GND tierra, los cuales están disponibles para polarizar los circuitos que contenga el modulo de expansión a diseñar.