

EVELIO ASTAIZA HOYOS



ANÁLISIS DE FACTIBILIDAD DE LA APLICACIÓN DE LA
TECNOLOGÍA SDR EN LOS SISTEMAS DE TELECOMUNICACIÓN
SATELITAL – COMPONENTE DE MODULACIÓN CODIFICACIÓN

Universidad Del Cauca
Facultad de Ingeniería Electrónica y Telecomunicaciones
Maestría en Ingeniería
Área: Ingeniería Electrónica y Telecomunicaciones

Popayán
2008

EVELIO ASTAIZA HOYOS

ANÁLISIS DE FACTIBILIDAD DE LA APLICACIÓN DE LA
TECNOLOGÍA SDR EN LOS SISTEMAS DE TELECOMUNICACIÓN
SATELITAL – COMPONENTE DE MODULACIÓN CODIFICACIÓN

Tesis presentada a la Facultad de Ingeniería
Electrónica y Telecomunicaciones de la
Universidad del Cauca para la obtención del
Título de Magíster en Ingeniería.

Área:
Ingeniería Electrónica y Telecomunicaciones.

Director:
Magister Pedro Vera Vera

Popayán
2008

Contenido

Lista de Figuras	xvii
Lista de Tablas	xxi
Lista de Abreviaturas	xxiii
Lista de Símbolos	xxv
1 Fundamentos	1
1.1 Sistemas de Comunicaciones por Satélite	1
1.1.1 Segmento Espacial	1
1.1.2 Segmento Terreno	8
1.2 Sistemas de Radio Definidos por Software - SDR	9
1.2.1 Definición	9
1.2.2 Requerimientos Operacionales	9
1.2.3 Arquitectura Básica de SDR	11
2 Análisis de Factibilidad	13
2.1 Transpondedores Satelitales	13
2.1.1 Transpondedores Transparentes	13
2.1.2 Transpondedores Regenerativos	14
2.1.3 Transpondedores con Procesamiento a Bordo	14
2.2 Consideraciones y Análisis de Factibilidad	17
2.2.1 Subsistema de Antenas	17
2.2.2 Diplexer	22
2.2.3 Filtro de RF	30
2.2.4 Amplificador de Bajo Ruido	30
2.2.5 Filtro de Frecuencia Intermedia	33
2.2.6 Mezclador de RF	35
2.2.7 Oscilador Local	37
2.2.8 Modulador - Demodulador	40
2.2.9 Codificador - Decodificador	43
2.2.10 Control Automático de Ganancia - AGC	46
2.2.11 Conversor Analógico a Digital - Conversor Digital Analógico	49
3 Simulación del Componente Modulación - Codificación	59
3.1 Modelo de Simulación	59
3.1.1 Modulador QAM	59
3.1.2 Demodulador	65
3.1.3 Codificador	67

3.1.4	Decodificador	69
3.2	Pruebas y Verificación	70
3.2.1	Pruebas de caja blanca	70
3.2.2	Pruebas de caja negra	72
3.2.3	Verificación y resultados del software de simulación	74
3.3	Análisis de Resultados de la simulación	80
4	Desarrollo del Prototipo del Componente Modulación - Codificación	85
4.1	Diseño del Modulador QAM	85
4.2	Implementación del Modulador 16 QAM.	88
4.3	Diseño del Demodulador QAM	89
4.4	Implementación del Demodulador 16 QAM	92
4.5	Diseño del Codificador Cíclico (7,4)	98
4.6	Implementación del Codificador Cíclico (7,4)	100
4.7	Diseño del Decodificador Cíclico (7,4)	101
4.8	Implementación del Decodificador Cíclico (7,4)	104
5	Validación del Prototipo y Funciones Vs. Simulación	107
6	Conclusiones y Recomendaciones	115
A	Implementación de la Simulación	129
A.1	Modulador 16QAM	129
A.2	Demodulador 16QAM	130
A.3	Codificador Cíclico (7,4)	130
A.4	Decodificador Cíclico (7,4)	131
A.5	Simulación del Sistema Integrado	131
B	DSP y FPGA	141
B.1	Introducción.	141
B.2	Elementos Hardware	142
B.3	Procesadores Digitales de Señal. (DSPs)	143
B.4	FPGAs (Field Programmable Gate Arrays)	143
B.5	Parámetros de Intercambio en el Uso de DSPs, FPGAs y ASICs	143
B.6	Manejo de Potencia	145
C	CORDIC	147
C.1	Introducción	147
C.2	Descripción del Algoritmo CORDIC	147
C.3	Derivación del Algoritmo CORDIC	147
C.4	Traslación de un Punto a lo Largo de Un Círculo de Radio R	148
C.5	Rotación a Través de Sub-rotaciones Sucesivas	150
C.6	Simplificación Computacional de las Rotaciones Iterativas.	152
C.7	Colocando Las Ecuaciones De La Forma Final	152
C.8	Modo Vectorización.	154

Lista de Figuras

1.1	Elementos básicos de un transponder redundante	3
1.2	Receptor de banda ancha satelital	4
1.3	Demultiplexor de entrada y multiplexor de salida en un transpondedor satelital	5
1.4	Características de transferencia de un TWT	6
1.5	Características de transferencia de fase de un TWT	7
1.6	Productos de intermodulación de tercer orden	7
1.7	Elementos básicos de una estación terrena	8
1.8	Arquitectura ideal de un sistema de radio definido por software	11
2.1	Arquitectura de un transpondedor transparente	13
2.2	Arquitectura de un transpondedor regenerativo	15
2.3	Arquitectura simplificada de un transpondedor con procesamiento a bordo	16
2.4	Arreglo de antenas tradicional	19
2.5	Antenas inteligentes utilizando SDR	20
2.6	Arquitectura física flexible	21
2.7	Conmutador PIN	24
2.8	Conmutador PIN con desviación en serie	25
2.9	Conmutador PIN con desviación en serie y aislamiento mejorado	26
2.10	Conmutador PIN con desviación en serie y alto aislamiento	27
2.11	Eliminación de diplexer por cancelación mediante el uso de acopladores direccionales	28
2.12	Eliminación de diplexer por cancelación mediante el uso de transmisor auxiliar	29
2.13	Diseño de un LNA estable	32
2.14	Configuración básica de un mezclador de rechazo de imagen	35
2.15	Espectro de la señal de un oscilador con y sin ruido	37
2.16	Espectro de la señal de un NCO de 24 bits	39
2.17	Densidad espectral de ruido de fase como función del desplazamiento de frecuencia.	40
2.18	Estructura simplificada de un modulador en cuadratura	41
2.19	Estructura simplificada de un modulador en cuadratura usando un DAC .	41
2.20	Estructura simplificada de un demodulador en cuadratura	42
2.21	Arquitectura del modulador utilizando salida de IF digital	42
2.22	Diagrama en bloques de un sistema de comunicaciones digital con FEC .	44
2.23	Demodulación hard y soft decision de una señal contaminada por ruido gaussiano	44
2.24	Diagrama en bloques de un controlador automático de ganancia analógico	47
2.25	Diagrama en bloques de un controlador automático de ganancia digital .	48
2.26	Modos de operación de un AGC digital	49

2.27	Diagrama genérico de un ADC de banda ancha para IF o RF	49
2.28	Respuesta al escalón de un DAC de alta velocidad	51
2.29	Respuesta al impulso de un DAC convencional	52
2.30	Rango dinámico de un ADC	53
3.1	Esquema general de un modulador digital	59
3.2	Símbolos generados a partir de secuencia binaria con $K=4$	60
3.3	Esquema básico de modulador QAM	60
3.4	Esquema modificado del modulador QAM	62
3.5	Esquema optimizado del modulador QAM	63
3.6	Descomposición esquema optimizado del modulador QAM	63
3.7	Constelación para 16QAM	64
3.8	Esquema de obtención de símbolos 16QAM	64
3.9	Esquema básico de un demodulador QAM	65
3.10	Esquema básico de un demodulador QAM con recuperación de fase de portadora	67
3.11	Esquema básico de un receptor QAM	67
3.12	Datos generados aleatoriamente por la fuente de información en transmisión	75
3.13	Datos codificados código cíclico (7,4)	76
3.14	Símbolos 16-QAM transmitidos	76
3.15	Componentes en fase y cuadratura de los símbolos 16-QAM	77
3.16	Señal modulada pasabanda 16-QAM	78
3.17	Símbolos 16-QAM estimados a partir de las componentes en fase y cuadratura de la señal demodulada	78
3.18	Constelación de símbolos 16-QAM recibidos	79
3.19	Datos decodificados recibidos	79
3.20	Desempeño de 16 QAM	81
3.21	Desempeño de 32 QAM	81
3.22	Desempeño de 64 QAM	82
4.1	Esquema del modulador QAM con salidas en fase y cuadratura	85
4.2	Esquema de modulador QAM	87
4.3	Esquema simplificado del modulador QAM	87
4.4	Modulador 16QAM implementado en xilinx system generator	88
4.5	Mezclador modulador 16QAM xilinx system generator	89
4.6	Esquema básico del demodulador QAM	89
4.7	DPLL para sincronización de fase	90
4.8	DPLL implementado con productos cruzados y la constelacion	91
4.9	DPLL para 16QAM	92
4.10	Demodulador 16QAM en xilinx system generator	93
4.11	Detector de fase en xilinx system generator	94
4.12	Slicer en xilinx system generator	94
4.13	Multiplicador complejo entrada B complementada en xilinx system generator	95
4.14	Bloque CORDIC en xilinx system generator	96

4.15 Mapeo cuadrante en xilinx system generator	96
4.16 Procesador CORDIC en xilinx system generator	97
4.17 CORDIC iteración n en xilinx system generator	97
4.18 Corrección cuadrante en xilinx system generator	98
4.19 Filtro de lazo DPLL en xilinx system generator	98
4.20 Circuito para codificación sistemática utilizando $g(x)$	99
4.21 Codificador sistemático (7,4) utilizando $g(x) = 1 + x + x^3$	99
4.22 Codificador RS(7,4) en xilinx system generator	100
4.23 Circuito para el cálculo del síndrome del decodificador sistemático (7,4) con $g(x) = 1 + x + x^3$	102
4.24 Decodificador cíclico con $r(x)$ desplazado a la izquierda del registro de síndrome	103
4.25 Decodificador cíclico (7,4) con entrada a la izquierda	104
4.26 Decodificador RS (7,4) en xilinx system generator	105
5.1 Información de fuente y símbolos 16 QAM	108
5.2 Componentes en fase y cuadraturas mapeadas por el modulador	109
5.3 Componentes en fase y cuadratura post filtro de transmisión.	109
5.4 Respuesta del NCO de transmisión	110
5.5 Componentes en fase y cuadratura moduladas.	110
5.6 Diagrama de constelación de los símbolos mapeados.	111
5.7 Diagrama de constelación de la señal modulada	111
5.8 Respuesta del NCO de recepción y recuperación de fase	112
5.9 Componentes en fase y cuadratura demoduladas.	112
5.10 Diagrama de constelación de la señal demodulada	113
5.11 Señales entrada y salida CODEC	113
B.1 Consumo de potencia vs. programabilidad de diferentes tipos de hardware	145
C.1 Conversión entre representaciones polar y rectangular	148
C.2 Rotación de un punto através de un círculo de radio R	149
C.3 Rotación através de subrotaciones sucesivas	151
C.4 Operación de vectorización CORDIC	154

Lista de Tablas

2.1	Asignación general del espectro de frecuencias para la prestación de servicios de telecomunicaciones satelitales	18
2.2	Efecto del submuestreo sobre una señal de entrada	37
2.3	Especificaciones de un ADC para SDR	50
2.4	Factor de mérito de algunos ADCs de alta velocidad (1995 - 2007)	58
3.1	Polinomios de error y síndrome para un decodificador (7,4)	69
3.2	Pruebas de caja blanca realizadas al software de simulación	70
3.3	Pruebas de caja negra realizadas al software de simulación	73
3.4	Verificación del software de simulación	74
4.1	Contenido del registro de desplazamiento para el codificador (7,4)	100
4.2	Síndromes del desplazamiento de $r(x)$	101
4.3	Cálculo del síndrome y su desplazamiento cíclico para el decodificador (7,4)	102
5.1	Estimación de recursos totales de implementación modulador demodulador	107
5.2	Estimación de recursos de implementación por bloques funcionales	107
5.3	Estimación de recursos totales de implementación codificador decodificador	108
6.1	Factibilidad de la implementación de SDR en transpondedores satelitales subsistema de antenas.	116
6.2	Factibilidad de la implementación de SDR en transpondedores satelitales - diplexer.	116
6.3	Factibilidad de la implementación de SDR en transpondedores satelitales - LNA.	117
6.4	Factibilidad de la implementación de SDR en transpondedores satelitales - AGC.	117
6.5	Factibilidad de la implementación de SDR en transpondedores satelitales - filtros de RF.	118
6.6	Factibilidad de la implementación de SDR en transpondedores satelitales - mezclador de RF.	118
6.7	Factibilidad de la implementación de SDR en transpondedores satelitales - filtro de IF.	119
6.8	Factibilidad de la implementación de SDR en transpondedores satelitales - mezclador de IF.	119
6.9	Factibilidad de la implementación de SDR en transpondedores satelitales - oscilador de RF.	120
6.10	Factibilidad de la implementación de SDR en transpondedores satelitales - oscilador de IF.	120

6.11 Factibilidad de la implementación de SDR en transpondedores satelitales - modulador demodulador.	121
6.12 Factibilidad de la implementación de SDR en transpondedores satelitales - codificador decodificador.	121
6.13 Factibilidad de la implementación de SDR en transpondedores satelitales - ADC DAC.	122
B.1 Categorías de los DSPs disponibles	144

Lista de Abreviaturas

ADC	<i>Analog to Digital Converter</i>
AGC	<i>Automatic Gain Control</i>
ASIC	<i>Aplication Specific Integrated Circuit</i>
BB	<i>Base Band</i>
BER	<i>Bit Error Rate</i>
BJT	<i>Bipolar Junction Transistor</i>
BPSK	<i>Binary Phase Shift Keying</i>
CORDIC	<i>Coordinate Rotation Digital Computer</i>
DAC	<i>Digital to Analog Converter</i>
DBL	<i>Doble Banda Lateral</i>
DC	<i>Direct Current</i>
DDS	<i>Direct Digital Synthesis</i>
DPLL	<i>Digital Phase Locked Loop</i>
DSP	<i>Digital signal Processor</i>
EVM	<i>Error Vector Magnitude</i>
FEC	<i>Forward Error Correction</i>
FET	<i>Field Effect Transistor</i>
FPGA	<i>Field Programmable Gate Array</i>
HPA	<i>High Power Amplifier</i>
IF	<i>Intermediate Frecuency</i>
LNA	<i>Low Noise Amplifier</i>
MMIC	<i>Monolithic Microwave Integrated Circuit</i>
MQAM	<i>M-ary Quadrature Amplitude Modulation</i>
NCO	<i>Numerically Controled Oscilator</i>
OBP	<i>On Board Processing</i>
OL	<i>Oscilador Local</i>
OSI	<i>Open Systems Interconnect</i>

PC	<i>Personal Computer</i>
PLD	<i>Programmable Logic Device</i>
PLL	<i>Phase Locked Loop</i>
Q	<i>Quality Factor</i>
QAM	<i>Quadrature Amplitude Modulation</i>
QPSK	<i>Quadrature Phase Shift Keying</i>
RF	<i>Radio Frequency</i>
RS	<i>Reed Solomon</i>
SDR	<i>Software Defined Radio</i>
TDM	<i>Time División Multiplex</i>
TDMA	<i>Time División Multiple Access</i>
TWT	<i>Travel Wave Tube</i>
TWTA	<i>Travel Wave Tube Amplifier</i>
USR	<i>Universal Software Radio</i>

Lista de Símbolos

A	Nivel de potencia.
$\left(\frac{E_b}{N_0}\right)$	Relación energía de bit a ruido.
F	Factor de ruido.
f_m	Frecuencia offset
f_0	Frecuencia de oscilación
f_s	Frecuencia de muestreo
k	Constante de Boltzmann = $1.38 \times 10^{-23} J/K$
(S/N)	Relación señal a ruido
$s(x)$	Polinomio
T	Temperatura en grados Kelvin
x	Variable aleatoria

Dedicatoria

A **Dios**, por todas las bendiciones recibidas.

A mi querido hijo, **Juan Esteban Astaiza Fuenmayor**, la personita que mas amo en esta vida y que ha contribuido ha hacerme crecer como padre, como persona y como profesional y me ha llenado de felicidad.

A mi querida esposa, **Janeth Fuenmayor Zapata**, quien me ha acompañado y apoyado en las buenas y malas, amo y me ha dado fuerzas para seguir adelante en esta dura etapa de mi vida y espero me acompañe en muchas mas.

A mi querida madre, **Lidia Hoyos Meneses**, a quien debo lo que soy y amo con todo mi corazón, con quien siempre he contado y se que lo seguiré haciendo.

Agradecimientos

En el desarrollo de esta investigación he recibido la colaboración de una u otra manera de una gran cantidad de personas, todas ellas a las cuales les estoy altamente agradecido.

Principalmente deseo agradecer al ingeniero Pedro Vera Vera quien me ha dado soporte, acompañamiento y asesoría en el transcurrir de mis estudios de maestría, pero que le agradezco aún más por haberme brindado su amistad y consejos para la vida.

Abstract

The emerging of new technologies such as Software Defined Radio (SDR) has revolutionized the landscape of communication systems. This is mainly due to the fact that hardware devices can be replaced by algorithms running on Programmable Logic Devices (PLD) such as DSPs or FPGAs. Considering this new paradigm, high levels of flexibility will be achieved since algorithms hosted on PLDs could be updated or replaced completely. This is equivalent to change a hardware device by a new one, only that this procedure is easier, faster, cheaper, and it could be performed without suspending the communication services depending on these devices.

As proposed in (Paillassa, 2003) and (Morlet, 2003), satellite systems could easily take advantage of this emerging technology and regenerative satellite payloads could be implemented based on SDR techniques. In this context, satellite payloads will be built based on FPGA arrays and the entire Base Band and IF processing will be carried out by means of Digital Signal Processing Algorithms.

In this document, we present the evaluation and feasibility analysis of the idea of implementing a transponder's Payload based on Software Radio. Initially we describe the modules of a transparent and on board processing transponder, then, we perform the feasibility analysis of the SDR implementation by evaluating parameters such as operation frequency, noise figure, dynamic range, power consumption, digitalization possibilities. We designed and implemented the codification and modulation components for a reconfigurable on board processing transponder using FPGAs.

For this purpose, we have chosen the QAM strategy since it is widely employed in satellite systems and it presents a high spectral efficiency. In fact, the implementation results were obtained for 16-QAM using Spartan 3E FPGAs provided by Xilinx, simply because this is was available in our development environment. The software tool we employed is called System Generator and it is provided by Xilinx.

Resumen

Las tecnologías emergentes tales como Software Defined Radio (SDR) han revolucionado las perspectivas de las telecomunicaciones; esto principalmente, debido al hecho que los dispositivos hardware pueden ser reemplazados por algoritmos que se ejecutan sobre Dispositivos Lógicos Programables (PLD - Programmable Logic Devices) tales como DSPs o FPGAs. Considerando este nuevo paradigma, altos niveles de flexibilidad pueden alcanzarse siempre que los algoritmos alojados en los PLDs puedan ser actualizados o reemplazados completamente, lo cual equivale a cambiar un dispositivo hardware por uno nuevo, con las ventajas que la reconfiguración, es un procedimiento sencillo, rápido y económico, permitiendo ser realizado en caliente, sin necesidad de suspender los servicios de comunicaciones prestados por la estructura del sistema.

Como se propone en (Paillassa, 2003), (Morlet, 2003) los sistemas de comunicaciones satelitales pueden tomar ventajas de estas tecnologías emergentes y los transpondedores con procesamiento a bordo podrían ser implementados basándose en tecnologías SDR. En este contexto, transpondedores satelitales podrían ser construidos basados en arreglos de FPGAs permitiendo realizar por completo las funciones de procesamiento en banda base y frecuencia intermedia a través de algoritmos de procesamiento digital de señales.

En este documento se presentan los resultados de la evaluación y análisis de factibilidad de la implementación de los módulos de un transpondedor satelital basado en SDR. Inicialmente se parte de la descripción de los módulos de un transpondedor satelital transparente y de los transpondedores con procesamiento a bordo, posteriormente se realiza un análisis de la factibilidad de implementación de cada uno de los módulos evaluando parámetros tales como frecuencia de operación, figura de ruido, rango dinámico, consumo de potencia, potencia manejada por el dispositivo y posibilidades de digitalización, diseño e implementación del componente de modulación - demodulación para un transpondedor satelital con procesamiento a bordo reconfigurable por medio de SDR utilizando plataformas FPGA, para este propósito se seleccionó el modulador - demodulador 16 QAM puesto que es ampliamente utilizado en el escenario de las comunicaciones satelitales. Los resultados e implementación se realizaron sobre la FPGA Spartan 3E de Xilinx debido a que es una de las plataformas más populares en nuestro entorno. La herramienta de desarrollo utilizada se denomina System Generator la cual también es proporcionada por Xilinx.

Introducción

Software defined radio (SDR) es una arquitectura de sistemas de radio emergentes, la cual abarca un amplio rango de técnicas de diseño con miras a realizar un verdadero sistema de radio flexible; este es un campo muy amplio, el cual involucra áreas tales como el diseño de sistemas de RF, IF, diseño digital de sistemas en banda base, diseño de hardware e ingeniería del software, cubriendo estas áreas con un nivel de detalle suficiente.

Este trabajo concentra sus esfuerzos en la identificación de los componentes de un transpondedor satelital viables a ser implementados utilizando la tecnología SDR enfocándose principalmente en las áreas de diseño de sistemas de RF, IF y banda base, y en el diseño digital

La mayoría de las técnicas descritas en el presente trabajo se encuentran aún en etapa de investigación y se presentan como posibilidades para realizar el desarrollo de este tipo de sistemas, algunas de estas técnicas podrían nunca convertirse en una realidad de acuerdo a su complejidad o a los costos que su implementación implica.

Este documento se encuentra dividido en seis capítulos los cuales cubren aspectos relacionados al diseño de sistemas de radio definidos por software y de manera puntual a su aplicación en los sistemas de telecomunicaciones satelitales proporcionando un acercamiento a este tipo de desarrollos mediante la implementación de los módulos de codificación, modulación, demodulación y decodificación de señales de información. Los capítulos son los siguientes:

1. Fundamentos: En este capítulo se introduce al lector del documento en los aspectos fundamentales en tópicos relacionados con sistemas de comunicaciones satelitales, particularmente se hace referencia a los transpondedores satelitales y la descripción de cada uno de sus módulos constitutivos, así como aspectos relacionados con la arquitectura SDR.
2. Análisis de Factibilidad: En este capítulo se realiza el estudio y evaluación de la viabilidad de implementación de cada componente del transpondedor satelital y se identifican las restricciones existentes en la actualidad para implementación de SDR en transpondedores satelitales
3. Simulación del Componente Modulación Codificación: En este capítulo se presentan aspectos relacionados con el modelamiento del sistema, procesamiento digital de señales y posterior simulación del sistema con el objetivo de verificar su comportamiento y de manera primaria evaluar la posibilidad de implementación sobre plataformas reconfigurables

4. Desarrollo del Prototipo del Componente Modulación Codificación: En este capítulo se realiza una descripción detallada del proceso de implementación de los módulos correspondientes al codificador, modulador, demodulador y decodificador sobre plataformas lógicas reconfigurables, las cuales en el caso del documento se realizan sobre herramientas de desarrollo de Xilinx tales como el system generator.
5. Validación del Prototipo y Funciones Vs. Simulación: En este capítulo se realiza el proceso de confrontación y validación de resultados de la simulación versus las pruebas realizadas en hardware.
6. Conclusiones y Recomendaciones: En este capítulo se plantean algunas conclusiones y recomendaciones referentes a la aplicación y viabilidad de la implementación de SDR en plataformas satelitales.

Capítulo 1

Fundamentos

1.1 Sistemas de Comunicaciones por Satélite

Un sistema de comunicaciones por satélite se divide fundamentalmente en dos segmentos, el segmento espacial y el segmento terreno; el segmento espacial incluye tanto a los satélites como a la infraestructura en tierra dedicada a la operación del satélite consistente en equipos, para el seguimiento, telemetría y control.

1.1.1 Segmento Espacial

Los equipos abordo del satélite se clasifican de acuerdo a la función que cumplen y son la carga útil, subsistema de potencia, subsistema de control de actitud, subsistema de control térmico, subsistema de control orbital, subsistema de telemetría seguimiento y comando.

Subsistema de Potencia

La fuente primaria de suministro de energía para los equipos que conforman la carga útil son los paneles solares, los cuales proporcionan la energía necesaria para el funcionamiento de los equipos electrónicos y la recarga de las baterías de níquel cadmio o níquel hidrógeno utilizadas en los periodos en los cuales el satélite se encuentra eclipsado y no recibe luz solar, lo cual ocurre en el caso de los satélites geoestacionarios generalmente dos veces al año durante los equinoccios.

Subsistema de Control de Actitud

La actitud de un satélite hace referencia a su orientación en el espacio, este control de actitud es necesario para garantizar que las antenas se encuentran apuntando en la dirección adecuada, esta "desorientación" puede ser producida por campos gravitacionales entre la tierra, el sol y la luna, radiación solar e impactos de meteoritos; el control de actitud puede ser realizado por medio del control de actitud pasivo y el control activo; el pasivo hace referencia al uso de un mecanismo que estabiliza el satélite mediante el uso de la menor cantidad de energía posible; el control de actitud activo se realiza mediante la aplicación de fuerzas correctoras de orientación en respuesta a las fuerzas de desorientación, esto se realiza a través de mecanismos sustentados en bobinas electromagnéticas y dispositivos de propulsión, lo cual implica una utilización de la energía almacenada o producida por las fuentes de alimentación del satélite, o combustible a bordo.

Subsistema de Control Orbital

En los sistemas satelitales, es de gran importancia que el satélite se mantenga dentro de su espacio orbital, para ello se requiere que el control orbital permita monitorear, identificar y corregir variaciones en el posicionamiento del satélite debidas a la variación de la velocidad del satélite, excentricidad orbital, fuerzas gravitacionales, radiación solar, impactos de meteoritos, etc. para ello se utilizan mecanismos basados en propulsión para realizar la corrección de acuerdo a la banda de frecuencia de operación del satélite, por ejemplo para la banda C el satélite debe mantenerse dentro de una desviación de $\pm 0.1^\circ$ tanto de longitud como de latitud, y en la banda Ku la desviación debe estar entre los $\pm 0.05^\circ$ tanto en longitud como en latitud.

Subsistema de Control Térmico

El satélite se encuentra expuesto a grandes variaciones térmicas debido a que una de sus caras se encuentra expuesta a la luz solar por lo tanto a altas temperaturas y la otra se encuentra a la sombra en dirección al espacio, lo cual implica temperaturas muy bajas; lo más importante es considerar que los equipos a bordo del satélite deben operar a una temperatura lo más aproximada posible a la temperatura ambiente, es por ello que en el satélite deben ser instaladas cubiertas térmicas y escudos que proporcionen aislamiento térmico, así mismo, espejos de radiación son frecuentemente utilizados para reflejar el calor que llega a la carga útil.

Subsistema de Telemetría Seguimiento y Comando

Este subsistema desempeña muchas de las funciones del vehículo espacial; la telemetría permite obtener información de actitud, posición, temperatura, suministro de voltajes a equipos, carga en baterías, presión y cantidad de combustible mediante la generación de una señal proporcional a la cantidad medida, que es codificada, modulada y transmitida hacia la estación terrena de control; el sistema de comando recibe en el satélite señales de control provenientes de la estación terrena de control donde se dan instrucciones como respuesta a la información de telemetría, demodulando, decodificando y enrutando los comandos hacia el equipo correspondiente para la ejecución de las acciones pertinentes; el sistema de seguimiento es especialmente útil en la fase de lanzamiento del satélite ya que permite enviar información de posición a través de telemetría para apagar el posicionamiento en la órbita planeada, realiza el control orbital una vez el satélite se encuentra en órbita ya que fuerzas extremas afectan la posición del satélite en el plano orbital y permite el seguimiento del satélite por parte de las estaciones terrenas.

Carga Útil

La carga útil se compone de un subsistema de antenas y un subsistema de transpondedores que constituye, el subsistema de interés objeto del presente trabajo; un transpondedor es una serie de unidades interconectadas que conforman un único canal de

comunicaciones entre el receptor y el subsistema de antenas en un satélite, dichas unidades desempeñan las funciones necesarias para adaptar la señal al enlace de bajada, las funciones básicas que cumplen las unidades de un transpondedor son la conversión de frecuencia del enlace de subida hacia el enlace de bajada y la amplificación de la señal de información, de acuerdo al tipo de transpondedor pueden realizarse funciones adicionales tales como conmutación de canales y procesamiento de la señal con miras al mejoramiento del rendimiento del sistema; algunas de las unidades utilizadas por un transpondedor en un canal dado, pueden ser comunes a otros transpondedores en el mismo satélite, y cada transpondedor se encuentra conformado por los siguientes módulos como se puede observar en la figura 1.1

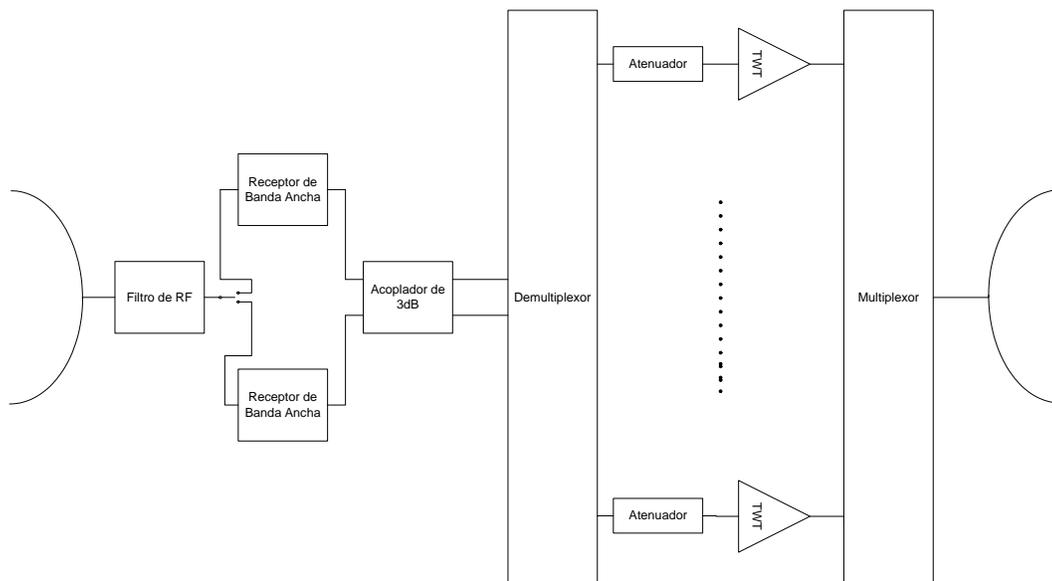


Figura 1.1. Elementos básicos de un transponder redundante

- Receptor de banda ancha
- Demultiplexor de entrada
- Amplificador de potencia
- Multiplexor de salida

Receptor de Banda Ancha

El receptor de banda ancha se muestra en la figura 1.2, la primera etapa es un amplificador de bajo ruido (LNA - *Low Noise Amplifier*), el cual amplifica la portadora recibida a un nivel suficiente que supere el ruido presente en la etapa de conversión de frecuencia que se encuentra posteriormente.

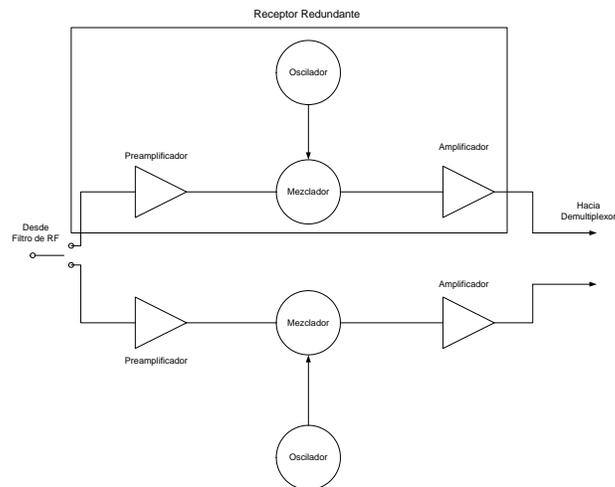


Figura 1.2. Receptor de banda ancha satelital

El LNA alimenta la etapa de mezcla, la cual requiere de un oscilador local para la generación de la frecuencia de conversión a la frecuencia de bajada de la señal portadora recibida por el satélite, esta frecuencia de oscilación debe ser estable y debe tener bajo ruido de fase, un segundo amplificador sigue a la etapa de mezcla para proporcionar una ganancia global del orden de 60dB, al dividir la amplificación entre preamplificación a la frecuencia de la portadora de subida y amplificación a la frecuencia de portadora de bajada se previenen oscilaciones que podrían ocurrir si toda la amplificación se realizara a la misma frecuencia; el receptor de banda ancha utiliza solamente dispositivos activos como diodos tunnel para la preamplificación en transpondedores que trabajan en la banda C y amplificadores paramétricos para transpondedores que trabajan en la banda Ku, y amplificadores basados en transistores bipolares (BJT's - *Bipolar Junction Transistor*) para la banda C y amplificadores basados en transistores de efecto de campo (FET's - *Field Effect Transistor*) para la banda Ku.

Demultiplexor de Entrada y Multiplexor de Salida

El demultiplexor de entrada separa la señal de entrada de banda ancha en los canales de RF de acuerdo al tipo de acceso utilizado por los usuarios del transpondedor como se observa en la figura 1.3

Los canales son generalmente agrupados en canales pares y canales impares para reducir la interferencia de canal adyacente ya que la separación de frecuencia entre canales consecutivos es mayor. Una vez se ha realizado la demultiplexación de los canales de RF de cada usuario, cada canal es amplificado de manera independiente para posteriormente ser reconstruida la señal en el enlace de bajada como se observa en la figura 1.3.

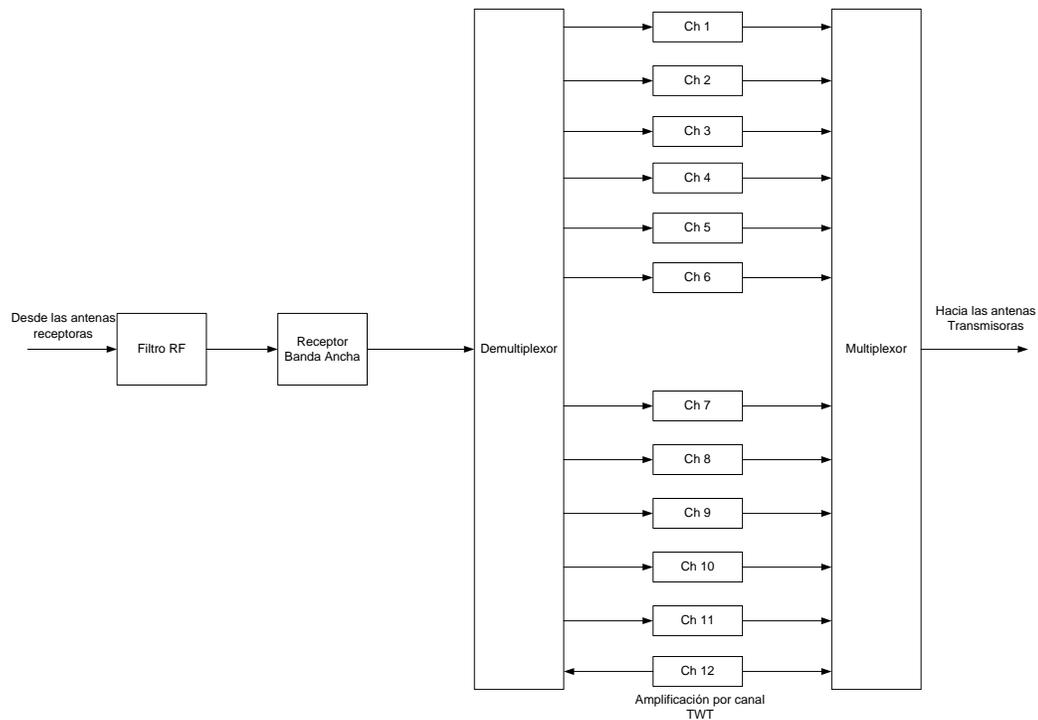


Figura 1.3. Demultiplexor de entrada y multiplexor de salida en un transpondedor satelital

Amplificador de Potencia

Como se observa en la figura 1.3 una vez demultiplexados los canales que conforman el enlace de subida, se procede a realizar la amplificación de cada canal, este esquema es comunmente utilizado para permitir la utilización de amplificadores con anchos de banda pequeños y para una única portadora evitando de esta manera la introducción de interferencia de canal adyacente; adicionalmente cada amplificador se encuentra precedido de un atenuador de entrada, el cual permite ajustar el nivel de entrada de señal de cada canal de tal manera que el amplificador trabaje en su región lineal dependiendo del tipo de servicio, disminuyendo el ruido de intermodulación. El atenuador posee una sección fija y una variable; la atenuación fija que garantiza que cada canal del transpondedor es atenuado de la misma manera; la atenuación variable se necesita para ajustar la señal a los niveles requeridos para cada servicio. Debido a que el ajuste del atenuador variable es un requerimiento operacional, debe ser realizado en la estación terrenal de telemetría y control.

El amplificador de potencia utilizado por excelencia en la carga útil de un transpondedor satelital es el TWTA (Traveling-Wave Tube Amplifier), el que proporciona la potencia de salida requerida para alimentar a la antena. Los niveles de entrada del TWT deben ser controlados para minimizar los efectos de distorsión por trabajo en su región no lineal; la función de transferencia de un TWT se muestra en la figura 1.4, donde se aprecian la región lineal y el punto de saturación del amplificador; igualmente se

muestra que a bajas potencias de entrada, la relación entre la potencia de salida y la potencia de entrada es lineal, sin embargo a elevados niveles de potencia de entrada, la potencia de salida se hace máxima llegando a saturación; la región lineal de un TWT se define como la región cuyo límite inferior es el ruido térmico y el límite superior el denominado punto de compresión de 1dB, que no es más que el punto en el cual la curva característica del TWT cae 1dB por debajo de la recta extrapolada como se puede apreciar en la figura 1.4.

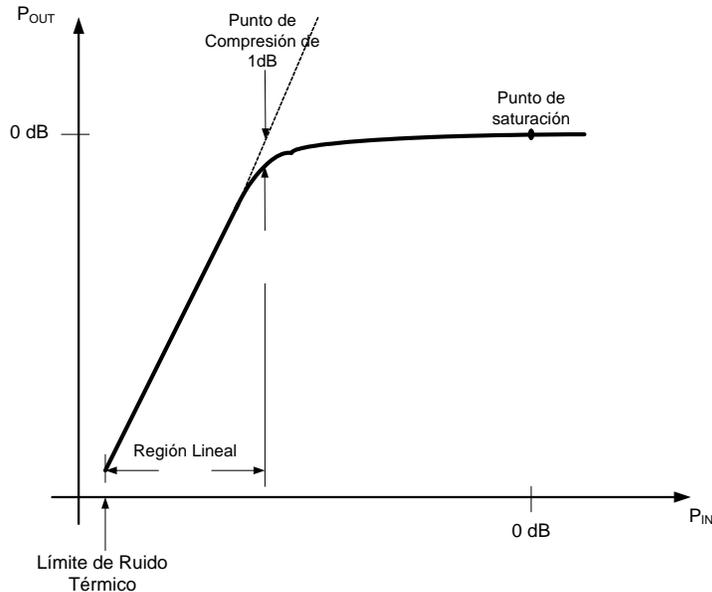


Figura 1.4. Características de transferencia de un TWT

El retardo entre la señal de entrada y la señal de salida cuando el nivel de potencia de entrada es fijo, generalmente no es significativo, sin embargo, cuando los niveles de potencia de entrada son altos y más de un haz de energía es amplificado, la velocidad promedio por cada haz se reduce, y por consiguiente el retardo se incrementa; y de acuerdo a que el retardo de fase es proporcional al tiempo de retardo, luego el desplazamiento de fase varía con el nivel de entrada; si se denota el desplazamiento de fase en el punto de saturación por θ_s y en cualquier otro punto dentro de la curva característica de transferencia del TWT como θ , luego la diferencia de fase relativa en el punto de saturación es $\theta - \theta_s$, la cual se muestra en la figura 1.5 como una función de la potencia de entrada.

Si el TWT es utilizado para amplificar dos o más portadoras simultáneamente, el trabajar en la región no lineal de la curva característica de transferencia del amplificador implica que la señal de salida será distorsionada por la aparición de armónicos de la frecuencia fundamental de la señal de entrada, fenómeno que es conocido como distorsión de intermodulación; la característica de transferencia del TWT puede ser ex-

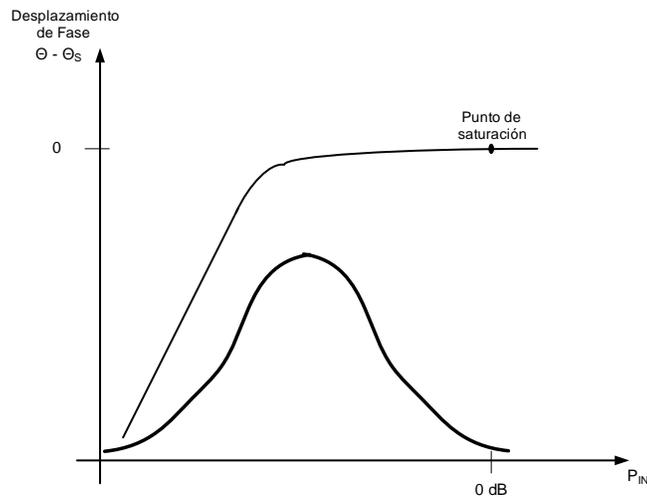


Figura 1.5. Características de transferencia de fase de un TWT

presada como una expansión en series de Taylor, que relaciona los voltajes de entrada y salida de la forma:

$$e_0 = ae_i + be_i^2 + ce_i^3 + \dots \quad (1.1)$$

Donde a,b,c, ... son los coeficientes dependientes de la curva característica, e_0 es el voltaje de salida, y e_i es el voltaje de entrada, el cual se encuentra conformado por la suma de portadoras individuales; el término de tercer orden ce_i^3 y los demás términos de orden superior de potencia impar generan productos de intermodulación; por consiguiente, estos productos generados por la amplificación no lineal de una portadora caen en la vecindad de otra u otras portadoras en la misma banda como se muestra en la figura 1.6.

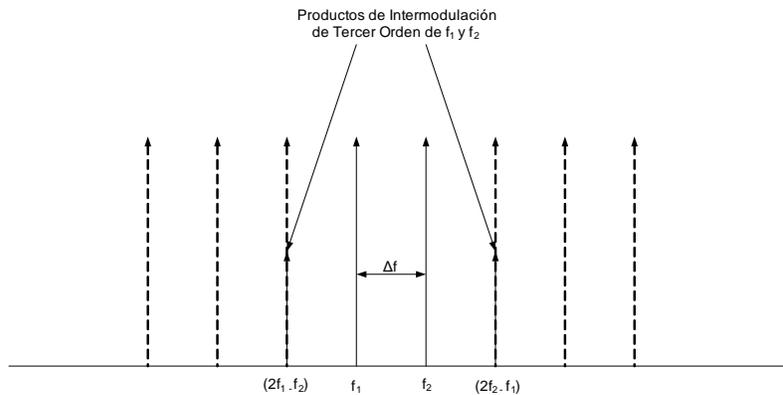


Figura 1.6. Productos de intermodulación de tercer orden

En orden a reducir la distorsión por intermodulación, el punto de operación del TWT debe desplazarse sobre la porción lineal de la curva de transferencia del TWT.

Subsistema de Antenas

El subsistema de antenas proporciona funciones duales en la plataforma satelital de recepción de la señal del enlace de subida y transmisión de la señal de enlace de bajada, los tipos de antenas utilizadas en los satélites van desde las antenas dipolares con patrones de radiación omnidireccionales, hasta antenas altamente direccionales utilizadas en la conformación de haces. Este subsistema no se aborda en el presente trabajo, pero puede ser al igual que los demás subsistemas tema de trabajo de la incorporación de las bondades que ofrece SDR (*Software Defined Radio*) para la implementación de plataformas satelitales reconfigurables.

1.1.2 Segmento Terreno

El segmento terreno de un sistema de comunicaciones satelitales consta de las estaciones terrenas con funciones de transmisión y recepción, los elementos básicos de una estación terrena redundante son mostrados en la figura 1.7

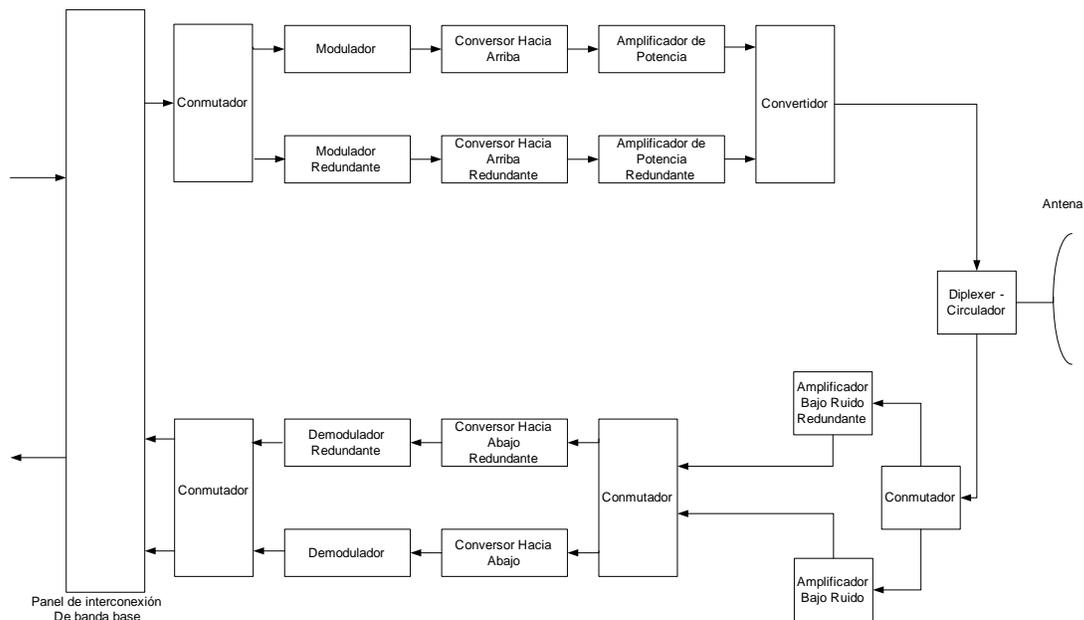


Figura 1.7. Elementos básicos de una estación terrena

Del lado transmisor, el panel de interconexión de banda base permite la interconexión de la estación terrena con estaciones terrenales y la conformación de la banda base a ser transmitida por la estación terrena, posteriormente el modulador permite modular la banda base sobre una portadora de frecuencia intermedia típica de 70MHz para

transpondedores de baja capacidad (900 canales) o de 140Mhz para transpondedores de alta capacidad (3600 canales), etapas de IF en paralelo se requieren para transmitir varias portadoras en el sistema, posteriormente a ser amplificada la señal de IF se realiza el proceso de conversión hacia arriba o subida a la frecuencia de radio (RF) de radiación del sistema, luego las portadoras son combinadas y la señal de banda ancha resultante es amplificada por el amplificador de alta potencia, esta señal amplificada es enviada al alimentador de la antena a través de un diplexer el cual permite a la antena el manejo de señales tanto de transmisión como de recepción simultáneamente.

Del lado receptor, la señal de banda ancha recibida es amplificada por el LNA y enviada hacia el demultiplexor de entrada, en el cual se separan las diferentes portadoras de RF, posteriormente cada portadora es enviada al bloque de conversión hacia abajo obteniendo la señal de IF para luego en el demodulador recuperar la banda base transmitida, la cual pasa al panel de interconexión el cual se encarga de entregar la señal a la estación terrenal en el formato requerido.

1.2 Sistemas de Radio Definidos por Software - SDR

1.2.1 Definición

El término *software radio* fué concebido por Joe Mitola en 1991 para referirse a una clase de sistemas y dispositivos de radio reconfigurables (Mitola,2000), por consiguiente se trata de sistemas en los que el mismo hardware puede ser reprogramado para cumplir con diferentes funciones en diferentes tiempos. El SDR Forum define al *Ultimate Software Radio* (USR) como un sistema de radio que permite una reconfiguración completa del tipo de tráfico, control de información y soporta un amplio rango de frecuencias, interfaces de aire y aplicaciones software. Una definición precisa y consensuada de lo que es un *software radio* no existe, puesto que es controversial el nivel de reconfigurabilidad necesario para calificar como uno, dado que no necesariamente un sistema de radio que incluya un Procesador Digital de Señales (DSP - *Digital Signal Processor*) o un microprocesador puede ser catalogado como un *software radio*, sin embargo un sistema de radio que defina en un nivel de software su proceso de modulación, codificación, encriptación, control sobre el hardware de RF,etc. y que pueda ser reprogramado, es claramente un sistema de *software radio*. En términos generales un sistema de *software radio* deriva su flexibilidad por el software, es soportada por una plataforma hardware estática.

1.2.2 Requerimientos Operacionales

Operación definida por software

La ventaja de los sistemas SDR radica en su capacidad de reconfigurabilidad, ello afecta de manera primaria las secciones del sistema de radio de procesamiento de la señal en banda base, frecuencia intermedia y todas aquellas que son soportadas por

plataformas digitales y que pueden ser reconfiguradas durante su manufactura, previo a la adquisición, posterior a la adquisición o durante la operación, lo cual requiere la utilización de hardware reprogramable como DSP o FPGA que permita realizar una implementación adecuada tanto por requerimientos de potencia, complejidad y costos.

Operación multibanda

En los sistemas de *software radio* la habilidad para el manejo de frecuencias corresponde a un amplio rango de bandas de frecuencia y anchos de banda de canal, por ello el manejo de frecuencia es una característica crítica de los sistemas SDR, esto, impacta de gran manera el segmento de radio frecuencia del sistema e impone fuertes restricciones a la tecnología hardware a ser utilizada.

Operación Multimodo

La habilidad para el cambio de modo de operación de los sistemas *software radio* y consecuentemente cambio de mecanismo de modulación, codificación, estructura de ráfagas, algoritmos de encriptación, protocolos de señalización, etc. es una característica fundamental de un sistema de radio definido por software.

Mecanismos de Reconfiguración

Existen dos mecanismos de reconfiguración utilizados en los sistemas SDR definidos por el SDR Forum, descarga sobre la interfaz de aire y descarga manual.

Descarga sobre interfaz de aire

Con este mecanismo, la reconfiguración del sistema se limita a un pequeño número de parámetros, o a la adición de nuevos servicios o a la actualización completa de la funcionalidad del sistema tanto como sea posible de acuerdo a la plataforma que soporta la funcionalidad; en este tipo de descarga existen dos aspectos a tener en cuenta y son: como garantizar que todos los elementos del sistema han sido actualizados antes de iniciar operaciones haciendo uso de la nueva configuración, y como entregar una gran cantidad de información potencial a todos los elementos del sistema sin afectar de manera significativa la utilización del sistema.

Descarga manual

Este mecanismo de descarga es el más confiable pero para realizarlo se debe sacar de funcionamiento el elemento del sistema o el sistema completo a ser actualizado o reconfigurado y es mas parecido al proceso de actualización del software en un PC en el cual un usuario que desea adicionar o reconfigurar la funcionalidad del mismo instalando el software requerido para la implementación de la reconfiguración o adición de la funcionalidad o servicio deseado.

1.2.3 Arquitectura Básica de SDR

Un sistema SDR es un tipo de transceptor en el cual idealmente todos los aspectos referentes a su operación son implementados sobre hardware de propósito general cuya configuración se realiza mediante control de software.

Arquitectura Ideal

Un sistema ideal de SDR puede ser observado en la figura 1.8 posee las siguientes características

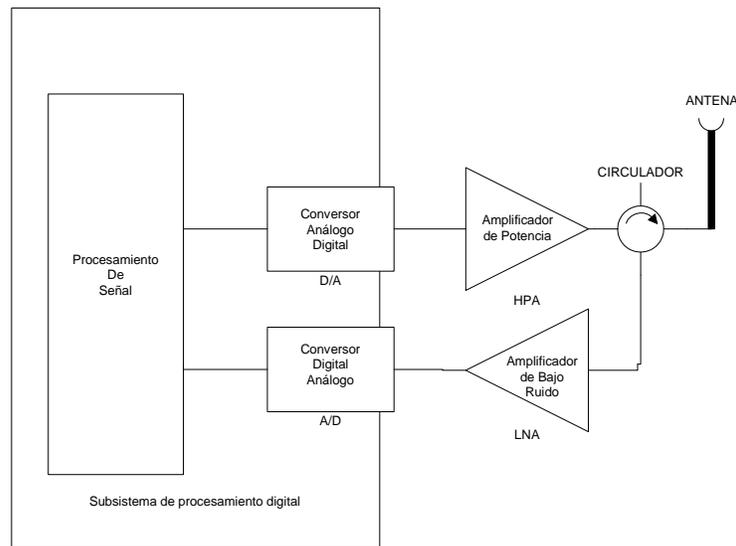


Figura 1.8. Arquitectura ideal de un sistema de radio definido por software

- El mecanismo de modulación, canalización, protocolos y ecualización para el transmisor y receptor son determinados por software.
- EL circulator ideal se utiliza para separar las señales de transmisión y recepción sin consideraciones de las restricciones convencionales de frecuencia cuando son utilizadas soluciones basadas en filtros y debe proporcionar una perfecta adaptación de impedancias entre la antena, el mismo y el amplificador de potencia.
- El amplificador lineal debe garantizar una transferencia ideal de la señal de RF entregada por el DAC con emisiones bajas de interferencia de canal adyacente.

Requerimientos de Hardware

La arquitectura hardware ideal mostrada en la figura 1.8 implica severas restricciones sobre los elementos del sistema a nivel tecnológico y se describen de manera general a continuación.

- Antenas: Se requiere un sistema de antenas que abarque un gran rango de frecuencias cuya realización física tanto a nivel de costos como a nivel tecnológico es un gran reto.
- Circulador: Debe ser un elemento que proporcione aislamiento y cobertura de banda ancha.
- Conversor Análogo a Digital: Debe estar en capacidad de muestrear la señal de RF garantizando por lo menos la tasa de Nyquist, lo cual es un reto en las plataformas satelitales de acuerdo a la tecnología existente.
- Conversor Digital Analógico: No es un elemento restrictivo en cuanto a aspectos tecnológicos de operación, sin embargo es de gran importancia su consumo de potencia y las restricciones de energía de algunos sistemas de RF como lo es el caso de los sistemas de comunicaciones satelitales.
- Filtro Antialiasing: Este es un elemento limitante pues su funcionamiento se realiza a una tasa igual a por lo menos dos veces la tasa de Nyquist, lo cual puede llegar a ser extremadamente difícil de alcanzar para señales de RF manejadas en plataformas satelitales.
- Dispositivos de Procesamiento de Señal: En este tipo se encuentran los DSP, FPGA, ASIC cuyo desempeño está en continua evolución, en cuanto a consumo de potencia como funcionamiento a altas frecuencias, que son en la actualidad limitantes para el manejo de RF en las plataformas satelitales.
- Amplificador de potencia de RF: Es un elemento que actualmente no es realizable a través de la utilización de técnicas SDR, sin embargo es posible la implementación del control del mismo con miras a conseguir su funcionamiento en la región lineal y evitar distorsión de la señal de RF.

Capítulo 2

Análisis de Factibilidad

2.1 Transpondedores Satelitales

La diferencia fundamental entre un sistema de comunicaciones por satélite y otro es básicamente su carga útil y en particular el tipo de transpondedor; los transpondedores satelitales se encuentran actualmente clasificados en los siguientes tipos:

- Transpondedores transparentes
- Transpondedores regenerativos
- Transpondedores con procesamiento a bordo

A continuación se presenta una descripción de cada uno de ellos.

2.1.1 Transpondedores Transparentes

Este tipo de transpondedores reciben, separan y amplifican las portadoras provenientes del enlace de subida, para posteriormente realizar una traslación de frecuencia hacia la banda del correspondiente enlace de bajada, amplificar la señal y retransmitirla en dicho enlace; el transpondedor convierte la portadora del enlace de subida en una correspondiente al enlace de bajada en un solo paso, la arquitectura de este tipo de transpondedores se muestra en la figura 2.1

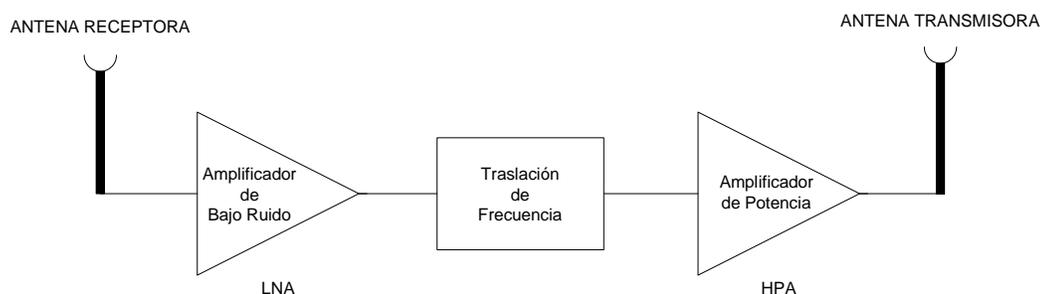


Figura 2.1. Arquitectura de un transpondedor transparente

Típicamente los elementos que conforman este tipo de transpondedores una vez la señal ha sido recibida, debe ser filtrada para eliminar la energía de señales de ruido o de interferencia fuera de la banda de operación del transpondedor, un amplificador de bajo ruido (LNA) para incrementar la potencia de la señal y un convertor de frecuencia de banda ancha para realizar el proceso de conversión de frecuencia desde

el enlace de subida hacia el enlace de bajada, posteriormente el demultiplexor de entrada se encarga de separar la señal de RF en los canales individuales que conforman el enlace de subida, para luego ser amplificado cada canal de RF de manera independiente a través de un amplificador de potencia (HPA), una vez amplificado cada canal, a través de filtrado deben ser removidas las componentes de frecuencia correspondientes a los productos de intermodulación producidos por alinealidades en la región de funcionamiento del HPA y finalmente las salidas de los filtros de los HPA's deben ser combinados en el multiplexor de salida para conformar nuevamente la señal de RF que se transmite a través del subsistema de antenas hacia el enlace de bajada.

Un transpondedor transparente es un subsistema complejo en el sentido que la señal recibida puede ser afectada en él de múltiples maneras no deseadas (Alinealidades, retardo, distorsión), sin embargo siempre se debe considerar la potencia de la señal del enlace de subida y la banda de frecuencia de operación más no el contenido de la señal en si mismo, luego el transpondedor realiza la totalidad de sus funciones sobre la señal de RF y nunca manipula la información transportada por el enlace o un canal de RF, es por ello que este tipo de satélites han sido de utilidad para la mayoría de las aplicaciones satelitales, sin embargo, sus capacidades no son suficientes para las redes satelitales multimedia actuales que requieren manejo de las señales en los niveles superiores del modelo OSI.

2.1.2 Transpondedores Regenerativos

Los transpondedores regenerativos mejoran el desempeño de los transpondedores transparentes permitiendo recuperar la señal en banda base y procesarla de tal forma que durante el proceso de reconstrucción de la señal de frecuencia Intermedia (IF) se realiza una regeneración de la señal digital transportada por el enlace de subida, por consiguiente, durante este proceso hay una supresión de los efectos indeseados en la señal de información presentes en el canal de comunicaciones del enlace de subida tales como (jitter, atenuación, adición de ruido, distorsión, etc.), sin embargo este tipo de transpondedores se tornan mucho más complejos, la figura 2.2 muestra el diagrama en bloques de este tipo de transpondedores. Estos cumplen las funciones de recepción y transmisión de la misma manera que un transpondedor transparente, pero lo que lo hace regenerativo es el poseer en cada cadena de transmisión un demodulador que permite la recuperación de la señal en banda base, reconfigurarla y posteriormente a través de un modulador tomar la señal en banda base reconfigurada y llevarla a frecuencia intermedia (IF), consiguiendo de esta forma un real aislamiento entre el enlace de subida y el enlace de bajada, lo cual redundará en un mejor desempeño del sistema, previniendo la acumulación de ruido y distorsión sobre los dos enlaces.

2.1.3 Transpondedores con Procesamiento a Bordo

Los transpondedores con procesamiento a bordo (OBP) son un avance significativo de los transpondedores regenerativos, los cuales al igual que los regenerativos no solo

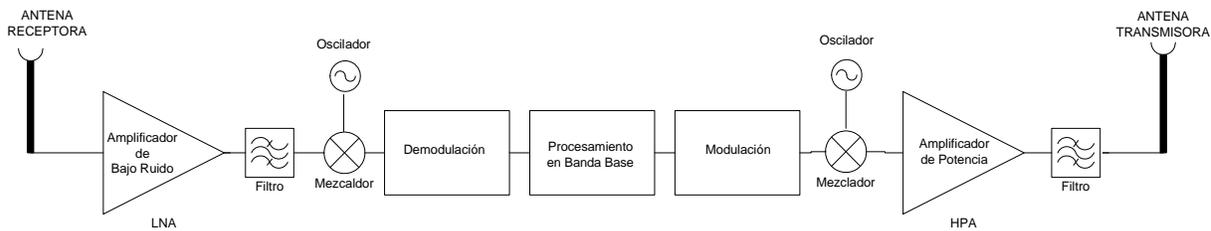


Figura 2.2. Arquitectura de un transpondedor regenerativo

proporcionan aislamiento del desempeño de los enlaces de subida y bajada, así como las condiciones del canal que afectan la señal de información en el enlace de subida son completamente independientes de las condiciones del enlace de bajada dado el procesamiento en banda base realizado en el transpondedor, más aún, mediante dispositivos digitales de propósito específico y algunos otros análogos permiten la conversión de frecuencias, la conmutación de canales y reconformación de la banda base; mientras que en los OBP el núcleo es un procesador digital de señales (DSP), el cual se encuentra en capacidad de multiplicar, filtrar y modular señales a través de la implementación de funciones software diseñadas para este propósito, funciones que en los transpondedores regenerativos son implementadas con elementos hardware desarrollados con propósito específico. El diagrama en bloques simplificado de este tipo de transpondedores se muestra en la figura 2.3, en el cual el subsistema de antenas y los receptores de banda ancha cumplen las mismas funciones que en un transpondedor regenerativo, mientras que filtrado y conmutación son efectuadas en la sección digital del transpondedor.

Un tipo de procesamiento a bordo denominado procesamiento en banda base (BB) el cual se realiza una vez se ha recuperado cada portadora correspondiente a cada canal de RF (en el rango mostrado en 2.1) en el enlace de subida, luego se lleva cada canal a IF (ya sea de 70Mhz o 140Mhz dependiendo del número de canales manejados por el transpondedor) para posteriormente demodularse obteniendo la señal en banda base a procesar mediante la demultiplexación y reconstrucción de los flujos binarios de información para la corrección de errores ocurridos en el enlace de subida, posteriormente se genera de nuevo la señal con nuevos pulsos rectangulares con la secuencia binaria libre de errores para luego ser modulada multiplexada y convertida hacia arriba para ser transmitida sobre el enlace de bajada mejorando las condiciones de degradación, esto permite mejorar la relación $\frac{E_b}{N_o}$ y de esta manera la tasa de errores (BER) en la estación terrena de recepción.

Otro tipo de procesamiento a bordo tiene lugar cuando muchas señales TDMA (*Time Division Multiple Access*) provenientes de diferentes estaciones terrenas son recibidas en el satélite, para ser procesadas en banda base y multiplexadas sobre una única señal TDM (*Time División Multiplex*) para ser enviada a una única estación terrena de destino, esta estación terrena actúa típicamente como un concentrador o pasarela

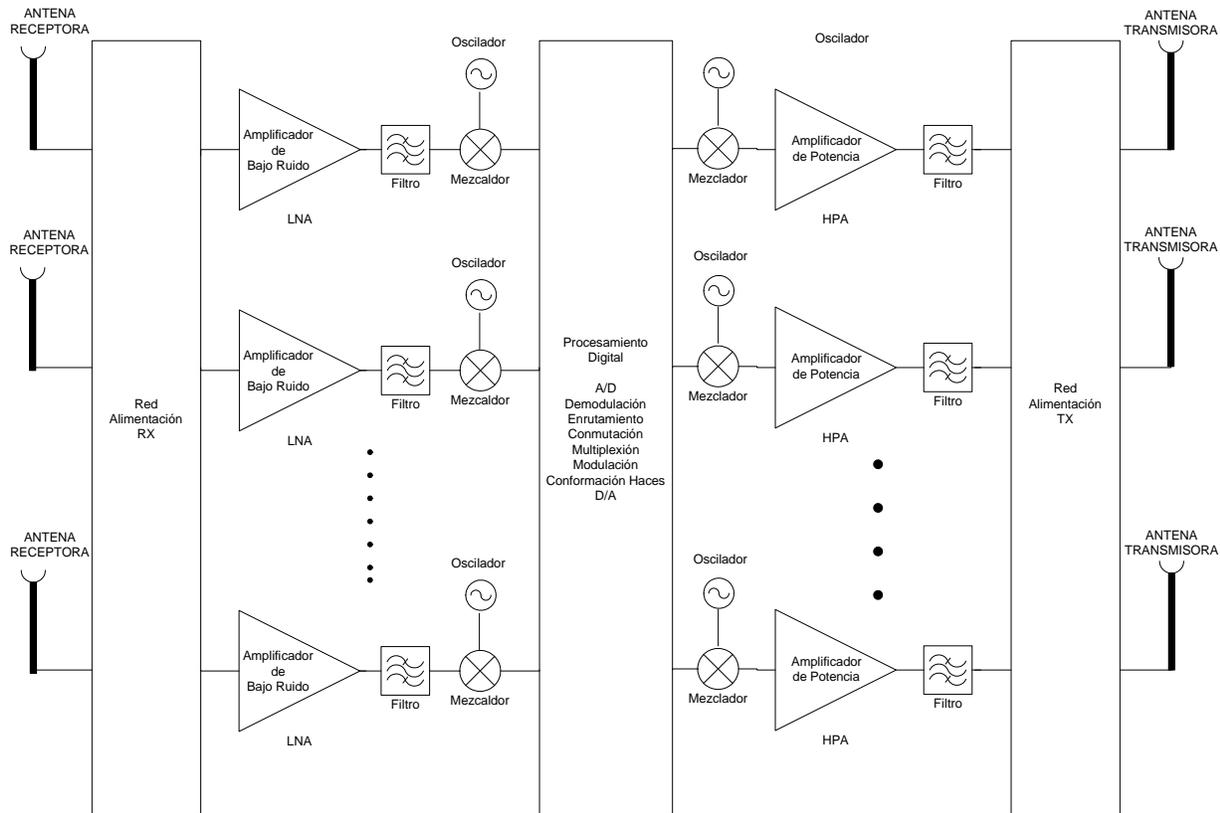


Figura 2.3. Arquitectura simplificada de un transpondedor con procesamiento a bordo

hacia un único terminal de usuario o red en una topología en estrella permitiendo la optimización de potencia del satélite y ancho de banda del enlace de bajada.

Otros dos tipos comunes de procesamiento a bordo involucran conmutación de haces, conmutación y enrutamiento de paquetes, la conmutación de haces involucra el uso de varias antenas transmisoras y/o receptoras a bordo del satélite, las cuales son utilizadas para el envío de información hacia regiones específicas cubiertas por el satélite, esto permite la reutilización de frecuencias para diferentes áreas de cobertura e incrementa la capacidad del satélite; el procesamiento a bordo de conmutación y enrutamiento de paquetes involucra la utilización del satélite como un nodo de red inteligente, en el cual el proceso de enrutamiento es realizado por un conmutador, que dispone de un número de puertos de entrada y salida, conectados a otros puertos de diferentes conmutadores a través de la red de acuerdo a una tabla de enrutamiento

2.2 Consideraciones y Análisis de Factibilidad de la Implementación de Sistemas de Radio Definidos por Software en Transpondedores Satelitales

En este aparte, se realiza una evaluación de cada componente en la cadena de RF de un transpondedor con procesamiento a bordo, por ello, es de gran importancia conocer los diferentes tipos de distorsión que los diferentes elementos de un sistema de radiocomunicaciones satelitales introducen al sistema y por consiguiente contribuyen al desempeño global del mismo, a continuación se describen los problemas y retos que impone cada elemento del sistema al diseño e implementación del mismo.

De acuerdo a la arquitectura del sistema y a la especificación aproximada de componentes, el primer paso de diseño de cualquier sistema satelital es encontrar de manera precisa los parámetros de funcionamiento del sistema tales como relación portadora a ruido, sensibilidad del sistema, figura de ruido, efecto del ruido de fase del oscilador local, efecto de la distorsión de intermodulación, repuesta del sistema a espureos, efecto de no linealidades del amplificador, etc. estas especificaciones de los parámetros de funcionamiento permiten establecer las restricciones a considerar en el diseño e implementación de transpondedores satelitales de acuerdo a las características de funcionamiento de cada uno de sus componentes.

Así mismo, la implementación de SDR en plataformas satelitales implica que el sistema satelital deba estar en capacidad de operar en múltiples frecuencias de acuerdo a las restricciones tecnológicas, lo cual incrementa la complejidad del sistema y en particular el diseño del receptor, esta ampliación del ancho de banda de operación del sistema presenta las siguientes consecuencias.

- El número de portadoras de banda estrecha que pueden ingresar a las cadenas de IF y banda base se incrementan de manera significativa, por ende se incrementa el rango dinámico requerido en esta porción del sistema.
- La tasa de muestreo y el rango dinámico requerido para el convertor analógico a digital también debe incrementarse de manera significativa.
- La preselección de la portadora de RF se tornará compleja dado que los filtros de RF deben ser sintonizados a la banda de interés.
- El diplexer y duplexer deben tener frecuencias variables de operación y frecuencias variables de transmisión y recepción.

2.2.1 Subsistema de Antenas

El diseño del subsistema de antenas es tal vez el eslabón más débil en el diseño global del sistema SDR y su importancia en el proceso de diseño es generalmente menospreciada; gran parte de la ganancia o pérdida en la cadena de RF se consigue en este

Banda L (1 - 2 GHz)	Servicio Móvil Satelital (MSS), Enlaces Microondas
Banda S (2 - 4 GHz)	Servicio Móvil Satelital (MSS), NASA e Investigacion de espacio profundo
Banda C (4 - 8 GHz)	Servicio Fijo por Satélite (FSS)
Banda X (8 - 12.5 GHz)	Aplicaicones Militares de Servicio Fijo por Satélite (FSS), Observación Terrestre Satelital
Banda Ku (12.5 - 18 GHz)	Servicio Fijo por Satélite (FSS), Servicio de Multidifusión Satelital (MSS)
Banda K (18 - 26.5 GHz)	Servicio Fijo por Satélite (FSS), Servicio de Multidifusión Satelital (MSS)
Banda Ka (26.5 - 40 GHz)	Servicio Fijo por Satélite (FSS), Enlaces Intersatelitales (ISL), Imágenes Satelitales

Tabla 2.1. Asignación general del espectro de frecuencias para la prestación de servicios de telecomunicaciones satelitales

subsistema. Para un sistema de radio definido por software, diseñado para soportar múltiples modos y múltiples frecuencias dentro de su banda, el diseño y selección del subsistema de antenas se convierte en un problema crucial en el diseño del sistema; de acuerdo a que en la práctica las antenas soportan anchos de banda de al rededor del 10% al 15% de la frecuencia de portadora.

El subsistema de antenas en sistemas de telecomunicaciones satelitales, cubren bandas de frecuencias desde la banda L (entre 1 y 2 GHz) hasta la banda W (entre 75 y 110 GHz), aunque comercialmente son utilizadas las bandas de frecuencias desde la banda L hasta la banda Ka (entre 26.5 y 40 GHz) cuya asignación se aprecia en la tabla 2.1, de acuerdo a lo anterior es muy complejo soportar todas las bandas de frecuencias con una única antena y es una restricción muy grande que el subsistema de antenas esté compuesto por una gran cantidad de antenas.

Un subsistema de antenas inteligentes puede proporcionar beneficios significativos a los sistemas satelitales; estos beneficios se vislumbran principalmente en el mejoramiento de cancelación de interferencia y de capacidad del sistema, sin embargo el costo de este tipo de sistemas es algo a considerar ya que los requerimientos varían de acuerdo a los sistemas de calibración y la cantidad de amplificadores de RF requeridos; aunque sistemas de antenas adaptativos se han propuesto, no es una alternativa ampliamente aceptada de acuerdo a su complejidad y por consiguiente elevados costos de desarrollo y de equipos; el implementar arquitecturas SDR en el subsistema de antenas inteligentes que utilicen conformación en bandabase en los sistemas satelitales sería clave en el desarrollo de alternativas que permitan reducir los costos

de implementación, a la vez que permitan reducir restricciones de bindaje en cableado y problemas de calibración.

Arquitectura del Sistema de Antenas Inteligentes

Un sistema de antenas inteligente director de haces opera a través de alimentación de señales con fase y ganancia pesadas a un arreglo de elementos de antena espaciados típicamente la $\lambda/2$; la ganancia y fase proporcionados a cada elemento de la antena determinan la dirección del haz y el patrón de haces (posición de los lóbulos de radiación y los nulos). Estas características pueden ser controladas por el sistema de antena inteligente, permitiendo que las señales deseadas sean el objetivo del lóbulo de radiación principal del sistema de antenas y que cualquier señal no deseada sea minimizada por direccionamiento de uno o múltiples nulos en su dirección.

En una arquitectura de conformación de haces en bandabase, la ganancia y fase pesadas de la señal, requieren ser direccionadas para la conformación del haz y los nulos a través del procesamiento digital de la señal en bandabase. La figura 2.4 muestra un arreglo de n elementos donde la ganancia relativa a un único elemento es proporcional a la apertura de $(n - 1)d$ metros; el arreglo tiene $n - 1$ grados de libertad y por lo tanto permite el mismo número de nulos y lóbulos de radiación en el patrón de radiación.

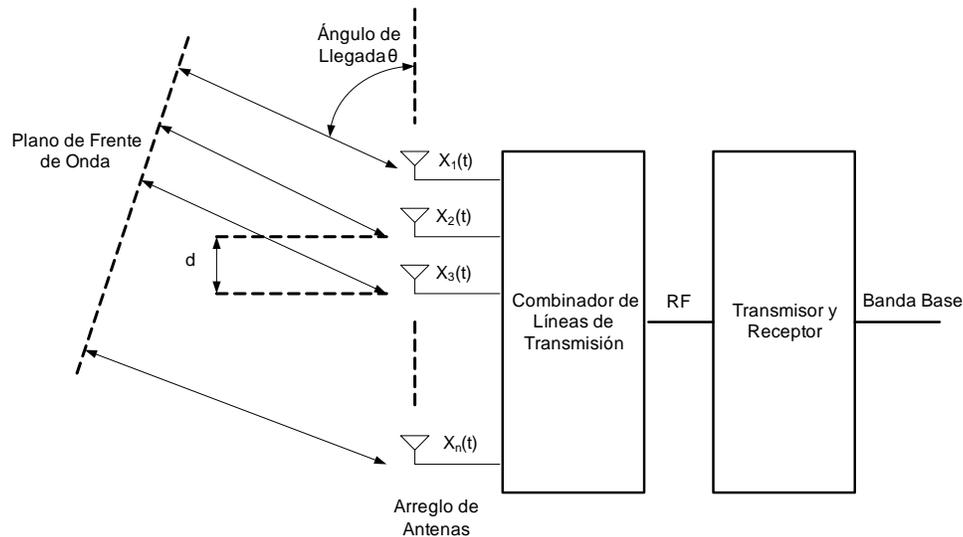


Figura 2.4. Arreglo de antenas tradicional

Considerando que el esquema de la figura 2.4 representa un receptor, al cual arriba un frente de onda planar a un ángulo θ , lo que produce un desplazamiento de fase progresivo o retardo en tiempo en las señales que llegan a cada uno de los elementos de la antena. La red de líneas de transmisión realiza las correcciones de fase necesarias para las señales de cada elemento, de tal manera que cuando son combinadas un haz es conformado en el dominio espacial, lo cual representa un conformador de haces de

banda estrecha de acuerdo a que las correcciones de fase fijas implican que la forma del haz puede variar con la frecuencia.

Aplicando Software Radio al Subsistema de Antenas.

Aunque las plataformas hardware para procesamiento digital de señales están evolucionando permitiendo llevar tecnologías como SDR cada vez más cerca a las antenas, se debe recorrer aún un largo camino antes de emular el comportamiento de los sistemas analógicos de antenas por encima de los 100Mhz, afortunadamente esto no es necesario ya que el procesamiento digital de señales permite realizar funciones equivalentes a las de radio frecuencia en banda base utilizando procesamiento en cuadratura.

La arquitectura básica de SDR para un sistema de antenas inteligentes se muestra en la figura 2.5, los flujos bidireccionales de datos indican la naturaleza recíproca de las funciones de procesamiento de datos; cada elemento de la antena requiere de un transceptor de banda ancha de tal manera que permita recibir la señal de RF y convertirla a una señal de IF y viceversa para el proceso de transmisión. Cada canal de IF llega a una plataforma de conversión digital de frecuencia y procesamiento en banda base, esta plataforma es responsable de convertir la señal de IF a una señal en bandabase con componentes en fase y cuadratura.

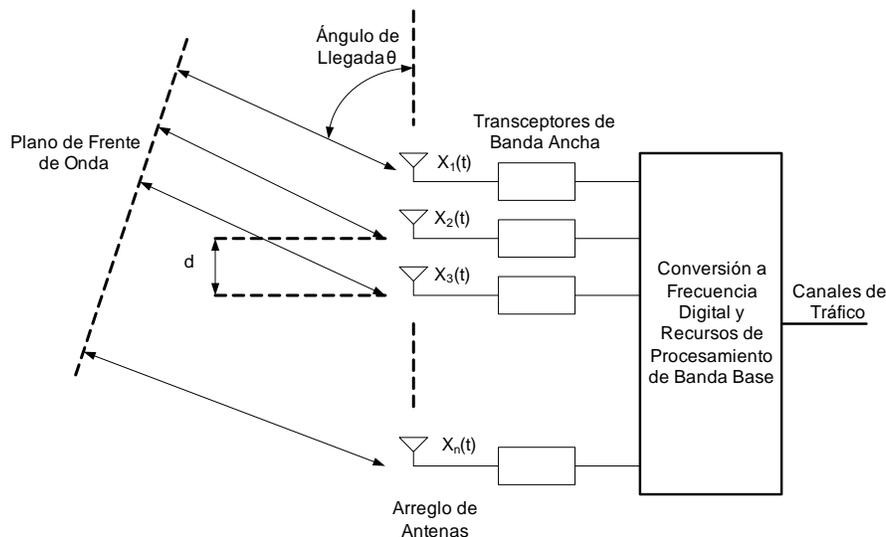


Figura 2.5. Antenas inteligentes utilizando SDR

Esta arquitectura multiplica por n el número de transceptores y requiere que la capacidad de procesamiento de la plataforma hardware sea suficiente para la capacidad de tráfico del sistema, ya que permite expandir la capacidad del transpondedor en la medida que mayor cantidad de haces permita conformar.

La arquitectura física debe permitir una suficiente flexibilidad de tal manera que pueda ser reconfigurado via software y al mismo tiempo que sea fácilmente expandible para incrementar la capacidad del sistema, para ello se podría utilizar una arquitectura como la que se muestra en la figura 2.6.

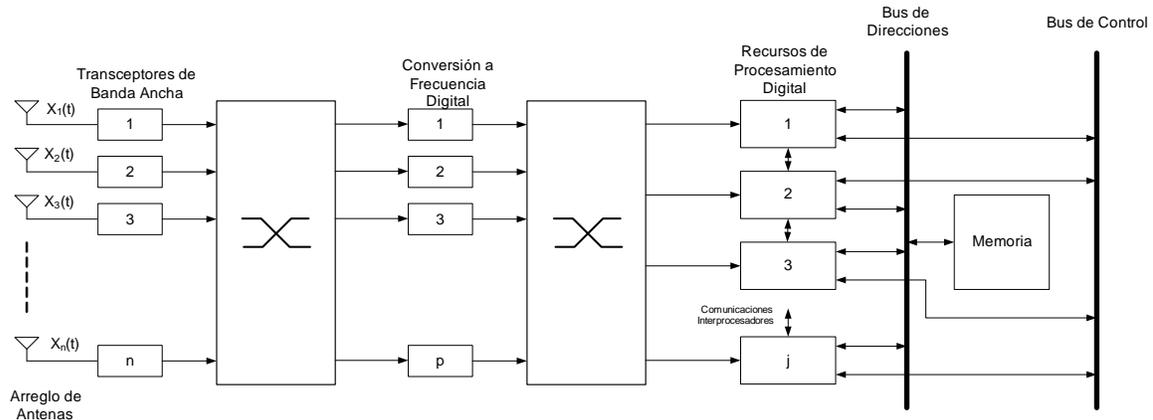


Figura 2.6. Arquitectura física flexible

En general la arquitectura debe permitir que cualquier canal analógico de banda ancha pueda conectarse a múltiples etapas de conversión digital de frecuencia, esto de acuerdo a que señales de banda ancha generalmente transportan más de una portadora de RF, la cual a su vez transporta información de múltiples usuarios.

El primer conmutador en el sistema permite que cada transceptor de banda ancha se pueda conectar a cualquier convertidor de frecuencia, el segundo conmutador soporta transferencia de datos entre los convertidores de frecuencia y los recursos de procesamiento digital; estos conmutadores pueden implementarse en FPGA (Field Programmable Gate Array) proporcionando flexibilidad y reconfigurabilidad. Esta arquitectura también debe proporcionar una adecuada intercomunicación entre los centros de procesamiento digital para permitir el enrutamiento dinámico de datos de acuerdo al particionamiento de funciones realizadas en los recursos de procesamiento disponibles; por ejemplo la función de generación de pesos para obtener un patrón de radiación puede residir en un DSP (Digital Signal Processor), a su vez, los coeficientes de estos pesos pueden residir en memoria o en procesadores adyacentes permitiendo realizar la conformación mediante la intercomunicación de procesadores.

Un sistema de antena inteligente presume que la traslación a RF de los pesos de ganancia y fase aplicados a las señales en banda base son los correctos, más aún, el sistema simplemente confía en que cada uno de los elementos de antena recibe señales con la fase y ganancia correctas relativo a otro elemento, es por ello que en este tipo de sistemas se requiere de una calibración periódica de los amplificadores de potencia.

El SDR Forum (SDR Forum,1999) define un sistema de antenas inteligente como: "Un subsistema el cual incluye la antena que utiliza el dominio espacial en combinación con toma de decisiones basadas en procesamiento de señal para el mejoramiento de el desempeño del enlace y habilitar otros servicios de valor agregado." lo anterior requiere elementos tanto hardware como software asociados con la capacidad de procesamiento adicional.

La funcionalidad de antena inteligente ofrece significativas ventajas, sin embargo estas pueden ser no muy atractivas a la hora de implementar este tipo de sistemas en plataformas reconfigurables puesto que la capacidad de procesamiento es un recurso costoso; SDR proporciona una solución por el momento perfecta para acomodar diferentes requerimientos y permitir a los diseñadores de sistemas de comunicaciones diferir su implementación a etapas preliminares y posteriormente actualizarlas a soluciones basadas en antenas inteligentes basadas en SDR, es por ello que se considera viable la implementación de SDR en este subsistema en la medida que las tecnologías de antenas más eficientes, con mayores ganancias y anchos de banda de operación surjan, al mismo tiempo que se abaraten los costos de las plataformas de procesamiento de alta capacidad.

2.2.2 *Diplexer*

Un diplexer es utilizado para proporcionar aislamiento entre las señales de transmisión y recepción en una banda de frecuencias común y que utilizan la misma antena, este aislamiento es necesario debido a que la potencia de la señal transmitida es en varios órdenes mayor que la potencia de la señal en recepción, en la práctica la diferencia entre la potencia de transmisión y la de recepción es del orden de 200dB (Siendo típicamente la potencia de transmisión del orden de 40dBw y la potencia de recepción en el satélite del orden de -160dBw). Un diplexer es un dispositivo que cumple una función similar pues proporciona aislamiento de señales en transmisión y recepción que se encuentran en diferentes bandas de frecuencia.

El Problema del Diplexer

El uso del diplexer presenta un número de desventajas significativas, las cuales pueden ser toleradas en orden de disfrutar de sus beneficios, estas desventajas pueden ser resumidas como las siguientes:

- **Tamaño:** La construcción física del diplexer hace que frecuentemente sea un dispositivo voluminoso que consume un espacio significativo en terminales portátiles o en sistemas que presenten restricciones de espacio.
- **Construcción:** La función que desempeña el dispositivo y su construcción implican que sean integrados en un transceptor a través de circuitos de silicio, por lo tanto existe un obstáculo para alcanzar la funcionalidad requerida en un sistema de radio full duplex contenido en un único integrado.

- Ineficiencia Espectral: El uso de un diplexer requiere una diferenciación entre la frecuencia de transmisión y la de recepción.

En sistemas de radio definidos por software que soportan modos de operación tales como *full-duplex* y *half-duplex* requieren de un diplexer que funcione para ambos sistemas, lo cual implica un reto en el diseño, aparte de ser dispositivos que introducen pérdidas al sistema y costos de desarrollo.

En particular, los requerimientos de flexibilidad en un sistema satelital multifrecuencia y multimodo, capaz de operar con un número determinado de sistemas de radio satelitales o terrestres, introduce otros problemas adicionales en el diplexer, estos problemas ocurren de acuerdo a que los diferentes sistemas pueden utilizar múltiples esquemas de acceso al medio y pueden tener diferentes frecuencias de transmisión y recepción, lo cual hace que el aislamiento entre las señales transmitidas y recibidas sea el adecuado y basado en el nivel de potencia y la sensibilidad del receptor, el rango dinámico del conversor analógico a digital y la selectividad de los filtros de recepción. Existen algunas posibles soluciones a este tipo de problemas tales como:

1. Conmutadores de Transmisión - Recepción: Los cuales garantizan manejos de grandes anchos de banda puesto que no es necesario el filtrado y no existe necesidad que sea selectivo en frecuencia, además de no afectar la sensibilidad del receptor dado el bajo nivel de ruido introducido al sistema.
2. Circuladores: Convencionalmente utilizados en los transpondedores satelitales pero que presentan limitaciones en el rango de frecuencias que manejan.
3. Esquemas de Eliminación del Diplexer por Cancelación: Son técnicas basadas en cancelación utilizadas para eliminar la señal transmitida del camino de recepción y viceversa, sin embargo son esquemas complejos y tienen dificultades con las reflexiones externas además de requerir arreglos complejos de antenas.

Las técnicas propuestas para eliminar el diplexer implican que la diferenciación de las frecuencias de transmisión y recepción puede ser eliminada, lo cual significa que tanto el transmisor como el receptor pueden operar a la misma frecuencia, esto a su vez puede permitir duplicar el número de canales disponibles en un ancho de banda determinado.

Conmutador Transmisión - Recepción

Esta alternativa (Lucero,2001) se encuentra restringida a sistemas de baja y media potencia, en los cuales es posible implementar el conmutador mediante la utilización de reelevos de coaxial, aunque una alternativa de implementación mas reciente implica la utilización de diodos PIN o transistores de efecto de campo (FET) para este propósito. La configuración básica del conmutador conecta el terminal común a la antena y los dos contactos de conmutación a la salida del transmisor y a la entrada del receptor respectivamente, tal como se muestra en la figura 2.7.

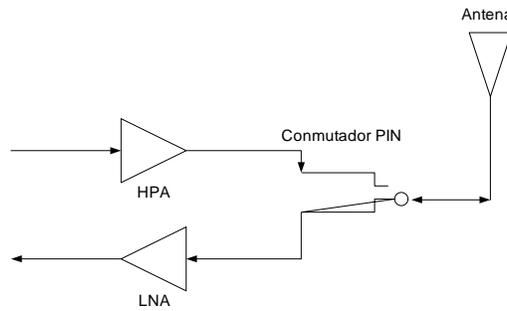


Figura 2.7. Conmutador PIN

Los criterios de desempeño para esta alternativa de implementación son:

1. Aislamiento: Un alto nivel de aislamiento es requerido para prevenir que las señales presentes en el transmisor sobrecarguen el receptor, el cual no es un requerimiento insignificante para un conmutador, y frecuentemente logrado solamente a través de la deshabilitación del transmisor durante los periodos de tiempo de recepción. Los valores típicos de aislamiento se encuentran en el rango de entre 20dB y 60dB dependiendo de la frecuencia de operación, la eficiencia de los diodos o FET utilizados y de la complejidad del conmutador.
2. Linealidad: Un pobre desempeño lineal del conmutador implica distorsión de la señal
3. Capacidad de Manejo de Potencia: La capacidad de manejo de potencia del conmutador es frecuentemente establecido por el voltaje de ruptura del dispositivo o por su capacidad de disipación de potencia, siendo este último el factor que frecuentemente limita dicha capacidad.
4. Pérdidas: Las pérdidas son un problema tanto en el manejo de potencia como en la disipación de potencia del dispositivo, dado que estas pueden contribuir a la figura de ruido del receptor; siempre es deseable que tanto la cadena de recepción como la de transmisión presenten bajas pérdidas.

Una configuración utilizada comúnmente en transceptores basados en diodo PIN se muestra en la figura 2.8. (Hikita,2001)

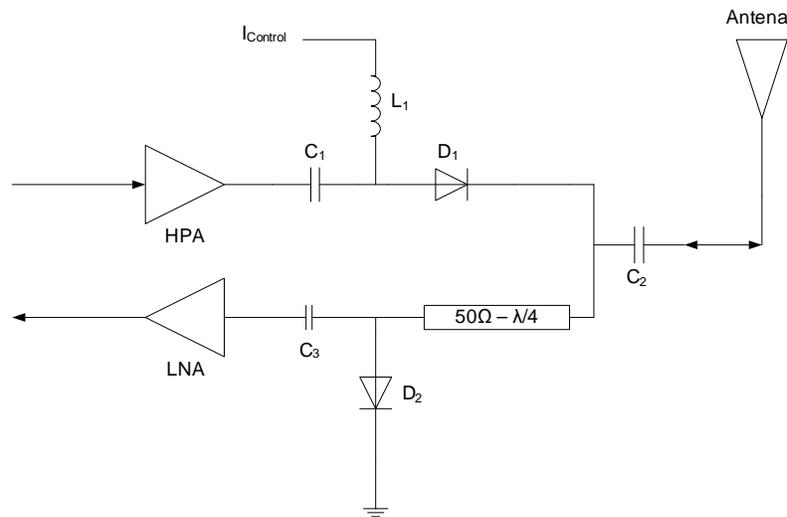


Figura 2.8. Conmutador PIN con desviación en serie

En este circuito L_1 es una bobina de choque de RF, C_1 , C_2 y C_3 son capacitores de acople y D_1 y D_2 son diodos PIN. Esta configuración ofrece ventajas sobre alternativas que manejan solamente diodos en serie:

1. Requiere de una única línea de control simplificando la circuitería involucrada.
2. El control solamente es requerido en el modo de transmisión, lo cual implica un bajo consumo de potencia en el modo de recepción.
3. Ambos diodos son controlados en el modo de transmisión, lo cual es una ventaja dado que los diodos generan una mayor distorsión armónica cuando se encuentran no polarizados debido a la capacitancia que presenta el dispositivo o a la autopolarización resultando en una rectificación de la señal transmitida

En el modo de transmisión una corriente de control se aplica sobre ambos diodos, los cuales aparecen en serie en el circuito equivalente de DC. (Corriente Directa), lo cual hace que se encuentren directamente polarizados por consiguiente presenten baja impedancia. En este modo, la salida del transmisor se conecta a la antena y la entrada del receptor se cortocircuita con la sección de línea de transmisión de $\lambda/4$, la cual actúa como circuito abierto hacia el puerto de la antena, esto proporciona una alta impedancia a la señal de transmisión, previniendo el paso de ella a la cadena de recepción.

En el modo de recepción, la corriente de control no se hace presente y ambos diodos se encuentran inversamente polarizados presentando alta impedancia, lo cual desconecta el transmisor de la antena y a la vez remueve el corto circuito de la entrada de la cadena de recepción. Esto a su vez permite la recepción normal de la señal que llega a la antena y pasa a través de la sección de línea de transmisión de $\lambda/4$ hacia

la entrada del receptor; es de anotar que el circuito de control debe presentar una alta impedancia a la señal de RF (a la frecuencia de operación) en los dos modos, tanto en modo de transmisión como en el modo de recepción, esto previene la generación de distorsión de intermodulación y la carga de la salida del transmisor en el modo de transmisión.

Una configuración alternativa se muestra en la figura 2.9, en la cual dos diodos en serie se utilizan en el camino de transmisión consiguiendo con ello el incremento del aislamiento en el modo de recepción debido a que al estar inversamente polarizados y en serie la capacitancia equivalente es menor, en el caso de ser iguales los diodos la capacitancia equivalente es la mitad; de manera similar en el camino de recepción, dos diodos y dos secciones de línea de transmisión de $\lambda/4$ se emplean para proporcionar aislamiento en esta parte del circuito, lo cual en teoría proporciona un aislamiento equivalente por lo menos al doble que en el caso anterior; el inconveniente de esta configuración es un incremento de las pérdidas tanto en transmisión como en recepción, lo cual se traduce en requerir un incremento en la potencia de transmisión para una antena equivalente y en un incremento de la figura de ruido del receptor.

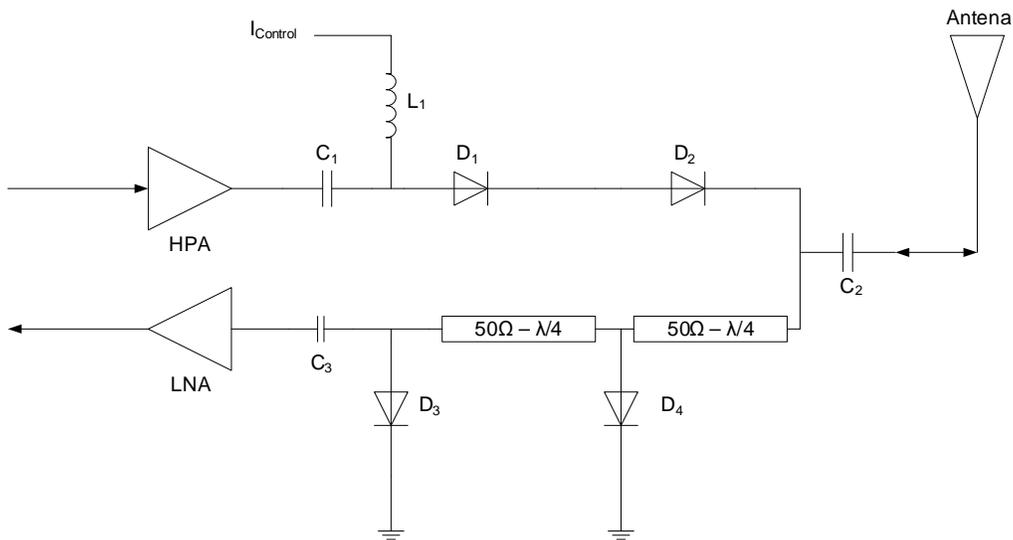


Figura 2.9. Conmutador PIN con desviación en serie y aislamiento mejorado

Una tercer alternativa se muestra en la figura 2.10. mediante la utilización de cuatro diodos, en este caso utilizados como conmutadores serie de separación tanto para la salida del transmisor como para la entrada del receptor. Esta configuración presenta la desventaja de requerir dos líneas de control, pero proporcionan un buen nivel de aislamiento sin la necesidad de la sección de línea de transmisión de $\lambda/4$.

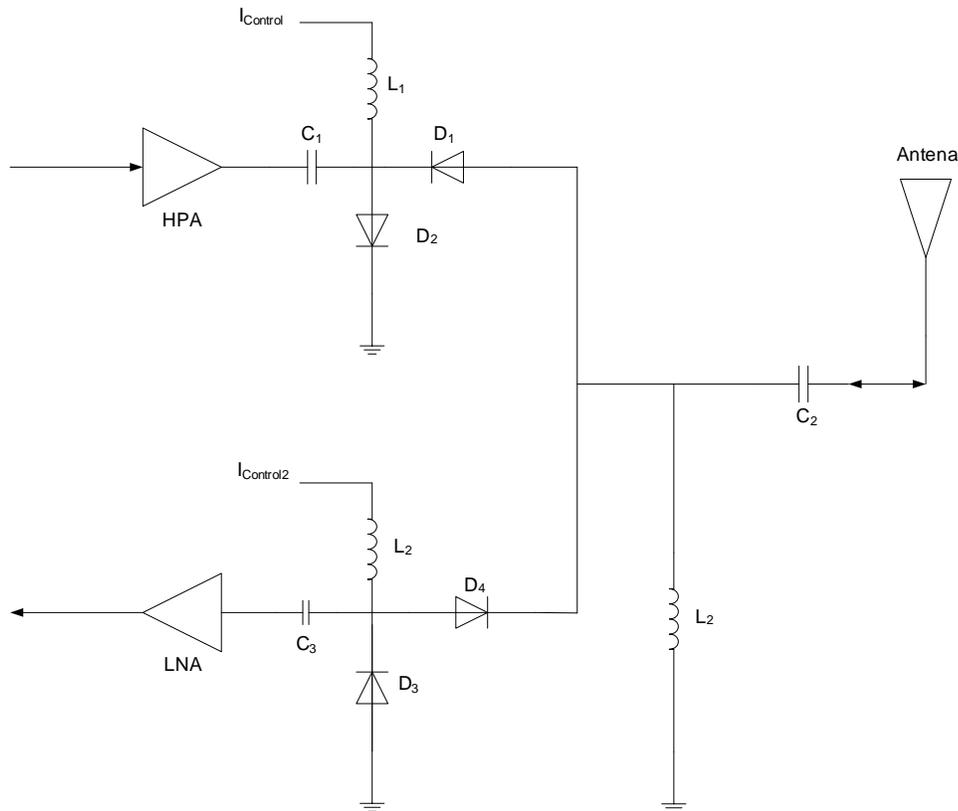


Figura 2.10. Conmutador PIN con desviación en serie y alto aislamiento

Circulador

El elemento fundamental de un circulador es una pieza de ferrita, la cual al ser magnetizada presenta una preferencia no recíproca en la conducción de campos electromagnéticos en una dirección de circulación; un circulador ideal presenta la siguiente matriz de dispersión.

$$S = \begin{bmatrix} 0 & 0 & S_{13} \\ S_{21} & 0 & 0 \\ 0 & S_{32} & 0 \end{bmatrix}$$

Adicionalmente a las pérdidas por inserción y a las pérdidas de retorno, el desempeño de un circulador se describe a través de su capacidad de aislamiento, el cual equivale a sus pérdidas por inserción en la dirección no deseada.

Eliminación del Diplexer por Cancelación

La forma de esta solución involucra la remoción de la señal de salida del transmisor de la entrada del receptor por cancelación de fase de manera controlada. Una alterna-

tiva de configuración se muestra en la figura 2.11, en la cual se utilizan acopladores direccionales para proporcionar la separación básica de las señales de transmisión y recepción. El acoplador se coloca de tal manera que la señal transmitida pasa a la antena relativamente sin obstrucciones y el puerto unidireccional acoplado alimenta la entrada del receptor; la directividad del acoplador garantiza que un nivel significativamente menor de la salida del transmisor aparezca en la entrada del receptor.

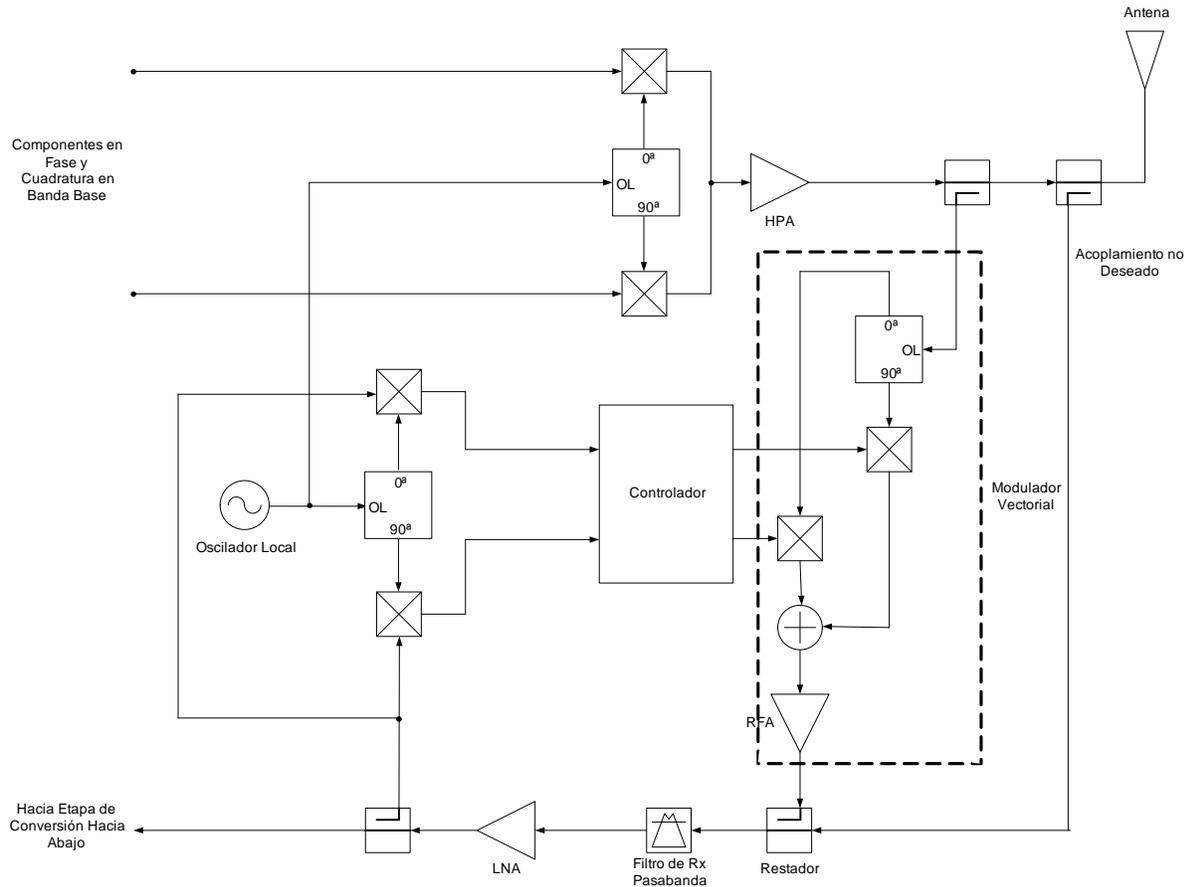


Figura 2.11. Eliminación de diplexor por cancelación mediante el uso de acopladores direccionales

Una desventaja de esta técnica es que la sensibilidad del receptor se encuentra directamente relacionada con el factor de acoplamiento y no es posible utilizar un aislador para resolver este problema pues su naturaleza unidireccional removerá la señal en recepción de la antena.

Una mejor alternativa sería la utilización de un esquema de cancelación multicamino; en el evento en el cual un nivel de cancelación suficiente no se pueda suministrar con una sola etapa de substracción, un número de etapas adicionales pueden ser incluidas. Existen limitaciones para este proceso donde la linealidad de la ganancia y la fase de las señales involucradas son el factor relevante para el proceso de cancelación.

Una segunda alternativa es generar una cancelación de señales separadas, a un nivel adecuado de potencia (Schacherbauer,2001). Esta alternativa permite que la potencia de la señal transmitida procesada digitalmente se aplique de manera controlada a la señal recibida y de esta forma realizar la cancelación; por consiguiente puede generarse un vector perfecto de cancelación a todas las frecuencias deseadas dentro de la banda de frecuencia de trabajo, dicho vector es adaptativamente controlado para garantizar una cancelación ideal en un entorno en el cual las características de la antena puedan variar, el diagrama del sistema que permite implementar esta alternativa se muestra en la figura 2.12.

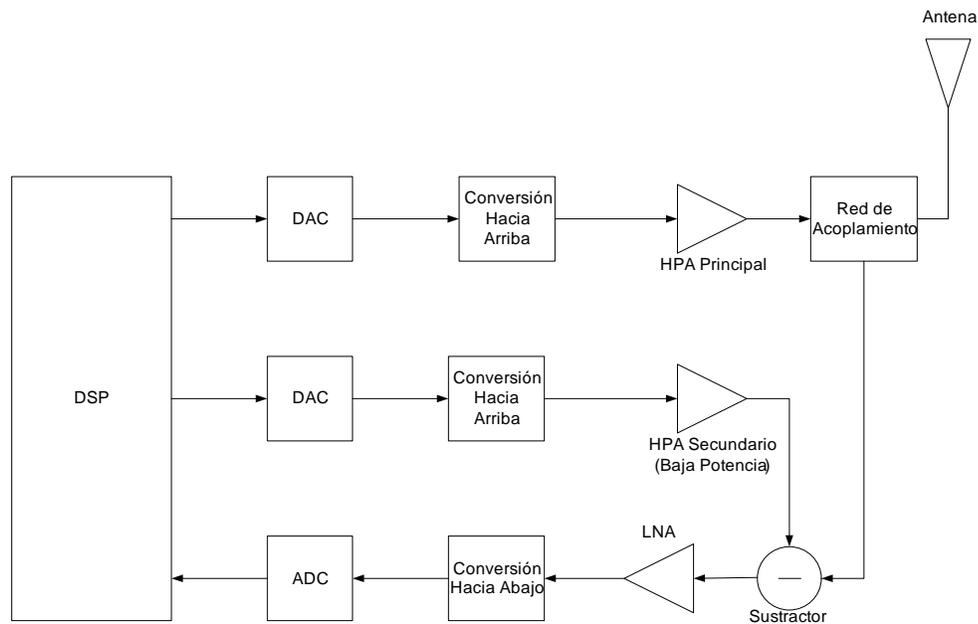


Figura 2.12. Eliminación de diplexer por cancelación mediante el uso de transmisor auxiliar

Una desventaja clara de esta alternativa es la adición de complejidad y costo de una segunda cadena de transmisión, sin embargo este transmisor es de menor potencia que el primario.

Por las consideraciones anteriormente descritas y las tres alternativas de solución proporcionada es posible establecer la viabilidad de implementación de sistemas SDR en plataformas satelitales en las cuales se proporcione solución al problema planteado con alguna de las mencionadas alternativas de solución; sin embargo la implementación de este tipo de dispositivos particulares sería viable a futuro solamente mediante las alternativas 1 y 3 siempre y cuando las plataformas programables a futuro se encuentren en capacidad de manejar altas potencias, que los costos de procesamiento sean reducidos y la complejidad del sistema abordada mediante optimización de algoritmos de implementación.

2.2.3 Filtro de RF

En un sistema convencional de radiocomunicaciones, el filtrado inicial de la señal recibida posterior al duplexer elimina la interferencia fuera de banda, de igual manera ayuda al aislamiento de la señal; este filtro introduce a la señal pequeñas cantidades de ruido, debe presentar bajas pérdidas y ser tan selectivo como sea posible sin limitar el ancho de banda requerido para la operación en múltiples modos como se establece para los sistemas de radio definidos por software.

Para la implementación SDR de filtros de RF utilizados en transpondedores satelitales existen restricciones, de acuerdo a que ellos deben proporcionar un rechazo adecuado a frecuencias no deseadas tales como productos de intermodulación, además de presentar en su función de transferencia un bajo rizado tanto en amplitud como en fase en la banda pasante.

Muchas opciones de diseño de filtros de RF se encuentran disponibles, entre ellas se encuentran los filtros paralelos acoplados los cuales presentan facilidades de diseño pero proveen respuesta asimétrica con deterioro de la banda superior, lo cual es producido por las diferencias de velocidad de fase de los modos pares e impares. Otras opciones de diseño son: Filtros interdigitales utilizados por su tamaño compacto y pueden ser usados en diseños de filtros de banda ancha y banda estrecha, de acuerdo a que proporciona un alto Q, pero esto mismo hace que sean de diseño más complejo que los filtros paralelos acoplados.

Los filtros de peine son más compactos que los filtros interdigitales, su mayor ventaja es que la frecuencia de corte superior puede tener una caída rápida, la mayor desventaja es que en implementaciones hardware requieren conexiones a tierra que pueden dificultar su implementación utilizando sustratos cerámicos o *microstrip*.

Sin embargo, es viable que con las capacidades del hardware brindadas por los dispositivos lógicos programables tales como los DSP y FPGA sean implementados este tipo de filtros en un futuro cercano a través de técnicas de procesamiento digital de señales, debido a que en la actualidad la mayor restricción es el manejo de señales a altas frecuencias (como las manejadas por los sistemas satelitales relacionadas en la tabla 2.1) tanto por los ADC como por los dispositivos DSP y FPGA.

2.2.4 Amplificador de Bajo Ruido

El amplificador de bajo ruido (LNA) permite elevar la potencia de la señal recibida a un rango compatible con otros componentes del sistema minimizando los niveles de ruido presentes en la señal recibida; en este dispositivo, el reto primario consiste en maximizar su ganancia sin adicionar ruido excesivo a la señal, lo que puede ser conseguido sacrificando consumo de potencia y rango dinámico. La figura de ruido es la figura de mérito primaria e indica la relación existente entre la relación señal a ruido de salida y la relación señal a ruido de entrada. En una cadena de RF la primera

etapa establece el desempeño ante el ruido del sistema; otro reto es alcanzar un bajo consumo de potencia.

En sistemas de comunicaciones satelitales se trabaja con señales muy débiles dadas las distancias involucradas, es por ello, que el ruido debe ser reducido al mínimo para mantener la mejor relación portadora a ruido posible y por consiguiente máxima sensibilidad. Lo anterior es generalmente establecido por el ancho de banda del receptor, con frecuencia en la etapa de IF, de tal manera que sea lo suficientemente amplio que permita el paso de la señal mientras mantiene la potencia de ruido a menor nivel posible.

Así mismo es de gran importancia que el circuito de adaptación de entrada al LNA sea diseñado para mínima figura de ruido.

El receptor del transpondedor satelital operando sobre múltiples frecuencias requiere un amplio rango dinámico de entrada, sin embargo para alcanzar una mejora en el rango dinámico el precio a pagar es degradar la figura de ruido del receptor, la idea es conseguir la mejora deseada del rango dinámico del LNA a través de redes de realimentación o control automático de ganancia con el fin de conseguir linealidad en el comportamiento del LNA sacrificando al mínimo la figura de ruido del sistema.

Existen básicamente dos tipos de tecnologías para la construcción de estos dispositivos, tecnologías híbridas y tecnologías monolíticas (Golio,2001); los LNA son frecuentemente fabricados como circuitos integrados monolíticos a los cuales usualmente se los denomina MMIC (monolithic microwave integrated circuit), en ellos el LNA se integra junto con el oscilador local, el mezclador y algunas veces partes del transmisor o de la antena. Dependiendo de la tecnología de integración, existen restricciones en el diseño del LNA tales como el rango de frecuencia de respuesta del dispositivo debido a los valores de inductancia y capacitancia, los cuales frecuentemente son inferiores a los requeridos, también la integración de componentes pasivos hace que los factores de calidad Q sean bajos debido a su menor tamaño, y en otros casos se opta por que el primer inductor del circuito acoplado sea un elemento externo para mejorar las condiciones de desempeño tanto en rango como en calidad, además, el acoplamiento electromagnético entre etapas adyacentes es alta debido a la cercanía de los componentes y a frecuencias por debajo de 10GHz las líneas de transmisión no pueden ser utilizadas para adaptación de impedancia de acuerdo a que el área requerida en el chip sería muy grande y elevaría los costos de producción haciendolo costoso para aplicaciones comerciales.

Para aplicaciones que requieren bajos volúmenes de producción donde los dispositivos monolíticos no presentan un costo viable, los LNA pueden ser construidos como circuitos híbridos también llamados MIC (microwave integrated circuit), en los cuales un transistor empaquetado se monta sobre sustratos de materiales cerámicos u orgánicos, en este tipo de implementaciones, la adaptación de impedancias se realiza con líneas de transmisión o elementos pasivos. La ventaja de este tipo de implementación

es de costos, aparte que los sustratos como el aluminio permiten la fabricación de estructuras de líneas de transmisión de alta calidad, este tipo de implementaciones son realizadas para LNA que requieren altos desempeños como por ejemplo para satélites y estaciones terrenas.

La estabilidad del LNA es uno de los factores mas importantes en el diseño de este tipo de circuitos, la realimentación negativa es ampliamente utilizada para efectos de estabilizar la ganancia a través de cambio de parámetros del dispositivo ante cambios de voltaje y temperatura (Sayre,2004), la realimentación de RF es utilizada en muchos diseños de LNA para garantizar estabilidad de frecuencia y adaptar ruido y potencia a los niveles deseados. En la figura 2.13 se muestra el diseño de un LNA estable, que se consigue mediante la adición de una inductancia L en el emisor del transistor, la cual interactúa con la capacitancia de base-emisor C_{in} y la transconductancia del transistor para producir una componente resistiva de valor $g_m * (\frac{L}{C_{in}})$ en la impedancia de entrada, la cual toma un valor $Z_{in} = (1/j\omega C_{in}) + j\omega l + g_m * (\frac{L}{C_{in}})$.

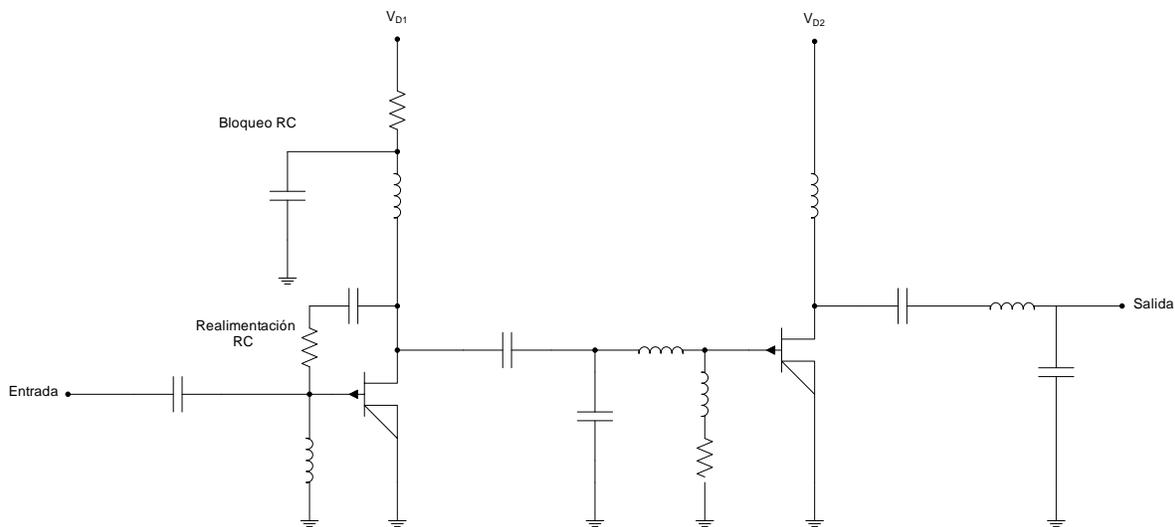


Figura 2.13. Diseño de un LNA estable

Otro factor importante a considerar es la adaptación de impedancias, la cual se realiza a la frecuencia central de trabajo mediante la inclusión de redes pasivas reactivas y el ancho de banda de funcionamiento de la red de adaptación está dado como $BW = \frac{f_0}{Q_{in}}$ donde f_0 es la frecuencia central de trabajo y Q_{in} es el factor de calidad de la entrada de la red de adaptación, luego el ancho de banda puede incrementarse incrementando el valor de capacitancia o decrementando el valor de inductancia de la red de adaptación.

A altas frecuencias de microondas y frecuencias de ondas milimétricas, algunas veces son utilizados amplificadores balanceados (Ellinger,2007) como adaptadores de

impedancia para proporcionar una adaptación a niveles deseados de ruido y potencia de la señal deseada en anchos de banda amplios.

Típicamente los LNA deben operar a un amplio rango de temperaturas; como la transconductancia de un transistor es inversamente proporcional a su temperatura absoluta, la ganancia y estabilidad del amplificador puede cambiar considerablemente, por lo tanto al diseñar LNAs con parámetros S a temperatura controlada, un margen de estabilidad debe incluirse para evitar oscilaciones indeseadas a bajas temperaturas, como la estabilidad tiende a disminuir

Las capacitancias, resistencias o inductancias parásitas pueden hacer que surjan desplazamientos de frecuencia, inestabilidades o degradación de la figura de ruido y ganancia.

De esta manera se puede concluir que existe viabilidad de implementación de SDR en plataformas satelitales mediante el establecimiento del control de ganancia del LNA, sin embargo el amplificador de bajo ruido propiamente dicho es un componente de la cadena de RF que no se vislumbra implementable mediante técnicas de software radio, por el manejo de altas frecuencias y por la función de amplificación de potencia que cumple en el sistema.

2.2.5 Filtro de Frecuencia Intermedia

El filtro de IF se encuentra localizado antes del mezclador para reducir el ruido que llega al mismo y proteger al mezclador de interferencia, incluyendo cualquier señal a la frecuencia imagen, la cual después de la conversión puede quedar ubicada en la misma banda de la señal deseada, la contribución de ruido de este filtro debe ser minimizado al igual que las pérdidas introducidas a la señal.

La función del filtro de frecuencia intermedia es permitir a las señales dentro de la banda de frecuencias el paso a las etapas posteriores del transpondedor y rechazar las componentes de frecuencia no deseada, estos filtros poseen las mismas restricciones y alternativas de diseño que los filtros de RF, salvo la banda de frecuencias de operación.

La presencia de frecuencias imagen es un problema en todos los receptores, para un receptor de banda única se puede resolver con relativa facilidad a través de un filtrado conveniente de RF e IF y un adecuado diseño de conversión hacia abajo; en sistemas multibanda o de cobertura general, el problema generado por estas frecuencias imagen es mucho más agudo y deben plantearse alternativas diferentes a las tradicionales de filtrado de IF que garanticen un buen desempeño del receptor.

Una alternativa para solucionar el problema es utilizar portadoras de frecuencia intermedia altas (Kenington, 2000) con lo cual se consigue colocar las frecuencias imagen fuera de la banda de interés, esta alternativa presenta las siguientes desventajas:

1. El primer oscilador local debe operar a una frecuencia muy alta y por ello el ruido de fase puede ser alto en un dispositivo de bajo costo y baja potencia y al mejorar las características de ruido de fase los costos y complejidad se incrementarían.
2. El segundo oscilador local que también requiere bajo ruido de fase también necesita operar a una alta frecuencia dependiendo de que IF se haya seleccionado, lo cual hace que al igual que en el caso del primer oscilador, el dispositivo sea costoso con un alto consumo de potencia.
3. El rango dinámico del receptor requiere conservarse e incluir al segundo mezclador, esto debido al ancho de banda del enlace que procesa el receptor, luego, el primer filtro de IF y el amplificador deben estar en capacidad de procesar los anchos de banda mayores a los requeridos.
4. Obtener una buena respuesta del filtro de IF a frecuencias altas conduce al análisis efectuado para el filtro de RF planteado anteriormente en este documento lo cual hace que el diseño del filtro se torne más complejo de acuerdo al manejo de potencia y frecuencia, por consiguiente elevando los costos de implementación.

Luego, se hace evidente que el uso de una alta frecuencia intermedia no se encuentra libre de problemas, donde el costo y la complejidad de la solución son los factores y restrictores predominantes; es por lo anterior que esta alternativa en términos tecnológicos y económicos no es completamente viable en la actualidad.

Una segunda alternativa de implementación viable es la utilización de rechazo de frecuencia imagen a través del mezclador (Joswick, 1994), en esta la idea es hacer que cuando se realiza el proceso de conversión hacia abajo, la frecuencia imagen se refleje alrededor de la frecuencia original con un desfase de 180 grados, con lo cual se garantiza diferenciar la frecuencia original de la frecuencia imagen y de esta manera permitir la cancelación de la frecuencia no deseada.

La configuración básica de un mezclador de rechazo de imagen se muestra en la figura 2.14 el cual tiene la ventaja que produce de manera simple el particionamiento de banda ancha a 90 grados para un nivel constante de energía de la señal. El particionador en fase puede realizarse para operar en banda ancha por transformador o por técnicas de particionamiento resistivo, el cual presenta la desventaja de una degradación adicional de la figura de ruido del mezclador de 3dB. El combinador en cuadratura opera a IF, por lo tanto solamente requiere un componente de banda angosta, dado que este circuito afecta el rango dinámico del receptor, luego los dos mezcladores utilizados requieren tener unas características adecuadas de rango dinámico, esto se puede lograr utilizando por ejemplo diodos de alto desempeño o mezcladores FET en anillo o a través del uso de técnicas de linealización.

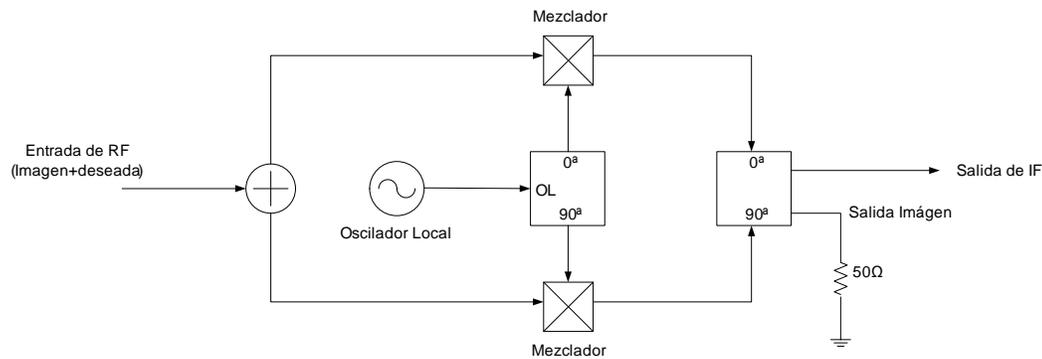


Figura 2.14. Configuración básica de un mezclador de rechazo de imagen

Una tercera alternativa pero no muy viable para su implementación en plataformas satelitales debido a las amplias bandas de frecuencias usadas es la de utilizar una arquitectura directa de conversión (Lawton,1996), en la cual las frecuencias imagen aparecen en la banda de interés y de esta manera pueden ser controladas de acuerdo a que estas son una imagen de la señal deseada y no de una señal en la cual se desconoce el nivel relativo a la señal deseada.

Por consiguiente, de acuerdo a las consideraciones antes mencionadas, es perfectamente viable que con las capacidades del hardware brindadas por los dispositivos lógicos programables actuales sean implementados este tipo de filtros a través de técnicas de procesamiento digital de señales, de acuerdo a que para esta banda de frecuencias no existe restricción alguna de frecuencia.

2.2.6 Mezclador de RF

El mezclador de RF se utiliza para convertir la señal a la frecuencia de bajada o subida del transpondedor satelital, y puede ser una de las mayores fuentes de distorsión por intermodulación dado que se trata de un dispositivo no lineal. Los armónicos debidos al mezclador (posiblemente intensificados por los armónicos causados por el LNA) pueden terminar subiendo o reduciendo la frecuencia intermedia nominal deseada; el incremento de la potencia del oscilador local utilizado por el dispositivo es una manera de mejorar la linealidad y reducir la distorsión del mismo; de igual manera los mezcladores son fuentes de ruido y estas características de ruido son representadas por su figura de ruido.

Mezcladores Digitales

Los mezcladores digitales desempeñan la misma función que su contraparte analógica, suma y diferencia de frecuencias son generadas por multiplicación de la señal digital de entrada con una señal proveniente de un NCO (Numerical Controlled Oscillator); en la mayoría de los casos para realizar el proceso de conversión hacia arriba en

frecuencia de la señal, esta debe ser una señal en cuadratura proporcionada por procesamiento digital en banda base; para el proceso de conversión hacia abajo, la entrada al mezclador no será una señal en cuadratura, debido a que es proporcionada por un ADC (Analog to Digital Converter) que la procesa directamente de la señal pasabanda, sin embargo la señal a la salida del mezclador puede ser una señal en cuadratura siempre que en el mezclador se implementen etapas de filtraje en cuadratura. La señal de salida del mezclador presenta la suma y la diferencia de la señal de entrada de RF o IF con la frecuencia de la señal generada por el oscilador local por lo cual se debe proceder a realizar el filtrado respectivo de acuerdo al proceso que se desee realizar, ya sea de conversión hacia arriba o hacia abajo.

Conversión de Frecuencia Utilizando Submuestreo

Submuestreo de una señal es el acto de muestrear una señal a una tasa de muestreo mucho menor a un cuarto de la tasa de Nyquist. El submuestreo es una importante técnica de acuerdo a que desempeña una función de mezcla de frecuencia de la señal de entrada, convirtiendo hacia abajo en frecuencia la señal y realizando el muestreo de la misma al tiempo. La señal es convertida hacia abajo (haciendo que se presente el fenómeno de *Aliasing*) llevandola a bandabase o a la primer zona de Nyquist y muestreada como si la señal hubiese sido originalmente una señal en banda base. El proceso puede ser descrito matemáticamente como

$$f_{BB} = (f_{IF} \bmod f_s) \quad (2.1)$$

donde f_{IF} es la frecuencia de la señal de entrada al ADC, f_s es la tasa de muestreo y f_{BB} es la frecuencia resultante de la señal en banda base, la función *mod* retorna el residuo de la división entre f_{IF} y f_s , residuo el cual cae en la primera zona de Nyquist, si el residuo no se encuentra en la primera zona de Nyquist, luego a este residuo de debe restar la tasa de muestreo para obtener la señal a la frecuencia correcta en banda base.

El proceso de *Aliasing* puede causar tambien reverso del espectro de la señal, esto necesita ser tomado en cuenta cuando se diseñe el procesamiento digital de la señal en banda base, las zonas espectrales alternas pueden ser reversadas y no alteradas, iniciando en la segunda zona de Nyquist la cual puede ser reversada, lo anterior se muestra en la tabla.2.2

Por todo lo anterior además del frecuencia y potencia que debe ser manejada por este dispositivo en la actualidad y en un futuro cercano no se vislumbra su implementación a través de técnicas SDR, sin embargo considerando las restricciones impuestas por este dispositivo en el diseño del sistema es factible la implementación de transpondedores satelitales que utilicen SDR.

Zona de Nyquist de la Señal de Entrada	Rango de Frecuencias de la Zona	Reverso de Espectro?	Traslación de Frecuencia
Primer	$DC - f_s/2$	No	Ninguna
Segunda	$f_s/2 - f_s$	Si	$f_s - f_{IF}$
Tercer	$f_s - 3f_s/2$	No	$f_{IF} - f_s$
Cuarta	$3f_s/2 - 2f_s$	Si	$2f_s - f_{IF}$
Quinta	$2f_s - 5f_s/2$	No	$f_{IF} - 2f_s$
Sexta	$5f_s/2 - 3f_s$	Si	$3f_s - 2f_{IF}$
Séptima	$3f_s - 7f_s/2$	No	$2f_{IF} - 3f_s$

Tabla 2.2. Efecto del submuestreo sobre una señal de entrada

2.2.7 Oscilador Local

El mezclador es un dispositivo controlado por un oscilador local cuya frecuencia determina la selección de un canal, banda de frecuencias o portadora a utilizar por el sistema, este oscilador local debe tener un rango de sintonía adecuado y una buena estabilidad de fase para minimizar la contribución del ruido de fase al piso de ruido, así mismo el ruido térmico puede contribuir al piso de ruido, y el consumo potencia junto a las anteriores consideraciones son los principales retos de diseño de este elemento.

El ruido de fase es una característica importante de un oscilador local y puede ser vista como perturbaciones aleatorias en la fase del oscilador, este efecto puede ser modelado por una señal de salida del oscilador $y(t) = K \sin(2\pi f_c t + \theta(t))$ donde $\theta(t)$ es una variable aleatoria que representa el ruido de fase; dado $\theta(t) \ll 1$, luego $y(t) \approx K \sin(2\pi f_c t) + \theta(t) \cos(2\pi f_c t)$. En el dominio de la frecuencia, una señal de un oscilador local con y sin ruido de fase se pueden observar como lo muestra la figura 2.15

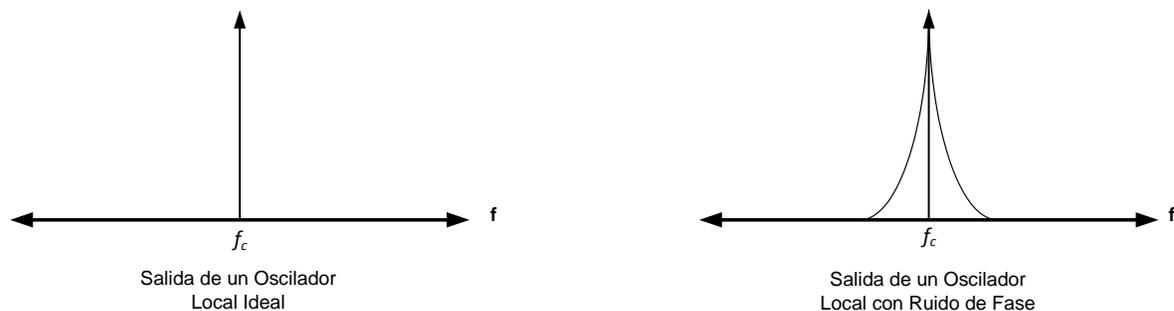


Figura 2.15. Espectro de la señal de un oscilador con y sin ruido

Multiplicar la señal recibida por una señal proveniente de un oscilador local con ruido de fase es equivalente en el dominio frecuencia a convolucionar los espectros de las dos señales, produciendo una señal de espectro ensanchado comparada con

una señal obtenida a partir de la convolución del espectro de la señal recibida con el espectro de la señal generada por un oscilador local sin ruido de fase; adicionalmente, si una señal interferente de canal adyacente se encuentra presente en la señal de recepción, su espectro al ser ensanchado podría encontrarse después del mezclador en la banda de la señal deseada, por ende un alto nivel de ruido de fase será una significativa fuente de interferencia.

Las especificaciones de ruido de fase de los osciladores locales son importantes para determinar de manera precisa el desempeño del sistema satelital ante condiciones de ruido.

El ruido de fase del oscilador local es directamente transferido a la señal de salida de las etapas de conversión hacia arriba y de conversión hacia abajo, produciendo un deterioro que depende del tipo de modulación utilizado.

Un transpondedor satelital utiliza uno o más osciladores locales para convertir una señal de entrada a una señal de frecuencia intermedia y posteriormente la señal es demodulada. Una caracterización precisa del ruido de fase del oscilador local es necesario en el diseño de cualquier transpondedor, de acuerdo a que este ruido de fase limitará la relación portadora a ruido de un receptor. Así mismo hay que tener mucho cuidado de no sobredimensionar los requerimientos de desempeño del oscilador local, pues ir más allá de los límites resulta en grandes incrementos de costos, y estos requerimientos están directamente relacionados con el tipo de modulador que se implemente.

Osciladores Controlados Numéricamente

Estos osciladores generan señales Seno y Coseno muy precisas para ser utilizadas con un mezclador digital en cuadratura, el cual realiza una función traslación de frecuencia de la señal de entrada. Como la señal de entrada de IF (para el proceso de conversión hacia abajo) o banda base (para el proceso de conversión hacia arriba), se multiplica por la señal generada por el NCO, el desempeño del NCO debe ser mucho mejor que el especificado para la señal resultante de la multiplicación; respuestas espúreas del NCO resultarán una vez realizado el proceso de mezcla en señales no deseadas fuera de banda, sin embargo algunas de las componentes de la señal resultante pueden caer dentro de la banda de trabajo con lo cual se deteriora la señal de información requerida, por lo tanto el rango dinámico del NCO debe ser considerablemente mejor que el rango dinámico de la salida desplazada en frecuencia y filtrada resultante del proceso de conversión hacia arriba o hacia abajo; lo anterior se muestra en la figura 2.16, la cual permite visualizar la respuesta de un NCO de 24 bits en un convertidor hacia abajo.

El NCO de la figura 2.16 se encuentra sintonizado a 40KHz, la tasa de muestreo es de 65MHz y la estimación espectral fue medida a través de Transformada Rápida de Fourier (FFT) de 32000 puntos, en la cual se aprecia un rango dinámico de aproximadamente 140dB.

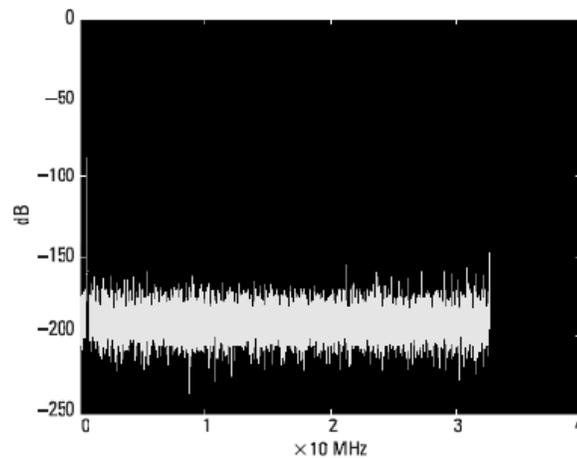


Figura 2.16. Espectro de la señal de un NCO de 24 bits

Ecuación de Leeson

El desempeño teórico en cuanto al ruido de fase de un oscilador está gobernada por la ecuación de Lesson (Robins,1982) .

Características del Ruido de Fase de un Oscilador de Banda Lateral Única.

La forma característica del ruido de fase exhibida por un oscilador sin presencia de interferencia externa ni de espúreos se muestra en la figura 2.17 en la cual se pueden observar tres regiones características:

- **Ruido por Fluctuación:** Debido a pequeños desplazamientos de la frecuencia de oscilación, este se caracteriza por la respuesta a $1/f$ de la frecuencia nominal y presenta una pendiente de 9dB por octava (Vizmuller,1995).
- **Ecuación de Lesson:** Rige para los grandes desplazamientos tales que la componente de ruido a $1/f$ de la frecuencia nominal ha caído a un nivel apropiado en el cual el ruido cae a una pendiente de 6dB por octava
- **Piso Intrínseco de Ruido:** Establecido típicamente por el piso de ruido térmico de los dispositivos activos utilizados en el oscilador y su comportamiento es plano en frecuencia.

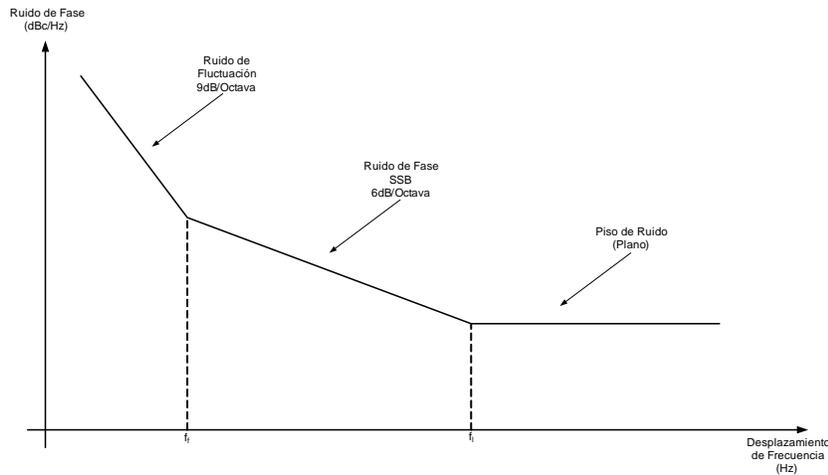


Figura 2.17. Densidad espectral de ruido de fase como función del desplazamiento de frecuencia.

Ecuación de Lesson

Permite establecer el nivel de ruido de fase de un oscilador de banda lateral única como una función de la frecuencia, en la región entre f_f y f_l que se muestra en la figura 2.17 aplica la ecuación de Lesson, la cual se encuentra dada por 2.2

$$N_{SSB}(f_m) = 10 \log \left[\frac{FkT}{8AQ_L^2} \left(\frac{f_0}{f_m} \right)^2 \right] \text{ dBc/Hz} \quad (2.2)$$

donde:

A es el nivel de potencia a la salida del oscilador en vatios.

F es el factor de ruido del dispositivo activo cuando opera a un nivel de potencia de salida A .

k es la constante de Boltzmann [$k = 1.38 \times 10^{-23} (J/K^\circ)$]

T es la temperatura en grados Kelvin (K°)

Q_L es el factor de calidad del circuito sintonizado del oscilador cargado (sin dimensiones)

f_0 es la frecuencia de oscilación en Hertz

f_m es la frecuencia offset de f_0 en Hertz.

De acuerdo a las consideraciones establecidas con anterioridad, es perfectamente viable la implementación de este tipo de dispositivos en el rango de IF en la actualidad, dadas las restricciones de manejo de frecuencia.

2.2.8 Modulador - Demodulador

Los moduladores y demoduladores en cuadratura son hoy por hoy los más utilizados para realizar modulación y demodulación de señales digitales como también de

señales analógicas (Roig,2006). Estos dispositivos resuelven el problema de transportar señales de magnitud y fase complejas sobre una portadora de IF o RF. Cualquiera de los parámetros de la señal pueden ser modificados por el modulador en cuadratura (Fase, Frecuencia, Amplitud), y luego puede adicionar la información a una portadora sin modular simplemente empleando un mezclador.

La figura 2.18 muestra un modulador en cuadratura para señales digitales, el cual es capaz de variar dos de los tres parámetros; típicamente, fase y/o amplitud para de esta manera generar una señal modulada en BPSK, QPSK, o QAM.

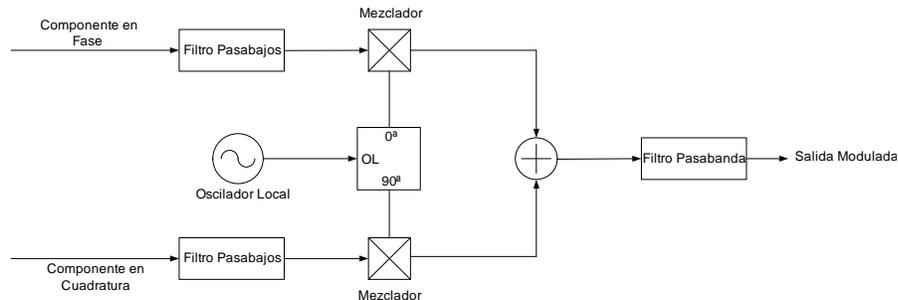


Figura 2.18. Estructura simplificada de un modulador en cuadratura

Muchos de estos moduladores también pueden ser alimentados por DACs en sus entradas en fase y cuadratura (Byung,2006) como se muestra en la figura 2.19. Los datos digitales son puestos en la entrada del DAC, el cual tiene salidas en fase (I) y en cuadratura (Q) en banda base y pasados a las entradas I/Q del modulador donde son mezcladas con la señal proveniente del oscilador local, el cual convierte hacia arriba a una señal de IF o RF. Luego las dos señales tanto en fase como en cuadratura mezcladas son linealmente sumadas en el combinador

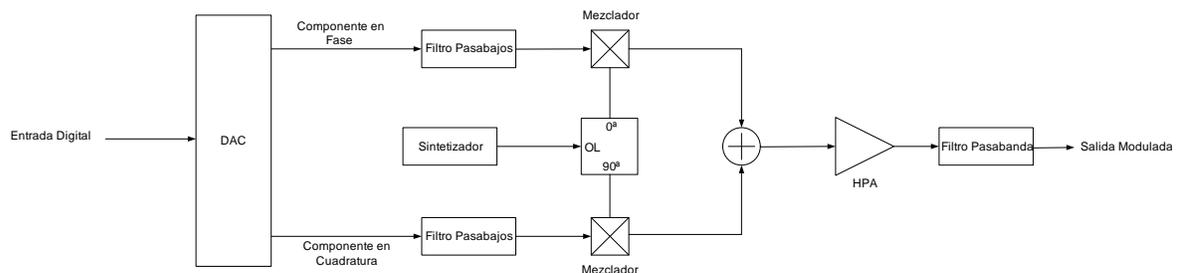


Figura 2.19. Estructura simplificada de un modulador en cuadratura usando un DAC

Siempre que la salida de cada mezclador se encuentre desplazada 90 grados una con respecto a la otra, la suma algebraica crea una única fase de salida con cuatro posibles estados de fase. En otras palabras la señal de entrada en banda base es mezclada con portadoras ortogonales de tal manera que no interfiere una con la otra,

y al ser sumadas en el combinador se genera una señal compleja conformada por las dos señales independientes y con diferente forma. Esta señal compleja es posteriormente descompuesta en el receptor en sus componentes individuales I/Q, ahora el demodulador en cuadratura toma la señal de RF o IF y la demodula mediante el proceso de conversión hacia abajo por medio de mezclado y filtrado obteniendo una salida en banda base I/Q. El diagrama en bloques de un demodulador en cuadratura se muestra en la figura 2.20

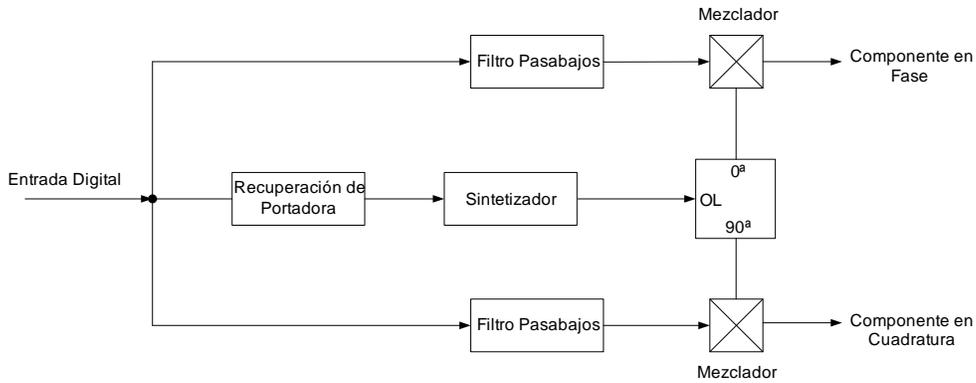


Figura 2.20. Estructura simplificada de un demodulador en cuadratura

Con los modernos DACs es posible obtener una salida de IF, lo cual proporciona el desempeño requerido para realizar el proceso de conversión hacia arriba en el dominio digital, la arquitectura requerida para esto se muestra en la figura 2.21

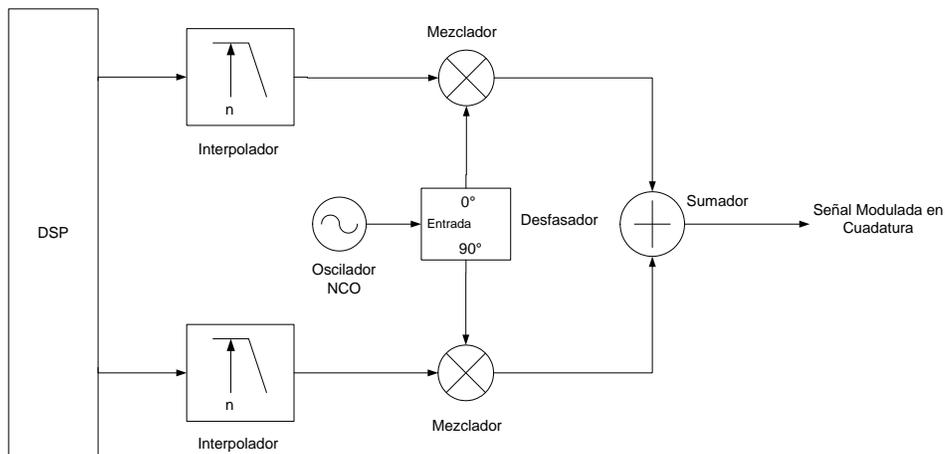


Figura 2.21. Arquitectura del modulador utilizando salida de IF digital

Esta implementación utiliza filtros de interpolación que alimentan a un mezclador de conversión hacia arriba de cuadratura, el cual utiliza un oscilador controlado numéricamente (NCO) como oscilador local.

El modulador en el caso de los transpondedores con procesamiento a bordo son moduladores de señales digitales, y en ellos los bits son transferidos a una portadora de IF por variación de la magnitud y fase de la portadora, en cada transición del reloj de datos, la portadora ocupa alguna de las posiciones específicas de la constelación; cada posición codifica un símbolo de datos específico, el cual consta de uno o más bits de datos, este diagrama de constelaciones muestra las posiciones válidas para todos los símbolos permitidos, luego para demodular los datos de entrada se debe determinar con precisión la magnitud y fase de la señal recibida para cada transición de reloj. Los transpondedores con procesamiento a bordo utilizan modulación QPSK para el enlace de subida y el de bajada, la potencia requerida a la salida del amplificador de potencia es generalmente caracterizada por la relación entre la potencia de canal adyacente y el vector de error de magnitud (EVM) de acuerdo al modulador; la BER (Bit Error Rate) de los enlaces de subida y bajada dependen de la relación portadora a ruido (CNR) a la entrada del demodulador y no sobre la nivel absoluto de portadora, la BER aumenta cuando la CNR disminuye, pero la salida de señal del demodulador mantiene amplitud constante. De acuerdo con el proceso descrito con anterioridad, para la implementación de este tipo de componentes no existen en la actualidad restricciones de ninguna clase a nivel tecnológico que impidan su construcción haciendo uso de plataformas lógicas programables basadas en SDR.

2.2.9 Codificador - Decodificador

En 1948, Claude Shannon publicó un reto a los ingenieros de comunicaciones para demostrar que los sistemas de comunicaciones puede efectuarse de manera arbitrariamente fiable dependiendo del porcentaje de señal redundante presente en la señal transmitida (Shannon,1948), Shannon demostró que existen límites solamente en la tasa de comunicación y no en su exactitud, además comprobó que se puede lograr una transmisión libre de errores en un entorno en el cual la señal pueda ser afectada por ruido aditivo blanco gaussiano (AWGN) con ancho de banda infinito si la relación de energía de bit a densidad espectral de ruido supera el límite de Shannon. Investigaciones posteriores presentan un número diferente de técnicas que permiten introducir redundancia a la señal de información para conseguir la corrección de errores sin retransmisión; estas técnicas colectivamente son conocidas como técnicas de codificación para corrección de errores hacia adelante (FEC -Forward Error Correction), estas técnicas son utilizadas en sistemas donde no hay disponibilidad de un canal de retorno para el requerimiento de retransmisión, además el retardo que involucra la retransmisión puede llegar a ser excesivo de modo que un gran número de errores puede llegar a requerir un gran número de retransmisiones, o la retransmisión puede llegar a ser demasiado compleja de implementar (Sklar,2002).

Un modelo simplificado de un sistema de comunicaciones digital el cual incorpora codificación FEC se muestra en la figura 2.22; el código FEC actúa en un canal discreto involucrando a todos los elementos del sistema entre la salida del codificador y la entrada del decodificador. El codificador mapea la fuente de datos a símbolos de

código q-arios los cuales son modulados y posteriormente transmitidos. Durante la transmisión la señal se puede deteriorar, causando errores que pueden afectar la secuencia de símbolos demodulados; el decodificador FEC permite corregir estos errores y restablecer la señal enviada por la fuente de datos original.

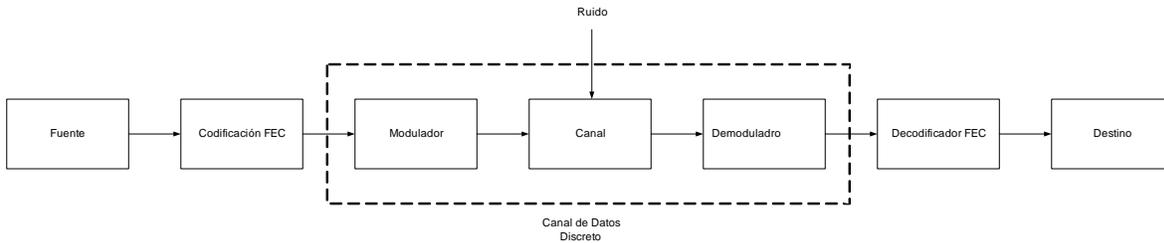


Figura 2.22. Diagrama en bloques de un sistema de comunicaciones digital con FEC

Un demodulador cuyas salidas solamente toman valores para los símbolos q-arios recibidos durante cada intervalo de símbolo se dice realiza *hard decision*; en un canal simétrico binario *hard decision* es efectuada sobre símbolos binarios y la probabilidad de error es independiente de el valor del símbolo. Las funciones de densidad de probabilidad condicional que resultan del análisis del sistema descrito se muestran en la figura 2.23. La probabilidad de error se encuentra dada por el área bajo la función de densidad que se encuentra alrededor del límite de decisión, y es una función de la energía del símbolo E_s y de la densidad espectral de potencia del ruido N_0 .

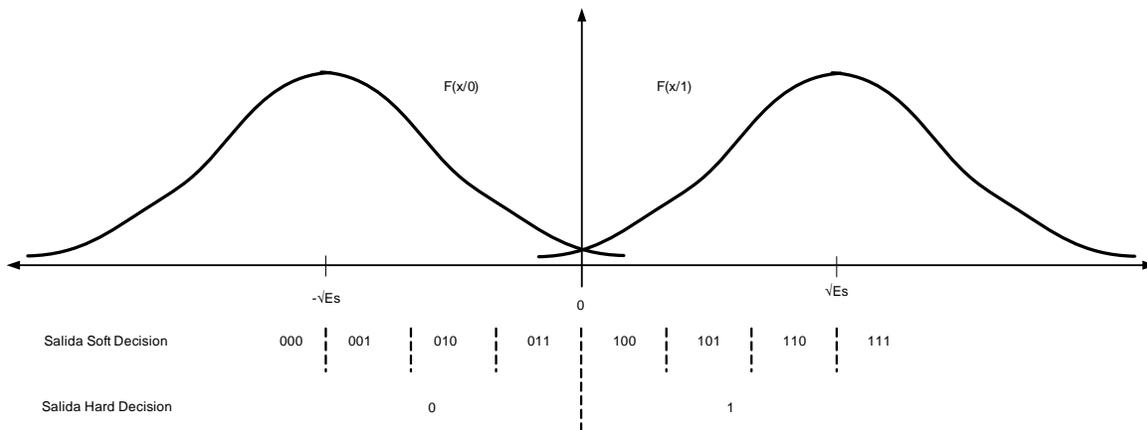


Figura 2.23. Demodulación hard y soft decision de una señal contaminada por ruido gaussiano

La codificación FEC es de gran interés siempre que los avances en tecnologías digitales y mejoras en los algoritmos de decodificación puedan ser implementadas; esta ha sido una alternativa atractiva para el mejoramiento de los sistemas de comunicaciones y de gran utilización en los sistemas satelitales y sistemas de radiocomunicaciones terrestres.

Los sistemas de espacio profundo comenzaron a utilizar FEC a comienzos de 1970 para reducir los requerimientos de potencia de transmisión y proteger de errores la transmisión de imágenes en las misiones Voyager (Wicker,1994).

La codificación es muy utilizada en sistemas satelitales para reducir los requerimientos de potencia y reducir los costos de hardware al tiempo que permite un menor espaciamiento en el arco orbital de los satélites geoestacionarios (Berlekamp,1987).. Técnicas de codificación son utilizadas en las plataformas satelitales y en otras plataformas de radiocomunicaciones por muchas razones, entre ellas la supresión de interferencia intersimbólica, capacidad de auto sincronización y detección y corrección de errores. Los códigos utilizados en plataformas satelitales son los FEC (*Forward Error Correction*), que pueden dividirse en dos clases de códigos que son los códigos de bloques y los códigos convolucionales, tanto uno como el otro permiten alcanzar el objetivo de alcanzar máxima transferencia de datos en un mínimo ancho de banda mientras se mantiene en un nivel deseado la calidad de transmisión.

Los códigos de bloques y convolucionales introducen redundancia mediante la adición de símbolos de paridad al mensaje, ellos mapean k símbolos de fuente en n símbolos de código. Con tasas fijas de información, esta redundancia trae como consecuencia un incremento del ancho de banda y menor energía por símbolo transmitido. A baja relación de señal a ruido, estos códigos no pueden compensar los deterioros de la señal en el canal y el desempeño se degrada. A alta relación de energía de bit por símbolo E_b a densidad espectral de potencia de ruido N_0 existe una ganancia de codificación de acuerdo a que el desempeño presenta mejoría con la codificación y permite compensar la degradación de la señal. La ganancia de codificación se define como la reducción de la relación E_b/N_0 necesaria para garantizar una tasa de error específica en un sistema con codificación sobre uno sin codificación.(Rappaport,1996).

Códigos de bloques y convolucionales tales como los Lineales, Hamming, BCH, Golay, Single Error Correction, Autoortogonales y Viterbi funcionan de una manera adecuada cuando los errores son aleatorios, pero cuando los errores ocurren en ráfagas, lo cual significa que un número de bits que se encuentran cercanos unos de otros presentan errores como resultado de la afectación de los mismos por ruido impulsivo o interferencia de tipo impulsiva, para corregir este tipo de errores se utilizan códigos como los Reed Solomon (RS), Fire, Hagelberger y Iwadare, ya que en lugar de codificar directamente los bits, estos se agrupan en símbolos y estos símbolos a su vez son codificados, sin embargo estos últimos códigos no proporcionan una corrección de errores eficiente cuando los errores son aleatoriamente distribuidos, para evitar esta situación y tener códigos que permitan proporcionar corrección de los dos tipos de errores, se utilizan los códigos concatenados, en los cuales, los datos de entrada son inicialmente alimentados a un codificador que permita la corrección de errores de ráfagas, el cual es denominado el codificador exterior, luego la salida del codificador exterior es alimentada a un codificador que garantice corrección de errores aleatoriamente distribuidos, al cual se denomina codificador interior.

Códigos de Bloques

En este tipo de códigos, el codificador divide el flujo de bits entrante en bloques de k dígitos y procesa cada bloque de manera individual adicionando bits extra como un chequeo de paridad de acuerdo al algoritmo predefinido, la decodificación se realiza mediante la realización del proceso inverso al tomar bloques de n dígitos y procesarlos de acuerdo al algoritmo de decodificación predefinido; los códigos cíclicos son un subconjunto de los códigos de bloques, y a través de ellos se puede implementar la codificación y decodificación de señales digitales utilizando registros de desplazamiento, la detección y corrección de errores se logra con los registros de desplazamiento y con lógica adicional implementada con compuertas. Los códigos BCH son tal vez el grupo de códigos cíclicos más poderosos y flexibles, ellos utilizan registros de desplazamiento y circuitos lógicos para realizar la codificación y decodificación.

Códigos Convolucionales

Un codificador convolucional es un sistema de memoria finita, el nombre convolucional se refiere al hecho que adiciona bits de redundancia generados por convoluciones módulo 2, este consiste de un registro de desplazamiento de L estados, n sumadores módulo 2, un conmutador y una red de conexiones de realimentación entre el registro de desplazamiento y los sumadores. Una restricción en el codificador convolucional es la longitud de memoria requerida, la cual es definida por la cantidad de desplazamientos sobre los cuales un único bit del mensaje puede influir en la salida del codificador. La función del decodificador es mantener el seguimiento las transiciones de estados del codificador y reconstruir el flujo de datos de entrada. Conceptualmente la decodificación se logra tomando los bits recibidos y encontrando el camino a través del árbol de código el cual posee la distancia más cercana a la distancia Hamming de los bits recibidos, con lo cual para el caso de largas secuencias de datos este tipo de códigos son imprácticos.

De acuerdo a los tipos de codificación utilizados, y mas aún cuando este tipo de procesos se realiza a las señales en banda base se considera viable la implementación de la codificación para transpondedores con procesamiento a bordo que se basen en la utilización de SDR.

2.2.10 Control Automático de Ganancia - AGC

El control automático de ganancia es utilizado de forma primaria para garantizar que la señal posee un nivel de voltaje que es compatible y se encuentra diseñado para el mejor aprovechamiento de las características del conversor analógico digital (ADC - *Analog Digital Converter*). El AGC debe ser lo suficientemente rápido para detectar los cambios de nivel de la señal (posiblemente producidos por desvanecimiento) y realizar ajustes que no sean tan abruptos de tal manera que no introduzca distorsión. El AGC es necesario para garantizar que la señal no será recortada por el ADC, lo cual podría causar distorsión no lineal de la señal, generalmente se incluye un AGC como parte del

amplificador de bajo ruido en una cadena de RF en un transponder de tal manera que pueda ser controlado el nivel de ruido y distorsión introducidos por el amplificador al sistema, por lo cual permite mantener la figura de ruido constante mientras la ganancia en la cadena de recepción varía.(McMahan,2001)

Típicamente un AGC se encuentra configurado para proporcionar un valor promedio en magnitud que se encuentra por debajo del máximo valor de salida del ADC, este desplazamiento es necesario para no ser activado por comportamiento transitorio, la cantidad de desplazamiento necesario depende del tipo de señal. En algunos casos, se puede implementar el AGC como una serie de amplificadores ubicados estratégicamente en el circuito con una ganancia que puede ser controlada via software manteniendo la operación del amplificador generando una señal dentro del nivel ideal. Por lo tanto, una combinación de RF AGC e IF AGC puede ser utilizada para mantener una adecuada relación señal a ruido como también linealidad a la entrada del receptor. Un adecuado margen de histeresis/desvanecimiento debe incluirse para prevenir cambios abruptos entre los estados de encendido apagado (Ramachandran,2001).

El diagrama en bloques de un AGC analógico genérico se muestra en la figura 2.24, en este gráfico se aprecia que la señal de entrada al AGC es amplificada por una ganancia variable A_1 , la cual es controlada por el voltaje V_g , el cual es proporcional a la diferencia entre la energía de la señal detectada y la señal de referencia; la ganancia A_1 es alterada de tal manera que el nivel de salida se mantiene constante.

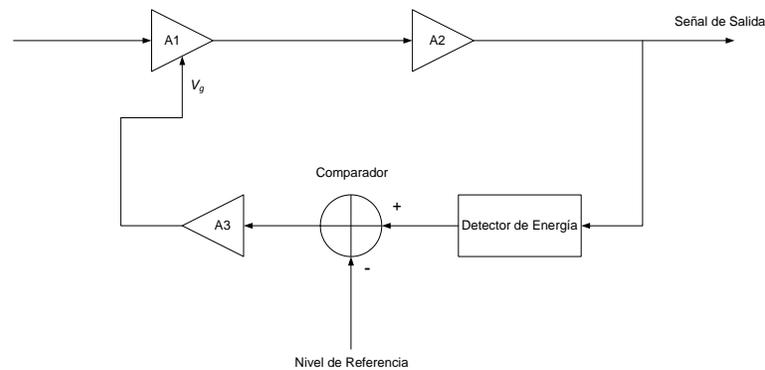


Figura 2.24. Diagrama en bloques de un controlador automático de ganancia analógico

La tasa de compresión definida como la relación existente entre el cambio del nivel de entrada en dB y el cambio en el nivel de salida en dB del AGC (Lovrich,2001) es la figura de merito por la cual el AGC tiene éxito en mantener el nivel de la salida constante; este parámetro indica como el nivel de salida cambia con pequeños cambios en el nivel de entrada, y básicamente depende de como la ganancia del amplificador A_1 cambia en respuesta a V_g .

La figura 2.25 muestra la implementación digital de un AGC, en este la señal analógica de entrada es amplificada por una ganancia proporcional a la ganancia de control

obtenida del ciclo; la señal amplificada pasa a través de un ADC haciendo que la señal sea la adecuada para el receptor SDR; la señal digitalizada también se envía a un bloque detector de energía, en el cual se mide la energía promedio de la señal sobre un número específico de muestras, luego, la energía promedio es comparada con un nivel de referencia el cual depende del esquema de modulación utilizado por el sistema, esta comparación se requiere para calcular el error del ciclo de control del AGC, el nivel de error determina cual de los tres modos operacionales será el utilizado.

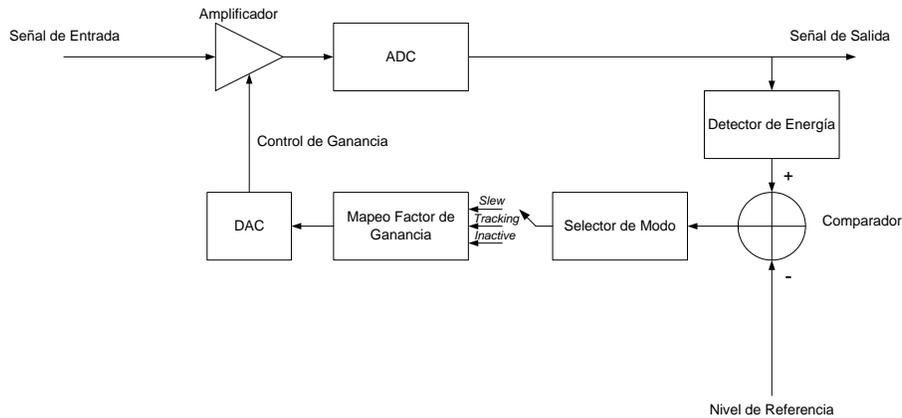


Figura 2.25. Diagrama en bloques de un controlador automático de ganancia digital

El modo *slew* es utilizado cuando el error es alto; en este modo el AGC utiliza un gran tamaño de paso para realizar el seguimiento de la señal cuando ella en nivel se encuentra muy distante del nivel de referencia. Cuando la variación de la señal con respecto al nivel de referencia es relativamente pequeña el AGC funciona en el modo *Tracking* y ajusta la ganancia con pasos pequeños y finalmente el modo *Inactive* es seleccionado cuando no se requiere realizar ajuste a la ganancia proporcionada por el AGC; la figura 2.26 muestra los modos de operación de un AGC digital.

El bloque de selección de modo es seguido por un bloque de mapeo / factor de ganancia, el cual mapea la ganancia de acuerdo al modo de operación y desviación del nivel de referencia; el factor de ganancia es utilizado para cambiar la ganancia del amplificador después de pasar la señal por el DAC (*Digital Analog Converter*).

El control automático de ganancia es usado para garantizar la apropiada utilización del rango de entrada de un ADC; un AGC puede tener una rápida respuesta para manejar rápidas variaciones de los niveles de la señal en situaciones donde el desvanecimiento rápido se presenta. Por otra parte, si no se da un ajuste rápido se introduce distorsión de amplitud, particularmente si la señal es una señal modulada en multinivel de amplitud en cuadratura (QAM).

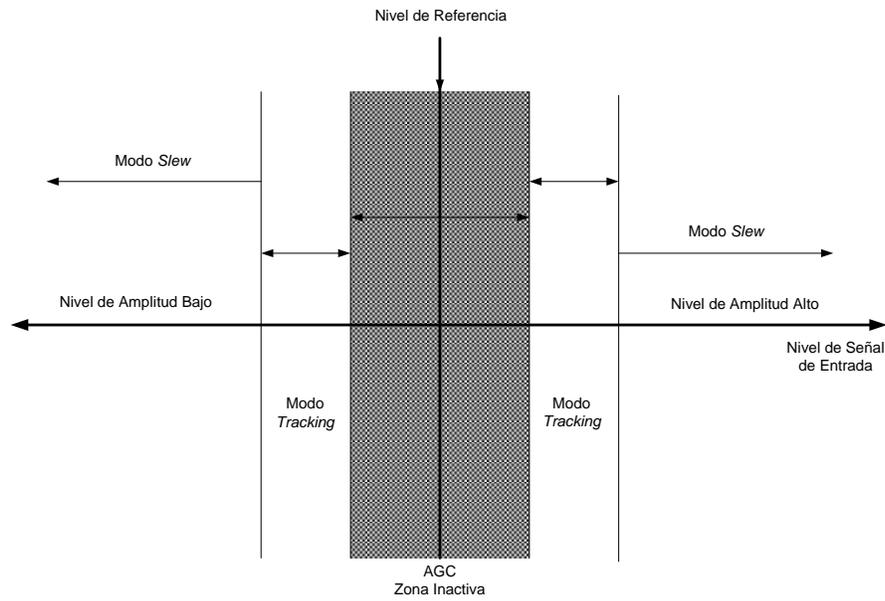


Figura 2.26. Modos de operación de un AGC digital

De acuerdo con el proceso descrito con anterioridad, para la implementación de este tipo de componentes al igual que los dos anteriores, no existen en la actualidad restricciones de ninguna clase a nivel tecnológico que impidan su construcción haciendo uso de plataformas lógicas programables basadas en SDR.

2.2.11 *Conversor Analógico a Digital - Conversor Digital Analógico*

Las especificaciones para un ADC apropiado para ser utilizado en sistemas SDR se muestra en la tabla 2.3 y aún son un desafío tecnológico, estas especificaciones son muy exigentes y podría pensarse que excesivas de acuerdo a los recursos tecnológicos existentes, sin embargo ilustran el nivel del desempeño requerido por un sistema SDR.

Un ADC se encuentra conformado por los elementos que se muestran en la figura 2.27 (Wepman, 1995)

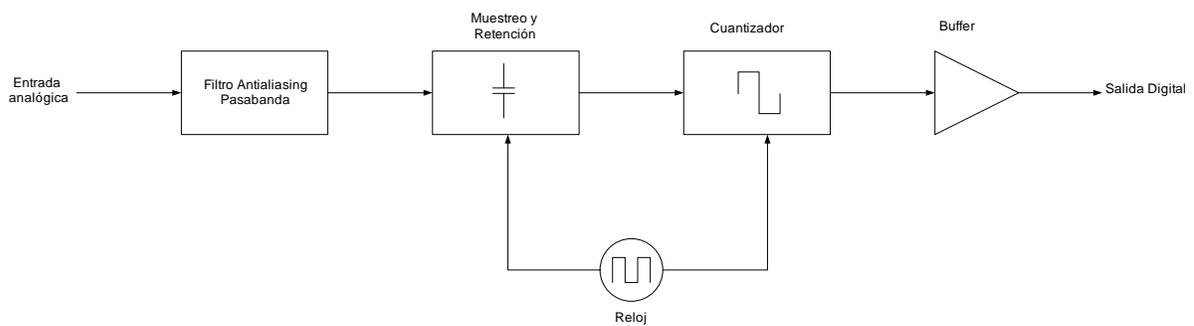


Figura 2.27. Diagrama genérico de un ADC de banda ancha para IF o RF

Parámetro	Valor	Comentario
Resolución	20 bits	Equivale a 121.76 dB de rango dinámico, asumiendo conversión perfecta.
Tasa de Muestreo	40 Mps	Basado en 4 veces la tasa de Nyquist para portadoras simples de enlaces de subida satelital en banda C.
Ancho de Banda de Entrada de RF	DC - 2.2 GHz	Para proporcionar cobertura a sistemas de radio terrestres y móviles satelitales.
Rango Dinámico	> 121.76 dB	Presumido de acuerdo a los niveles típicos en los sistemas de radio.

Tabla 2.3. Especificaciones de un ADC para SDR

Este contiene cuatro elementos principales:

- Un filtro antialiasing, para remover frecuencias de la señal de entrada que de no ser eliminadas podrían presentar aliasing dentro de la banda deseada de la señal a digitalizar.
- Un circuito de muestreo y retención para mantener la señal de entrada al cuantizador en un nivel constante durante el proceso de cuantización.
- Un cuantizador para convertir un nivel constante de voltaje analógico en una palabra digital.
- Un buffer digital.

La función de cuantización puede tener lugar en una cantidad de formas, incluyendo ráfagas, aproximación sucesiva, sigma delta, sigma delta pasabanda, y subrango. Derivando el consumo mínimo de potencia como se plantea en (Kenington et. al.,2000) y presumiendo que el ADC en si mismo no consume potencia, por lo tanto la única potencia suministrada a este dispositivo es la proveniente de la señal a convertir, lo cual arroja un valor mínimo muy optimista para el consumo de potencia del ADC, el cual podría ser referenciado como un límite inferior en el consumo de potencia al cual no es posible llegar. En ADCs reales, en la práctica, la circuitería de conversión, circuitería de salida digital y funciones de supervisión consumen niveles significativos de potencia y a estos se deben sumar los valores calculados de esta manera.

El conversor analógico a digital (ADC) es el componente más difícil de seleccionar y el que impone las mayores restricciones de diseño en sistemas SDR, al punto que las restricciones del ADC probablemente se imponen en el diseño global de la arquitectura del sistema. Debe existir un compromiso entre las limitaciones reales del ADC tales como tasas de muestreo, rango dinámico, resolución y consumo de potencia. El ADC debe muestrear una señal real a una tasa teórica que cumpla con la de Nyquist, y en el caso de sistemas multimodo el amplio ancho de banda a manejar determina la tasa de muestreo de las señales. Igualmente, señales de diferentes características o estándares requieren diferentes valores del rango dinámico, este típicamente se establece por la cantidad de interferencia de canal adyacente del sistema.

Sin embargo, tanto el conversor analógico digital como el conversor digital analógico introducen ruido y distorsión, en ellos las principales fuentes de ruido son el ruido de cuantización, el ruido térmico interno y la variación (*jitter*) de la apertura de muestreo. Por otra parte si los niveles de señal exceden el máximo rango de conversión del ADC el resultado es una distorsión no lineal, adicionalmente múltiples canales que comparten un DAC conforman una señal compuesta que puede tener realtivamente un alto rango dinámico de conversión, para ello una estrategia podría ser ajustar el nivel de salida del DAC a un rango en el cual la sobrecarga sea poco frecuente.

Adicionalmente a todo lo anterior siempre se debe tener en cuenta que los ADC y DAC no son dispositivos ideales y mas aún los requeridos para el desarrollo de plataformas SDR que deben poseer un amplio rango dinámico y tener la capacidad de funcionamiento a alta velocidad, es por ello que las imperfecciones en los ADC y DAC que afectan de mayor manera el desarrollo de plataformas SDR son la distorsión y la respuesta al escalón como se observa en la figura 2.28

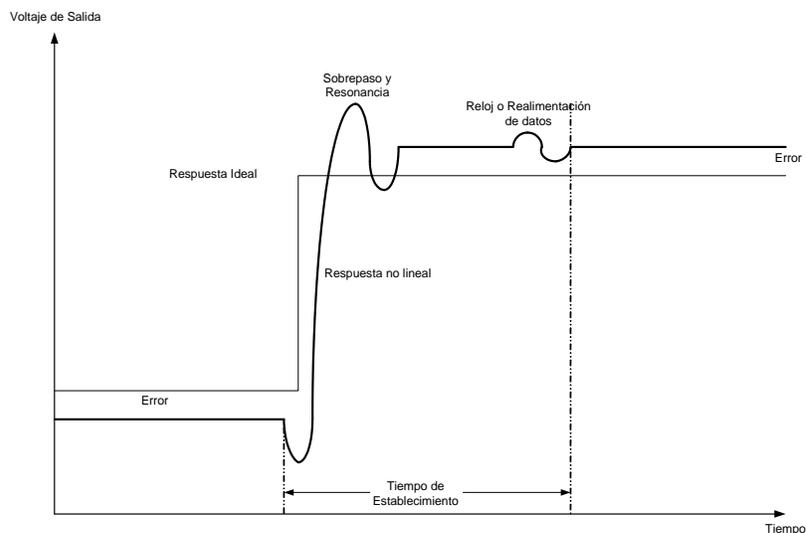


Figura 2.28. Respuesta al escalón de un DAC de alta velocidad

El desempeño de los DAC de alta velocidad existentes se encuentra limitado por las distorsiones presentes en las transiciones de conmutación de datos como se muestra en la figura 2.29 y estas distorsiones impactan el desempeño del dispositivo en el dominio de la frecuencia; las tres principales causas son.

1. Interferencia intersimbólica
2. Sincronización de tiempo
3. Variación del reloj

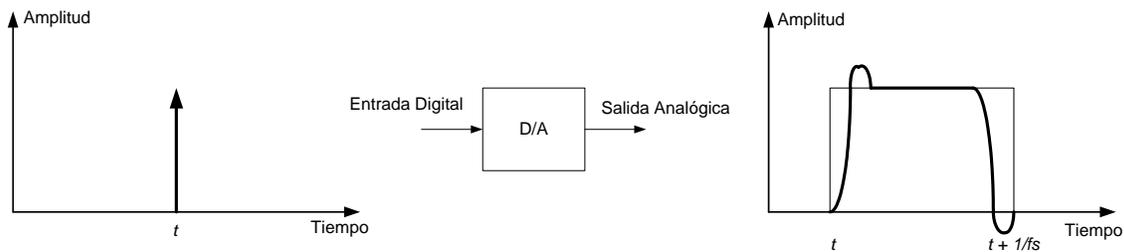


Figura 2.29. Respuesta al impulso de un DAC convencional

Es posible resolver el primer problema utilizando una arquitectura de DAC de retorno a cero (RZ-DAC), este tipo de DAC efectivamente remueve la interferencia entre símbolos muestra a muestra en la memoria del convertidor, por consiguiente garantiza que los datos transientes producidos por la conmutación y los más cercanos y relacionados con los flujos de datos de entrada son removidos, esto sin embargo requiere que el DAC produzca largos pasos de conversión para la misma salida de energía lo cual incrementa la sensibilidad a la variación del reloj.

El análisis de consumo de potencia de un ADC fundamentalmente se basa en el uso de un dispositivo de muestreo y retención dentro del ADC y puede ser no válido para otros tipos de conversores como por ejemplo los de ráfaga y otros mencionados en (Reyhani, 1994).

La potencia consumida por el ADC se presume proviene de la señal de entrada más que de una fuente externa DC, luego la señal a convertir es la encargada de cargar las capacitancias que se encuentran en el circuito de muestreo y retención. De manera general, la señal de entrada llega a un buffer dentro del ADC, por lo tanto este buffer suministra la potencia, sin embargo no todos los ADC de alta velocidad utilizan buffers como se describen en (Yuan, 1994).

El rango dinámico de un ADC lo determina la combinación de la señal pico de voltaje de la señal que será convertida y la resolución del proceso de conversión (el cual introduce el ruido de cuantización). La potencia del ruido de cuantización debe ser

igual o menor a la potencia del ruido térmico dentro del ancho de banda de conversión a la entrada del convertidor, si este no es el caso algo de la resolución puede perderse.

Una vez se determina el piso de ruido, se procede a determinar el mínimo pico posible de la señal de entrada; para estos dos niveles es posible calcular el consumo de potencia de la conversión basado en la mínima corriente de carga de la capacitancia de entrada del convertidor; el valor de la capacitancia a su vez se basa en el piso de ruido térmico (kT/C_i , donde k es la constante de Boltzmann $= 1.38 \times 10^{-23} J/K$, T es la temperatura del dispositivo en grados Kelvin, y C_i es la capacitancia de entrada del convertidor en faradios).

La relación señal a ruido de cuantización (rango dinámico) de un ADC está dada por:

$$D_C = 6n + 1.76 \text{ dB} \quad (2.3)$$

donde n es la resolución (número de bits) del convertidor.

El piso de ruido del convertidor puede aparecer al nivel de al menos D_C decibeles por debajo del nivel de entrada de voltaje a escala completa (V_{fs}), en orden a que la conversión pueda realizarse completamente, esto se muestra en la figura 2.30, luego:

$$D_C = 20 \log_{10} \left(\frac{V_{fs}}{e_{nq}} \right) \text{ dB} \quad (2.4)$$

donde e_{nq} es el nivel de voltaje de ruido del piso de ruido de cuantización.

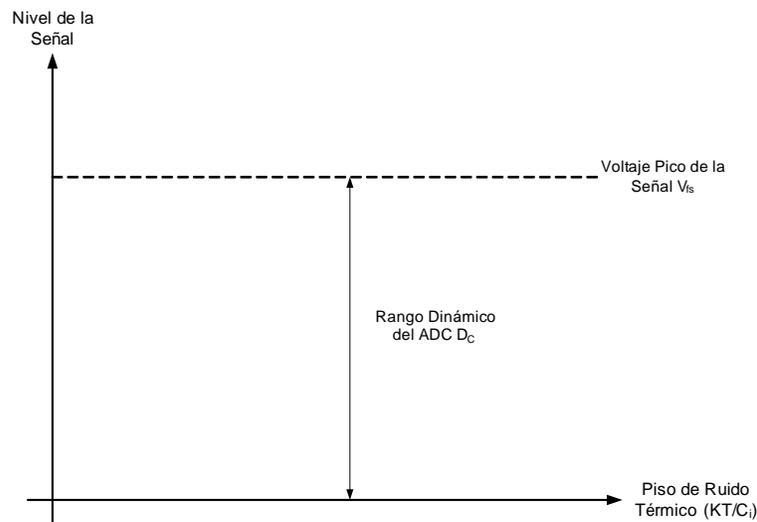


Figura 2.30. Rango dinámico de un ADC

Combinando 2.3 y 2.4 se obtiene:

$$e_{nq} = \left(\frac{V_{fs}^2}{10^{(6n+1.76)/20}} \right) \quad (2.5)$$

Luego el voltaje cuadrático medio del ruido de cuantización se encuentra dado por 2.6:

$$e_{nq}^2 = \left(\frac{V_{fs}}{10^{(6n+1.76)/10}} \right) \quad (2.6)$$

Para que el conversor sea capaz de utilizar en su totalidad el rango dinámico, el nivel de ruido de cuantización debe ser superior o igual al piso de ruido térmico del conversor, este nivel de ruido se encuentra dado por 2.7:

$$e_{nt}^2 = \frac{kT}{C_i} \quad (2.7)$$

Igualando los dos pisos de ruido a partir de 2.6 y 2.7 se llega a 2.8:

$$\frac{V_{fs}}{10^{(6n+1.76)/10}} = \frac{kT}{C_i} \quad (2.8)$$

de donde se obtiene 2.9

$$C_i = kT \frac{10^{(6n+1.76)/10}}{V_{fs}} \quad (2.9)$$

Para que el ADC convierta con precisión el voltaje de entrada, la capacitancia de entrada debe ser capaz de cargarse al voltaje a escala completa del conversor dentro del intervalo de muestreo. Por lo tanto una carga de Q_i coulombs debe ser transferida a la capacitancia de entrada dentro del intervalo del muestreo t_s , la cual se encuentra dada por:

$$Q_i = I_i t_s \quad (2.10)$$

Donde I_i es la corriente de entrada al ADC, luego de donde se obtiene

$$Q_i = C_i V_{fs} \quad (2.11)$$

de 2.11 se obtiene

$$C_i = \frac{I_i t_s}{V_{fs}} \quad (2.12)$$

Luego combinando 2.9 y 2.12 se tiene

$$I_i = \frac{kT}{t_s} \frac{10^{(6n+1.76)/10}}{V_{fs}} \quad (2.13)$$

Finalmente, la potencia consumida en este proceso se obtiene como

$$P_i = I_i V_{fs} \quad (2.14)$$

dando

$$P_i = \frac{kT}{t_s} 10^{(6n+1.76)/10} \quad W \quad (2.15)$$

Ecuación donde es importante anotar que el consumo de potencia del conversor es independiente de V_{fs} , el voltaje a escala completa del conversor.

El desempeño en consumo de potencia de un ADC puede ser certificado por la energía por conversión por unidad de resolución calculada a partir de 2.7 y 2.12 obteniendo

$$(S/N)^2 = \frac{V_{fs}^2}{e_{nt}^2} = \frac{I_i V_{fs} t_s}{kT} = \frac{P_i}{kT f_s} \quad (2.16)$$

Luego, para un ADC no ideal en el cual la energía de conversión E_{CR} , excede el valor ideal de kT , de donde:

$$E_{CR} = \frac{P_i}{(S/N)^2 f_s} \quad \text{Joules} \quad (2.17)$$

donde f_s es la frecuencia de muestreo y (S/N) es la relación señal a ruido del conversor. La relación E_{CR}/kT representa un factor de exceso de consumo de potencia para el ADC, luego, este puede usarse para definir el factor de mérito de consumo de potencia del ADC como:

$$M = \frac{E_{CR}}{kT} \quad (2.18)$$

donde el factor de mérito de un ADC ideal es la unidad.

Consumo de Potencia

Examinando el decremento de la energía consumida por conversión por unidad de resolución (E_{CR}), para los ADCs de alta velocidad comerciales durante los últimos 12 años de acuerdo a la información consignada en la tabla 2.4, se hace evidente que el factor de mérito ha decremado consistentemente en un factor de 10 cada 5 años.

Existen tecnologías que pueden permitir superar las limitaciones de mínimo consumo de potencia tales como los descritos en (Kim,1997), sinembargo en este mismo artículo se indica que la circuitería de muestreo y retención consume un porcentaje de potencia al rededor del 10% al 15% de la total, es por ello que las tecnologías de construcción de ADCs deben presentar significativos progresos antes que la circuitería de muestreo y retención dominen el consumo de potencia.

Ancho de Banda Analógico.

El ancho de banda analógico de un ADC se determinan por la longitud de la compuerta del dispositivo utilizado en su circuito de muestreo y retención; este ancho de banda está dado por:

$$B = \frac{k_a}{L^2} \text{ Hz} \quad (2.19)$$

donde k_a es una constante y L es la longitud de la compuerta del dispositivo activo, típicamente anchos de banda analógicos por ejemplo a una resolución de 14 bits actualmente se encuentran en algunos cientos de megahertz, luego es posible pensar que si la longitud de la compuerta de entrada se reduce en un factor de 2 cada 5 años, entonces anchos de banda analógicos como los requeridos para convertir en realidad la implementación de SDR en sistemas de radiocomunicaciones terrestres solamente podran ser una realidad enla próxima década.

Tasa de Muestreo y Resolución.

Analizando el estado del arte de los dispositivos ADC monolíticos entre la pasada década y esta, se muestra que para una resolución dada , la tasa disponible de muestreo se incrementa aproximadamente en un factor de 10 por cada década, esto indica una forma de la ley de Moore (Moore,1965) para los ADCs, luego, tanto el muestreo com la resolución son de gran importancia, con ello podría pronosticarse que ADCs con resoluciones de 16 bits y con tasas de muestreo de 5GSPS pueden estar disponibles en los próximos 20 años, y considerando que la resolución de los ADCs mejoran a una tasa aproximada de 5 bits por decada, significa que tener resoluciones de 20 bits sería posible aproximadamente a mediados de la próxima década. Combinando las dos restricciones indicaría que aproximadamente en 25 años se podría contar con ADCs que cumplan con los requerimientos planteados en la tabla 2.3, por lo tanto para este tiempo los ADCs serían capaces de mustrear directamente señales de RF para todos los estándares de radiocomunicaciones terrestres actuales proporcionando un

rango dinámico apropiado, por supuesto, siempre y cuando los estándares actuales no cambien, lo cual es muy probable en un buen número de oportunidades, sin embargo las bandas de frecuencia probablemente continuarán localizadas para comunicaciones civiles, permitiendo que nuevos estándares se beneficien de SDR.

En el estudio de las restricciones impuestas por los ADC y DAC no se evalúa propiamente la viabilidad de construcción de estos dispositivos, sino la factibilidad de utilización para el desarrollo de plataformas satelitales basadas en SDR, lo cual es completamente viable para el desarrollo de los componentes que operan a IF y que requieren bajos consumos de potencia, a su vez limitados por las restricciones tecnológicas actuales de estos dispositivos; dado que para poder implementar SDR realizando la conversión de analógica a digital directamente de la señal de RF, de acuerdo a las proyecciones realizadas anteriormente, se requerirían alrededor de 50 años más.

Compañía	Número de Parte	Tasa de Muestreo	Resolución	Consumo de Potencia	E_{CR}	M
		MSPS	bits	mW	$X 10^{-15}$ J/unidad de (S/N)	factor de decremento
Maxim	MAX1427	80	15	1970	0.62	1.55E+5
Texas Instruments	ADS5500	125	14	750	0.60	1.50E+5
ADI	AD6645	105	14	1500	0.90	2.25E+5
ADI	AD9245	80	14	410	0.23	0.579E+5
Texas Instruments	ADS5422	65	14	1200	1.16	2.91E+5
Texas Instruments	ADS5421	40	14	900	0.71	1.78E+5
Burr Brown	ADS800	40	12	390	0.58	1.40E+05
ADI	AD9042	50	12	600	0.72	1.73E+05
Comlinear	CLC949	20	12	300	0.89	2.16E+05
ADI	AD9220	10	12	250	1.49	3.60E+05
Burr Brown	ADS802	10	12	250	1.49	3.60E+05
Analogic	ADC3120	20	14	5000	0.93	2.25E+05
Harris	HI5808	10	12	300	1.79	4.32E+05
Harris	HI5810	20	10	150	7.15	1.73E+06
ADI	AD9023	20	12	1500	4.47	1.08E+06
Comlinear	CLC938	30	12	6570	13.05	3.15E+06
ADI	AD9020	60	10	3400	54.04	1.31E+07
ADI	AD9014	10	14	12800	4.77	1.15E+06

Tabla 2.4. Factor de mérito de algunos ADCs de alta velocidad (1995 - 2007)

Capítulo 3

Simulación del Componente Modulación - Codificación

3.1 Modelo de Simulación

3.1.1 Modulador QAM

Una señal digital es una señal de tiempo discreto binaria, la cual para ser transmitida, primero se debe transformar en una señal analógica puesto que el ancho de banda proporcionado por el medio no es infinito, aunque el requerido para la transmisión de una señal digital idealmente debería serlo, la señal analógica a su vez es modulada digitalmente siguiendo el proceso representado en el diagrama de la figura 3.1. y que se expone a continuación.

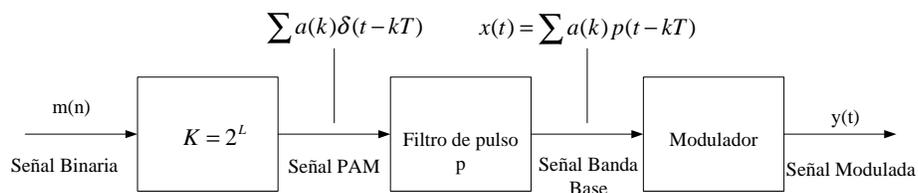


Figura 3.1. Esquema general de un modulador digital

La secuencia binaria m es dividida en símbolos de L bits de amplitudes discretas $k=2L$. La figura 3.2. muestra el caso para $k=4$. Si el tiempo entre dos bits es T_b segundos, luego, la tasa de bits es $R_b = 1/T_b$ bits/seg, el tiempo entre dos símbolos es $T = L.T_b$. La secuencia resultante de símbolos $\{a(k)\}$ modula un tren de pulsos de la misma forma p . Lo anterior puede representarse como la convolución de $a(k)$ y la respuesta al impulso p .

$$\sum_k a(k)\delta(t - kT) \tag{3.1}$$

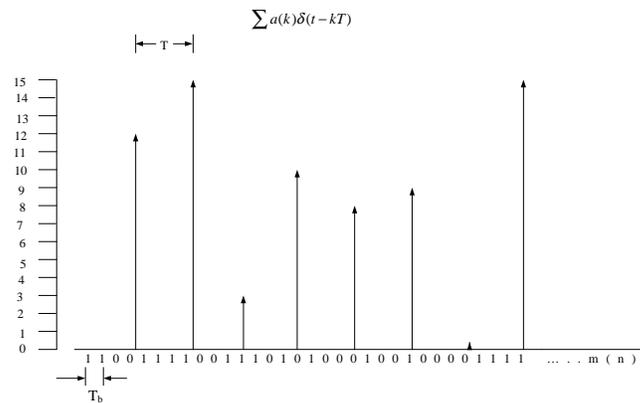


Figura 3.2. Símbolos generados a partir de secuencia binaria con $K=4$.

El esquema de un transmisor en QAM básico se muestra en la figura 3.3.

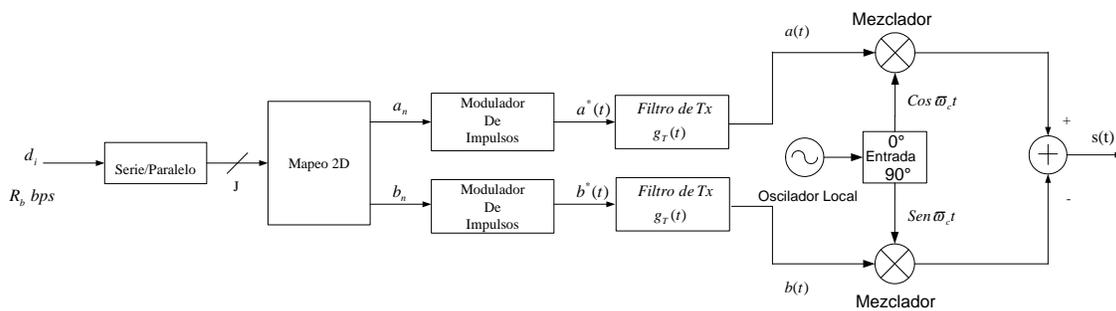


Figura 3.3. Esquema básico de modulador QAM

Los datos d_i serie de entrada, generados a velocidad R_b bps se agrupan mediante un conversor serie/paralelo, formando palabras de J bits que pasarán al módulo de mapeo. Este módulo se encarga de seleccionar a uno de entre los $M = 2^J$ posibles símbolos, ubicados sobre un espacio bidimensional, produciendo a la salida, símbolos a la velocidad de $f_s = R_d/J$ (símbolos por segundo o baudios).

Los símbolos a transmitir son números complejos que se representan de la forma $c_k = a_k + jb_k$, de tal forma que el alfabeto lo forma el conjunto de números complejos que se puede transmitir. Este alfabeto se puede representar en el plano complejo, formando la constelación de la modulación.

Enseguida estos símbolos se introducen en los moduladores de impulsos, uno para cada componente, obteniéndose las señales:

$$a^*(t) = \sum_k a_k(t)\delta(t - kT) \quad (3.2)$$

$$b^*(t) = \sum_k b_k(t)\delta(t - kT) \quad (3.3)$$

Que al pasar a través de los filtros de transmisión, dan como resultado las señales:

$$a(t) = \sum_k a_k(t)g_T(t - kT) \quad (3.4)$$

$$b(t) = \sum_k b_k(t)g_T(t - kT) \quad (3.5)$$

siendo $g(t)$ el filtro de transmisión tipo pasa bajo.

En una implementación discreta, los filtros actúan como interpoladores, produciendo L muestras por cada símbolo de entrada, de forma que la frecuencia de trabajo de los filtros será de $L \cdot f_s$.

La señal QAM se obtiene modulando en DBL (Doble Banda Lateral) las señales $a(t)$ y $b(t)$ obteniendo la señal modulada en QAM $s(t)$, la cual es de la forma:

$$s(t) = a(t) \cos(\omega_c t) - b(t) \sin(\omega_c t) \quad (3.6)$$

Siendo $a(t)$ la componente en fase de la señal QAM y $b(t)$ la componente en cuadratura.

El equivalente pasa bajo de la señal QAM, tomando como frecuencia de referencia f_c es:

$$\tilde{s}(t) = a(t) + jb(t) = \sum_k a_k(t)g_T(t - kT) + j \sum_k b_k(t)g_T(t - kT) \quad (3.7)$$

$$\tilde{s}(t) = \sum_k (a_k + jb_k)g_T(t - kT) = \sum_k c_k g_T(t - kT) \quad (3.8)$$

Considerando la señal analítica:

$$s^+(t) = \sum_k c_k g_T(t - kT) e^{j\omega_c t} \quad (3.9)$$

En donde la señal QAM es

$$s(t) = \text{Re} \{s^+(t)\} \quad (3.10)$$

Representando de manera esquemática el modelo del modulador se obtiene el modelo de la figura 3.4.

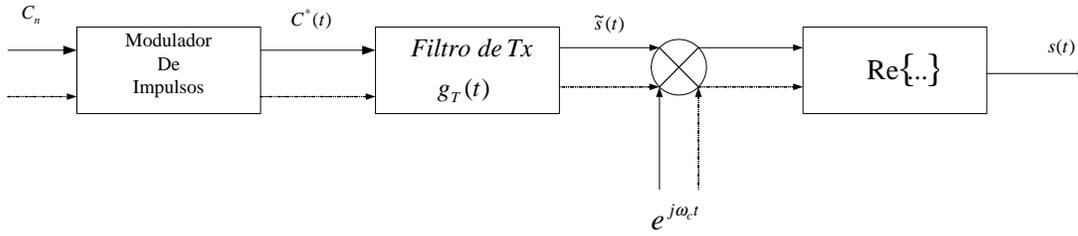


Figura 3.4. Esquema modificado del modulador QAM

Como se puede observar, en el esquema de modulación propuesto se obtiene primero la señal pasa bajo que se modula más tarde en DBL. Otra alternativa para la implementación del transmisor QAM puede conseguirse de la siguiente forma:

$$s^+(t) = \sum_k c_k g_T(t - kT) e^{j\omega_c t} = \sum_k c_k e^{jk\omega_c T} g_T(t - kT) e^{j\omega_c(t - kT)} \quad (3.11)$$

Considerando que:

$$h(t) = g_T(t - kT) e^{j\omega_c t} = h_F(t) + jh_C(t) \quad (3.12)$$

$$H(f) = G_T(f - f_c) \quad (3.13)$$

$$h_F(t) = g_T(t) \cos(\omega_c t) \quad (3.14)$$

$$h_C(t) = g_T(t) \sin(\omega_c t) \quad (3.15)$$

$$c'_k = c_k e^{jk\omega_c T} = a'_k + jb'_k \quad (3.16)$$

$$a'_k = \text{Re} \{ c_k e^{jk\omega_c T} \} = a_k \cos(\omega_c kT) - b_k \sin(\omega_c kT) \quad (3.17)$$

$$b'_k = \text{Im} \{ c_k e^{jk\omega_c T} \} = a_k \sin(\omega_c kT) + b_k \cos(\omega_c kT) \quad (3.18)$$

$$s^+(t) = \sum_k c'_k h(t - kT) \quad (3.19)$$

Sustituyendo se obtiene el modelo optimizado en cuanto a número de operaciones dado por la ecuación 3.20 que se muestra en la figura 3.5.

$$s(t) = \text{Re} \{ s^+(t) \} = \sum_k [a'_k h_F(t - kT) - b'_k h_C(t - kT)] \quad (3.20)$$

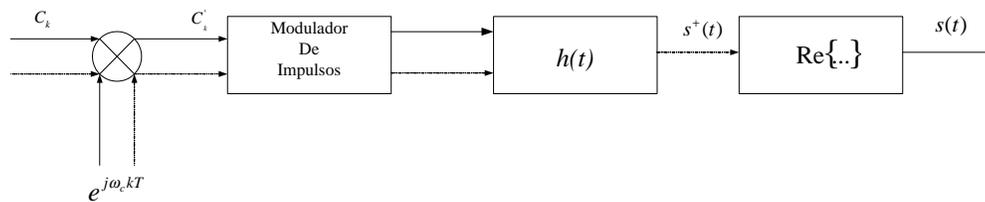


Figura 3.5. Esquema optimizado del modulador QAM

El cual se puede descomponer como lo muestra la figura 3.6. En este último esquema, tanto los símbolos como los filtros son pasa banda, a diferencia del esquema inicial en el que las señales se conforman en banda base, y la traslación espectral se produce en la última etapa.

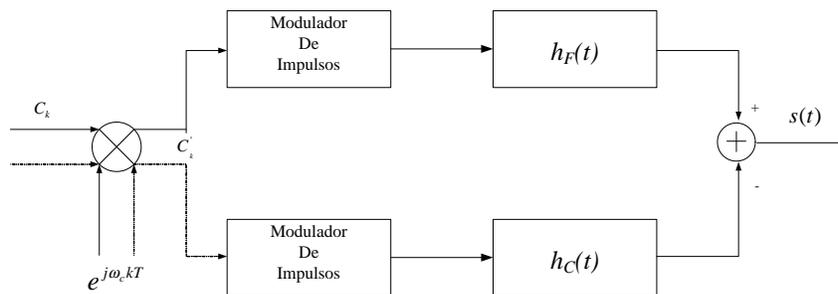


Figura 3.6. Descomposición esquema optimizado del modulador QAM

Los filtros conformadores de pulsos $h_F(t)$ y $h_C(t)$ son también interpoladores igual que en el esquema anterior, esto indica que se producen L muestras por cada símbolo. Si se compara este esquema de modulador QAM con el modelo inicial, se puede observar que en la nueva representación se realizan L multiplicaciones complejas menos por periodo de símbolo que en el anterior, ya que el modulador de producto trabaja con la señal a ritmo de símbolo, mientras que en el caso anterior, debía de realizarse la multiplicación a razón de L por cada símbolo, lo cual, es importante para realizar la implementación en el FPGA puesto que se disminuye la carga de procesamiento, y por ende los tiempos de respuesta del modulador.

La frecuencia de portadora debe ser mayor que la frecuencia de corte del filtro para prevenir solapes entre la parte positiva y negativa del espectro, similar a la modulación en DBL. Para el caso de la modulación 16QAM se utiliza un alfabeto de 16 símbolos usando palabras de cuatro bits ($J = 4$), constelación que se muestra en la figura 3.7.

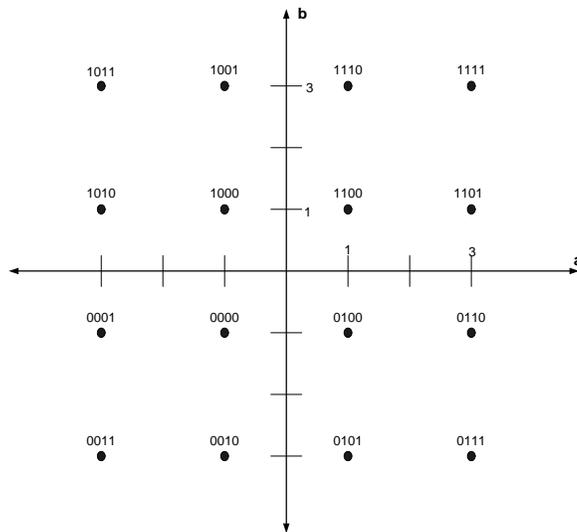


Figura 3.7. Constelación para 16QAM

Esta constelación se utiliza en los estándares V.22 bis con $R_d = 2400 \text{ bps}$ ($f_s = 600 \text{ baudios}$) y V.32 uncoded con $R_d = 9600$ ($f_s = 2400 \text{ baudios}$), como se puede observar en la figura, los dos primeros bits especifican el cuadrante en el que se encuentra el símbolo y los otros dos la posición del símbolo en el cuadrante. Obsérvese que si se rota esta constelación 90° los dos últimos bits no cambian.

Para la obtención de los símbolos a partir de los datos se utiliza el esquema de la figura 3.8.

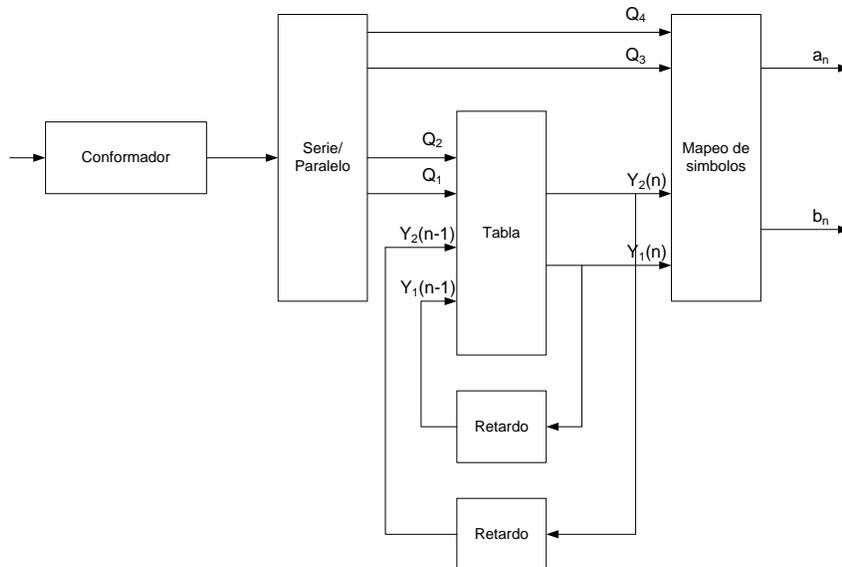


Figura 3.8. Esquema de obtención de símbolos 16QAM

En el que Q_3 y Q_4 seleccionan directamente un símbolo en un cuadrante determinado. Los bits Y_2 e Y_1 seleccionarán el cuadrante. Los bits Q_1 y Q_2 especifican el cambio de fase que debe producirse realizándose así una codificación diferencial. Así, por ejemplo: si $[Q_1, Q_2] = [10]$ se especifica que se debe producir un cambio de fase de 180° , de forma que si el símbolo anterior se encuentra en el cuadrante asociado a los bits $[0\ 0]$ (tercer cuadrante), el símbolo actual corresponderá al asociado a los bits $[1\ 1]$ (primer cuadrante).

De esta forma, en detección, una vez determinados Y_1 e Y_2 para los instantes actual y anterior, se pueden conocer los valores de Q_1 y Q_2 : no es necesario conocer en qué cuadrante se encuentra el símbolo (sólo la diferencia de cuadrantes entre instantes consecutivos); como además el arreglo de los símbolos en cada cuadrante es tal que no varía al cambiar de cuadrante (los bits que identifican el símbolo en un cuadrante no cambian con giros de 90 grados), va a permitir una indefinición de la fase de la portadora de $\pi/2$, ya que una desviación de la fase de la portadora de $\pi/2$ corresponde a un giro de la constelación de $\pi/2$ así:

$$s^+(t) = \tilde{s}(t)e^{j(\omega_c t + \pi/2)} = j\tilde{s}(t)e^{j\omega_c t} \quad (3.21)$$

Por lo que se dice que el sistema es transparente a giros de 90 grados.

3.1.2 Demodulador

De acuerdo con el esquema de un receptor QAM básico mostrado en la figura 3.9 ,

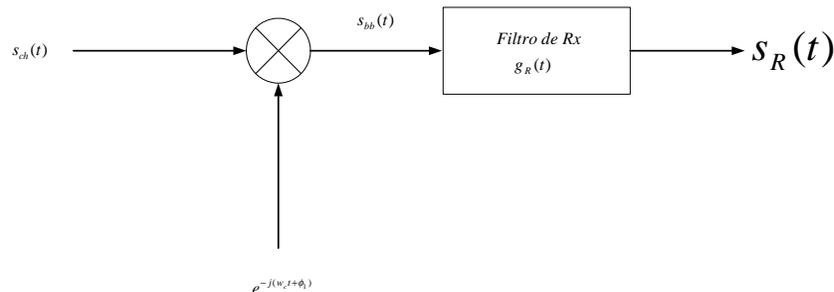


Figura 3.9. Esquema básico de un demodulador QAM

la señal de entrada $s_{ch}(t)$ es la señal de salida del modulador QAM una vez ha pasado por el canal de transmisión, luego:

$$s_{ch}(t) = s(t) * g_{ch}(t) \quad (3.22)$$

donde $g_{ch}(t)$ es la respuesta al impulso del canal de transmisión, por lo tanto

$$S_{ch}(f) = S(f)G_{ch}(f) \quad (3.23)$$

Inicialmente la señal recibida es trasladada hacia bandabase por medio del desplazamiento de frecuencia, dando lugar a la señal indicada en la ecuación 3.24

$$s_{bb}(t) = s_{ch}(t)e^{j(\omega_c t + \phi_1)} \quad (3.24)$$

que en el dominio de la frecuencia corresponde a

$$S_{bb}(f) = S_{ch}(f + f_c)e^{j\phi_1} \quad (3.25)$$

esta señal es filtrada pasando por el filtro pasabajo de recepción con respuesta al impulso $g_R(t)$, obteniéndose

$$s_R(t) = s_{bb}(t) * g_R(t) \quad (3.26)$$

de donde

$$S_R(f) = S_{bb}(f)G_R(f) \quad (3.27)$$

dado que

$$g_R(t) = p(t - T) \quad (3.28)$$

luego

$$s_R(t) = s_{bb}(t)p(t - T) \quad (3.29)$$

Correspondiendo a la señal demodulada QAM, sin embargo hay que considerar el desplazamiento de fase introducido en el canal de transmisión, por lo tanto la fase de la portadora en el receptor ϕ_1 puede ser diferente a la fase del transmisor, por lo tanto es necesario introducir en el esquema del receptor un módulo encargado de la recuperación de la fase de portadora, dando como resultado el esquema del demodulador QAM de la figura 3.10.

El análisis realizado para este nuevo esquema es igual al anterior con la diferencia que en este caso se garantiza que la fase de la portadora en el receptor ϕ_1 es aproximadamente igual a la fase del transmisor

Posteriormente se procede a realizar un muestreo de la señal demodulada para obtener los símbolos QAM para finalmente proceder a la conversión mediante serialización de los símbolos QAM a una señal binaria que representa la señal de información enviada originalmente, lo cual da lugar al receptor mostrado en la figura.3.11..

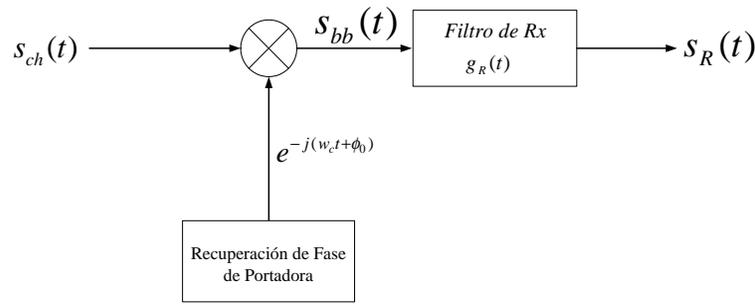


Figura 3.10. Esquema básico de un demodulador QAM con recuperación de fase de portadora

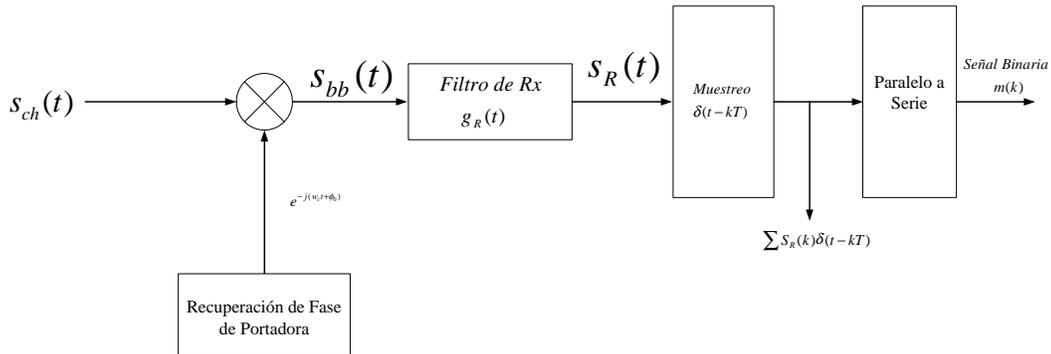


Figura 3.11. Esquema básico de un receptor QAM

3.1.3 Codificador

El codificador seleccionado para realizar la simulación e implementación del componente es el codificador cíclico dado que es uno de los más utilizados en las plataformas satelitales. Este tipo de codificador presenta la característica de que al desplazar un vector de código, el vector resultante es otro vector en el código, esta propiedad puede representarse por la asociación a un vector de código C con el polinomio

$$C(x) = c_{n-1}x^{n-1} + c_{n-2}x^{n-2} + \dots + c_1x + c_0 \quad (3.30)$$

donde x es una variable arbitraria real. Las potencias de x denotan las posiciones de los bits de la palabra de código representado por los correspondientes coeficientes de x . Formalmente los códigos polinomiales binarios se definen conjuntamente con los Campos de Galois.

La interpretación polinomial del desplazamiento cíclico se puede realizar de la siguiente forma, sea

$$xC(x) = c_{n-1}x^n + c_{n-2}x^{n-1} + \dots + c_1x^2 + c_0x \quad (3.31)$$

luego al desplazar el polinomio resultante se tiene

$$C_d(x) = c_{n-2}x^{n-1} + \dots + c_1x^2 + c_0x + c_{n-1} \quad (3.32)$$

y realizando la suma módulo 2 entre 3.31 y 3.32 se tiene

$$xC(x) + C_d(x) = c_{n-1}x^n + c_{n-1} \quad (3.33)$$

luego

$$C_d(x) = xC(x) + c_{n-1}(x^n + 1) \quad (3.34)$$

al realizar iteraciones, se producen expresiones similares para múltiples desplazamientos.

El polinomio $(x^n + 1)$ y sus factores juegan un papel principal en los códigos cíclicos, donde un código cíclico (n, k) está definido por un polinomio generador de la forma

$$g(x) = x^q + g_{q-1}x^{q-1} + \dots + g_1x + 1 \quad (3.35)$$

donde $q = n - k$ y los coeficientes son tales que $g(x)$ es un factor de $(x^n + 1)$. Cada palabra de código corresponde al producto polinomial

$$C(x) = q(x)g(x) \quad (3.36)$$

Expresión en la que $q(x)$ representa un bloque de mensaje de k bits. Para un código sistemático se definen los polinomios de los bits del mensaje y de los bits de chequeo como

$$m(x) = m_{k-1}x^{k-1} + m_{k-2}x^{k-2} + \dots + m_1x + m_0 \quad (3.37)$$

$$d(x) = d_{q-1}x^{q-1} + d_{q-2}x^{q-2} + \dots + d_1x + d_0 \quad (3.38)$$

y los polinomios de las palabras codificadas serán de la forma

$$X(p) = x^q m(x) - d(x) \quad (3.39)$$

las ecuaciones 3.36 y 3.39 requieren que $x^q m(x) - d(x) = q(x)g(x)$ por lo tanto

$$\frac{x^q m(x)}{g(x)} = q(p) + \frac{d(x)}{g(x)} \quad (3.40)$$

lo cual indica que $d(x)$ es el residuo de la división $\frac{x^q m(x)}{g(x)}$, luego se puede escribir

$$d(x) = x^q m(x) \bmod g(x) \quad (3.41)$$

y de acuerdo a que $x^q m(x) + d(x)$ es un múltiplo de $g(x)$, esta es una palabra del código cuya representación vectorial es

$$(c_{q-1}, c_{q-2}, c_{q-3}, \dots, c_0, m_{k-1}, m_{k-2}, \dots, m_1, m_0)$$

vector en el cual los bits del mensaje aparecen en las últimas k posiciones del vector y los bits de paridad aparecen en las primeras $n-k$ posiciones, con lo cual se establece que se obtiene un código sistemático.

3.1.4 Decodificador

Para realizar la decodificación de un mensaje codificado a través de un codificador cíclico, se debe proceder a calcular el síndrome del código recibido, luego dado un vector recibido $y(x)$, el síndrome se calcula de la forma

$$s(x) = y(x) \bmod g(x) \quad (3.42)$$

si $y(x)$ es un código polinomial válido, luego $g(x)$ será un factor de $y(x)$ y el residuo de la división $\frac{y(x)}{g(x)}$ será cero; de otra manera el síndrome no es cero lo cual indica que existen errores.

Una vez obtenido el polinomio del síndrome, es posible identificar en que posición o posiciones se ha presentado el error y complementar aquellas posiciones para corregir dicho error. En el caso particular para la implementación de FEC de 1/2 puede utilizarse un código cíclico (7,4) para el cual se tiene que de acuerdo al síndrome obtenido se ubica la posición del error en el mensaje codificado recibido de acuerdo a la tabla.3.1.

Error	Polinomio del Error	Síndrome	Polinomio del Síndrome
0000000	$e(x) = 0$	000	$s(x) = 0$
1000000	$e(x) = 1$	100	$s(x) = 1$
0100000	$e(x) = x$	010	$s(x) = x$
0010000	$e(x) = x^2$	001	$s(x) = x^2$
0001000	$e(x) = x^3$	110	$s(x) = 1 + x$
0000100	$e(x) = x^4$	011	$s(x) = x + x^2$
0000010	$e(x) = x^5$	111	$s(x) = 1 + x + x^2$
0000001	$e(x) = x^6$	101	$s(x) = 1 + x^2$

Tabla 3.1. Polinomios de error y síndrome para un decodificador (7,4)

3.2 Pruebas y Verificación

Las pruebas y la verificación de la simulación se realizan de acuerdo a los parámetros establecidos para el desarrollo de software planteados por Beizer (Beizer,1990), quien los clasifica en dos tipos de pruebas, pruebas de caja blanca y pruebas de caja negra; además de realizar la comparación de los resultados de la simulación versus el comportamiento esperado del sistema de acuerdo al soporte teórico y experimental documentado en (Beizer,1995)

3.2.1 Pruebas de caja blanca

La prueba de caja blanca del software se basa en el minucioso examen de los detalles procedimentales. Se comprueban los caminos lógicos del software proponiendo casos de prueba que ejerciten conjuntos específicos de condiciones y/o bucles. Se puede examinar el «estado del programa» en varios puntos para determinar si el estado real coincide con el esperado.

Mediante los métodos de prueba de caja blanca, se obtienen casos de prueba que:

1. Garanticen que se ejercita por lo menos una vez todos los caminos independientes de cada módulo.
2. Ejerciten todas las decisiones lógicas en sus vertientes verdadera y falsa.
3. Ejecuten todos los bucles en sus límites y con sus límites operacionales.
4. Ejerciten las estructuras internas de datos para asegurar su validez.

Dentro de las pruebas de caja blanca se encuentran las relacionadas en la tabla 3.2 con sus respectivos resultados.

Prueba	Resultado
Complejidad ciclomática	1
Prueba de condición	Aprobada
Prueba del flujo de datos	Aprobada
Prueba de bucles	Aprobada

Tabla 3.2. Pruebas de caja blanca realizadas al software de simulación

Complejidad ciclomática

La complejidad ciclomática es una métrica del software que proporciona una medición cuantitativa de la complejidad lógica de un programa. Cuando se usa en el contexto del método de prueba del camino básico, el valor calculado como complejidad ciclomática

define el número de caminos independientes del conjunto básico de un programa y retorna un límite superior para el número de pruebas que se deben realizar para asegurar que se ejecuta cada sentencia al menos una vez.

Esta complejidad se puede calcular de tres formas:

1. El número de regiones del grafo de flujo coincide con la complejidad ciclomática
2. La complejidad ciclomática, $V(G)$, de un grafo de flujo G se define como $V(G) = A - N + 2$ donde A es el número de aristas del grafo de flujo y N es el número de nodos del mismo.
3. La complejidad ciclomática, $V(G)$, de un grafo de flujo G también se define como $V(G) = P + 1$ donde P es el número de nodos predicado contenidos en el grafo de flujo G .

Prueba de condición

La prueba de condición es un método de diseño de casos de prueba que ejercita las condiciones lógicas contenidas en el módulo de un programa. El método de la prueba de condición se centra en la prueba de cada una de las condiciones del programa.

Prueba del flujo de datos

El método de prueba del flujo de datos selecciona caminos de prueba de un programa de acuerdo con la ubicación de las definiciones y los usos de las variables del programa.

Prueba de bucles

La prueba de bucles es una técnica de prueba de caja blanca que se centra exclusivamente en la validez de las construcciones de bucles. Se pueden definir cuatro clases diferentes de bucles: bucles simples, bucles concatenados, bucles anidados y bucles no estructurados.

Bucles simples

A los bucles simples se les debe aplicar el siguiente conjunto de pruebas, donde n es el número máximo de pasos permitidos por el bucle:

1. pasar por alto totalmente el bucle
2. pasar una sola vez por el bucle
3. pasar dos veces por el bucle
4. hacer m pasos por el bucle con $m < n$
5. hacer $n - 1$, n y $n + 1$ pasos por el bucle

Bucles anidados

Si extendiéramos el enfoque de prueba de los bucles simples a los bucles anidados, el número de posibles pruebas aumenta geométricamente a medida que aumenta el nivel de anidamiento. Esto lleva a un número impracticable de pruebas, por ello se sugiere un enfoque que ayude a reducir el número de pruebas:

1. Comenzar por el bucle más interior. Establecer o configurar los demás bucles con sus valores mínimos.
2. Llevar a cabo las pruebas de bucles simples para el bucle más interior, mientras se mantienen los parámetros de iteración (por ejemplo, contador del bucle) de los bucles externos en sus valores mínimos. Añadir otras pruebas para valores fuera de rango o excluidos.
3. Progresar hacia fuera, llevando a cabo pruebas para el siguiente bucle, pero manteniendo todos los bucles externos en sus valores mínimos y los demás bucles anidados en sus valores «típicos».
4. Continuar hasta que se hayan probado todos los bucles.

Bucles concatenados

Los bucles concatenados se pueden probar mediante el enfoque anteriormente definido para los bucles simples, mientras cada uno de los bucles sea independiente del resto. Sin embargo, si hay dos bucles concatenados y se usa el controlador del bucle 1 como valor inicial del bucle 2, entonces los bucles no son independientes. Cuando los bucles no son independientes, se recomienda usar el enfoque aplicado para los bucles anidados.

Bucles no estructurados

Siempre que sea posible, esta clase de bucles se deben rediseñar para que se ajusten a las construcciones de programación estructurada

3.2.2 Pruebas de caja negra

Las pruebas de caja negra se refiere a las pruebas que se llevan a cabo sobre la interfaz del software. O sea, los casos de prueba pretenden demostrar que las funciones del software son operativas, que la entrada se acepta de forma adecuada y que se produce un resultado correcto, así como que la integridad de la información externa se mantiene. Una prueba de caja negra examina algunos aspectos del modelo fundamental del sistema sin tener en cuenta la estructura lógica interna del software. Las pruebas de caja negra, también denominada prueba de comportamiento, se centran en los requisitos funcionales del software. O sea, la prueba de caja negra permite obtener conjuntos de condiciones de entrada que ejerciten completamente todos los requisitos

funcionales de un programa. La prueba de caja negra intenta encontrar errores de las siguientes categorías:

1. Funciones incorrectas o ausentes.
2. Errores de interfaz.
3. Errores en estructuras de datos o en accesos a bases de datos externas.
4. Errores de rendimiento.
5. Errores de inicialización y de terminación.

Para el caso de la simulación del componente modulación - codificación de un transpondedor satelital reconfigurable, puesto que el lenguaje seleccionado para el desarrollo fué matlab, dentro de los métodos de prueba contemplados para las pruebas de caja negra, solamente es aplicable el método basado en grafos que se describe a continuación, los resultados del proceso de pruebas se muestran en la tabla 3.3.

Prueba	Resultado
Modelado del flujo de transacción	Aprobada
Modelado de estado finito	Aprobada
Modelado del flujo de datos	Aprobada
Modelado de planificación	Aprobada

Tabla 3.3. Pruebas de caja negra realizadas al software de simulación

Métodos de prueba basados en grafos

El primer paso en la prueba de caja negra es entender los objetos que se modelan en el software y las relaciones que conectan a estos objetos. Beizer (?) describe un número de métodos de prueba de comportamiento que pueden hacer uso de los grafos:

Modelado del flujo de transacción

Los nodos representan los pasos de alguna transacción, y los enlaces representan las conexiones lógicas entre los pasos. El diagrama de flujo de datos puede usarse para ayudar en la creación de grafos de este tipo.

Modelado de estado finito

Los nodos representan diferentes estados del software observables por el usuario, y los enlaces representan las transiciones que ocurren para moverse de estado a estado. El diagrama de transición de estados puede usarse para ayudar en la creación de grafos de este tipo.

Modelado del flujo de datos

Los nodos son objetos de datos y los enlaces son las transformaciones que ocurren para convertir un objeto de datos en otro.

Modelado de planificación

Los nodos son objetos de programa y los enlaces son las conexiones secuenciales entre esos objetos. Los pesos de enlace se usan para especificar los tiempos de ejecución requeridos al ejecutarse el programa.

3.2.3 Verificación y resultados del software de simulación

La verificación puede definirse de muchas formas, pero una sencilla definición es en la que la verificación se consigue cuando el software funciona de acuerdo con las expectativas razonables del cliente o del modelo del sistema a estudiar. La verificación del software se consigue mediante una serie de pruebas de caja negra que demuestran la conformidad con los requisitos impuestos por el modelo de simulación. Para el caso particular del componente modulación - codificación de un transpondedor satelital reconfigurable, los aspectos a verificar en la ejecución de la simulación son los establecidos en la tabla 3.4.

Prueba	Resultado Esperado
Generación de datos de fuente de información en Transmisión	Datos de información aleatorios en el rango establecido
Codificación	Datos Codificados de acuerdo a los valores de n y k
Modulación	Datos Modulados en MQAM de acuerdo al valor de M
Demodulación	Datos Demodulados en MQAM de acuerdo al valor de M
Decodificación	Datos decodificados de acuerdo a los valores de n y k
Datos en Recepción	Datos aleatorios en el rango establecido según datos transmitidos

Tabla 3.4. Verificación del software de simulación

y los valores obtenidos al realizar las pruebas se visualizan en las figuras 3.12 a 3.19

Verificación y resultados del generador de símbolos aleatorios 16-QAM

En la figura 3.12 se observan los datos aleatorios generados por la fuente de información que sigue una distribución uniforme en el intervalo $[0,15]$, permitiendo validar

que los símbolos generados corresponden a los esperados y por consiguiente a un conjunto válido de símbolos 16 QAM

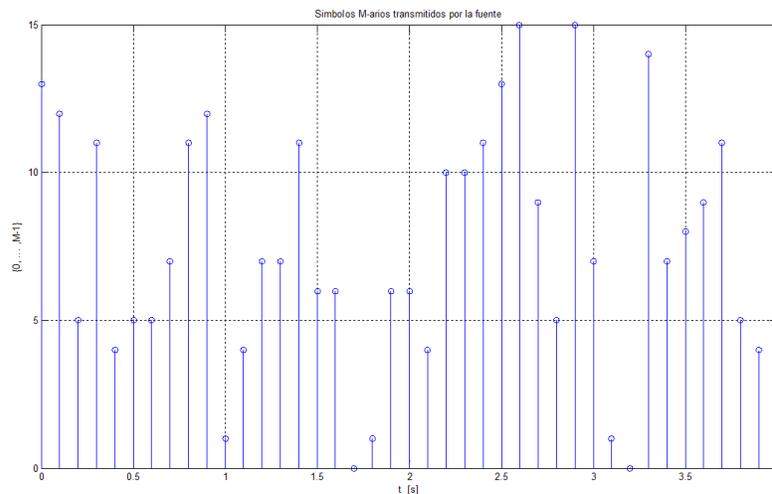


Figura 3.12. Datos generados aleatoriamente por la fuente de información en transmisión

Verificación y resultados del codificador cíclico (7,4)

En la figura 3.13 se observan los símbolos obtenidos a la salida del codificador cíclico (7,4), verificándose de esta manera que corresponden a los esperados, de acuerdo a que para una entrada de 4 símbolos (donde cada símbolo es un bit), se generan salidas de 7 símbolos permitiendo obtener valores entre 0 y 127 como se puede observar en la figura; verificando de la misma manera que para cada símbolo de entrada corresponde un símbolo codificado coherente con el polinomio generador $g(x) = 1 + x + x^3$.

Verificación y resultados del modulador 16-QAM

La figura 3.14 muestra el diagrama de constelaciones de las componentes en fase y cuadratura de los símbolos 16 QAM generados; en este diagrama se verifica la validez del conjunto de símbolos generados y la conformación de las componentes al interior del modulador, obteniendo unas componentes en fase y cuadratura con niveles desnormalizados 3, 1, -1, -3.

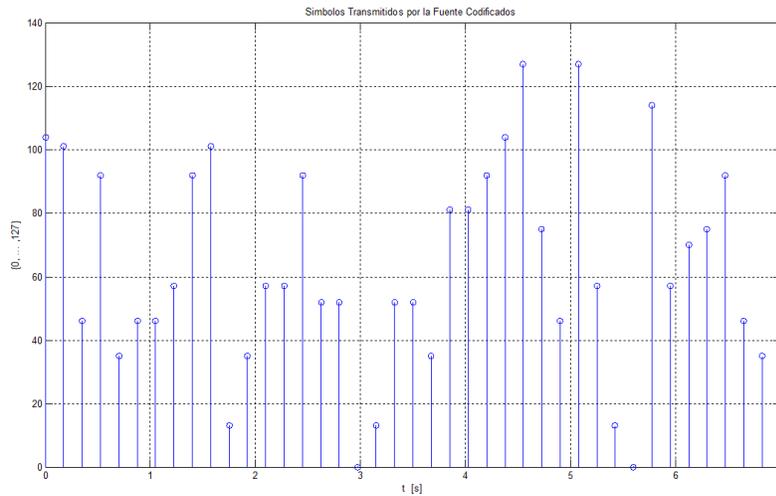


Figura 3.13. Datos codificados código cíclico (7,4)

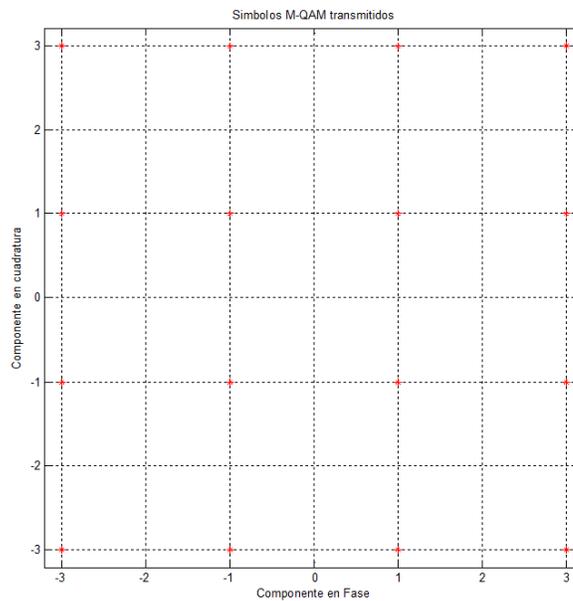


Figura 3.14. Símbolos 16-QAM transmitidos

La figura 3.15 muestra las componentes en fase y cuadratura de los símbolos 16 QAM generados; una vez han pasado las señales obtenidas del bloque anterior por los filtros de interpolación del modulador de tipo coseno realzado, lo cual permite obtener una mayor cantidad de muestras de cada señal de tal manera que adecúa las señales en fase y cuadratura para realizar el proceso de modulación. en este diagrama se verifica la validez del conjunto de símbolos generados y la conformación de las componentes al interior del modulador, permitiendo observar los diferentes niveles y fases de

las señales de acuerdo con el símbolo mapeado, donde el cuadrante es seleccionado por los dos bits más significativos de cada símbolo y a la fase seleccionada por los dos bits menos significativos de cada símbolo.

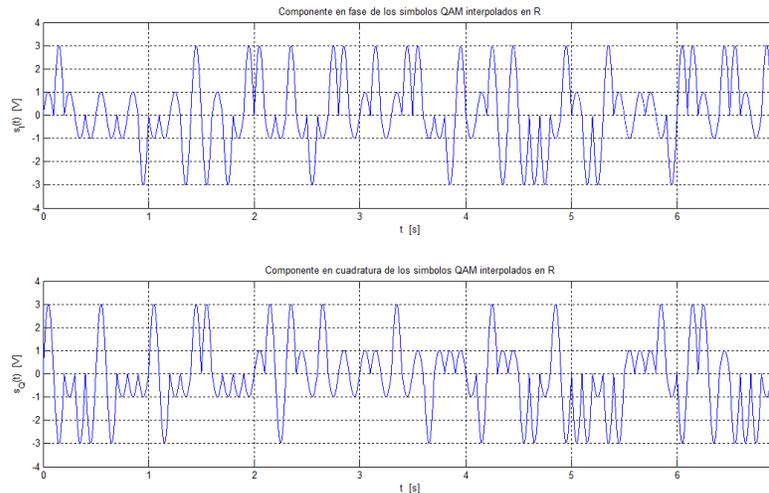


Figura 3.15. Componentes en fase y cuadratura de los símbolos 16-QAM

En la figura 3.16 se puede observar la salida del modulador, la cual es una señal compleja conformada por la suma compleja de las señales en fase y cuadratura moduladas por portadoras coseno - seno de fase 0 respectivamente, y obtenida a partir de las entradas en fase y cuadratura una vez filtradas y adecuadas a las características del transmisor y mezcladas con la portadoras correspondientes, obteniendo la señal 16 QAM apreciada en la figura.

Verificación y resultados del demodulador 16-QAM

La figura 3.17 muestra las componentes en fase y cuadratura correspondientes a la salida del demodulador 16 QAM en cuadratura, donde se puede apreciar la correspondencia con las señales obtenidas en el modulador una vez se ha realizado el proceso de filtraje; en esta gráfica se puede apreciar como a partir de estas componentes pueden ser recuperados los símbolos 16 QAM transmitidos originalmente implementando un detector de nivel.

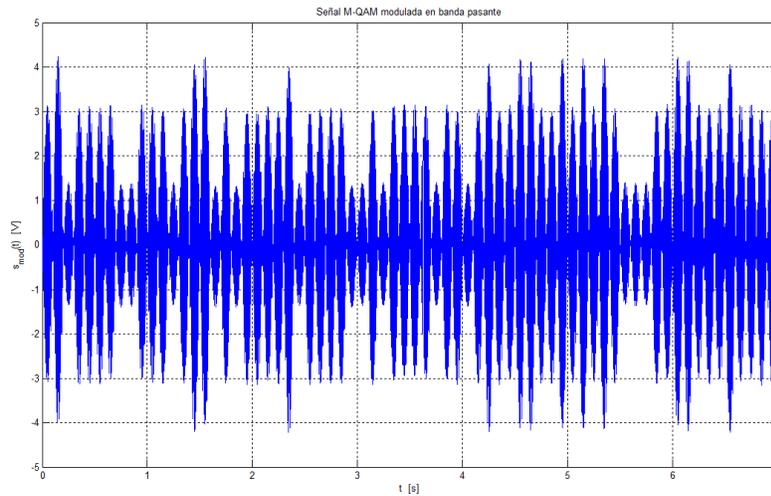


Figura 3.16. Señal modulada pasabanda 16-QAM

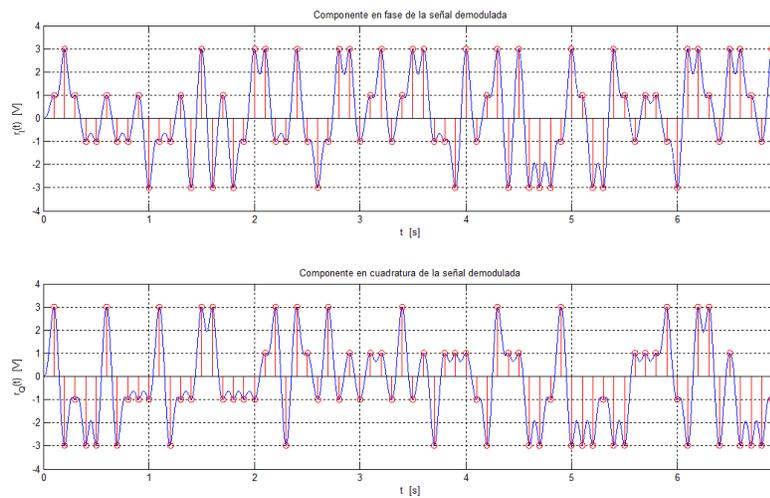


Figura 3.17. Símbolos 16-QAM estimados a partir de las componentes en fase y cuadratura de la señal demodulada

La figura 3.18 muestra el diagrama de constelaciones de las componentes en fase y cuadratura de los símbolos 16 QAM recibidos por el demodulador; en este diagrama se verifica la validez del conjunto de símbolos recuperados y la detección de niveles al interior del demodulador, obteniendo unas componentes en fase y cuadratura con niveles desnormalizados 3, 1, -1, -3.

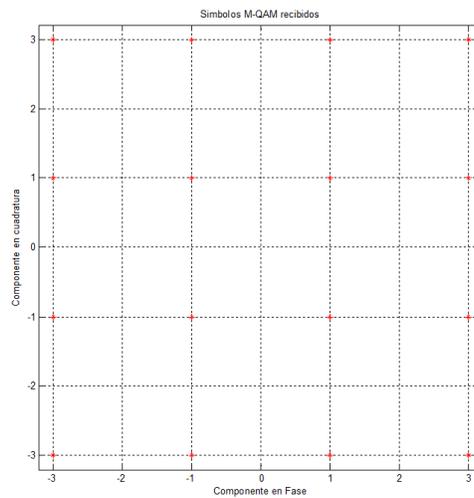


Figura 3.18. Constelación de símbolos 16-QAM recibidos

Verificación y resultados del decodificador cíclico (7,4)

En la figura 3.19 se observan los símbolos obtenidos a la salida del decodificador cíclico (7,4), verificándose de esta manera que corresponden a los esperados, de acuerdo a que para una entrada de 7 símbolos (donde cada símbolo es un bit), se generan salidas de 4 símbolos permitiendo obtener valores entre 0 y 15 como se puede observar en la figura; verificando de la misma manera que para cada símbolo de entrada corresponde un símbolo decodificado coherente con el polinomio generador $g(x) = 1 + x + x^3$.

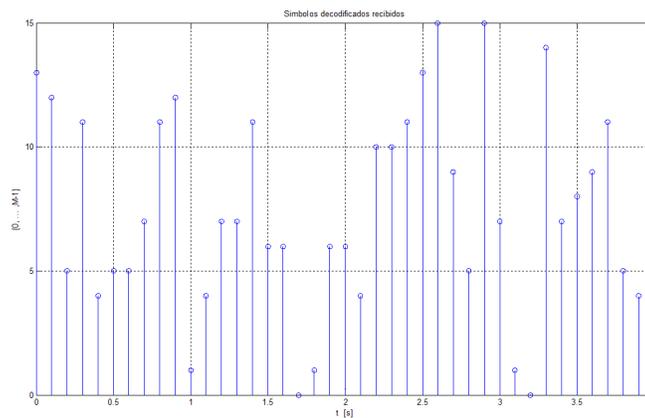


Figura 3.19. Datos decodificados recibidos

3.3 Análisis de Resultados de la simulación

La simulación realizada para la implementación de MQAM y codificación cíclica (n,k) con FEC k/n permitió obtener importantes conclusiones respecto al desempeño de la Modulación y Codificación Adaptativa como técnica contra los desvanecimientos en un sistema satelital reconfigurable. De igual manera permite verificar que los resultados obtenidos de la simulación de cada uno de los componentes del sistema conformado por el codificador, modulador, demodulador y decodificador se ajustan a los esperado y planteado a nivel teórico.

Los parámetros de iniciación utilizados en la simulación permiten reconfigurar el tipo de modulación utilizada por el sistema entre las posibles MQAM, además permiten la variación del FEC entre los valores escogidos de 1/4, 3/8, 1/2, 7/8; así:

Modulación: La simulación se implementó de tal manera que permite en el caso del sistema SDR reconfigurar el esquema de modulación utilizado entre los MQAM posibles, donde el parámetro M toma valores de 16, 32 y 64.

Codificación y FEC: La codificación utilizada y los valores de FEC son variables en el código de la simulación del sistema y por ende permite inferir cuales son las ventajas de la reconfiguración de este componente, a partir de la variación de los parámetros n y k respectivamente, que permitan obtener la tasa de codificación n/k deseada y por consiguiente el FEC n/k .

Relación Señal a Ruido: La relación señal a ruido es uno de los parámetros que varía en la simulación para a partir de ella y de acuerdo al esquema de modulación utilizado obtener la relación energía de bit a ruido ($\frac{E_b}{N_0}$) y los resultados del desempeño del sistema de acuerdo al par modulación codificación seleccionados y por ende las características que pueden presentar la utilización de plataformas satelitales reconfigurables basadas en SDR.

En la figura 3.20 se puede apreciar el comportamiento de la tasa de errores determinada por la BER (Bit Error Rate) en el eje vertical de la gráfica versus la energía de bit a ruido ($\frac{E_b}{N_0}$) en el eje horizontal para el caso de un sistema de modulación 16 QAM sin codificación y con codificación consiguiendo tasas de 1/2, 3/8 y 1/4.

La información proporcionada por la figura 3.20, permite verificar aspectos teóricos tales como el decremento de la tasa de errores en la medida que incrementa la relación ($\frac{E_b}{N_0}$), y el mejor comportamiento del sistema en la medida que se incorporan codificaciones que introducen una mayor cantidad de bits de paridad a la información de fuente.

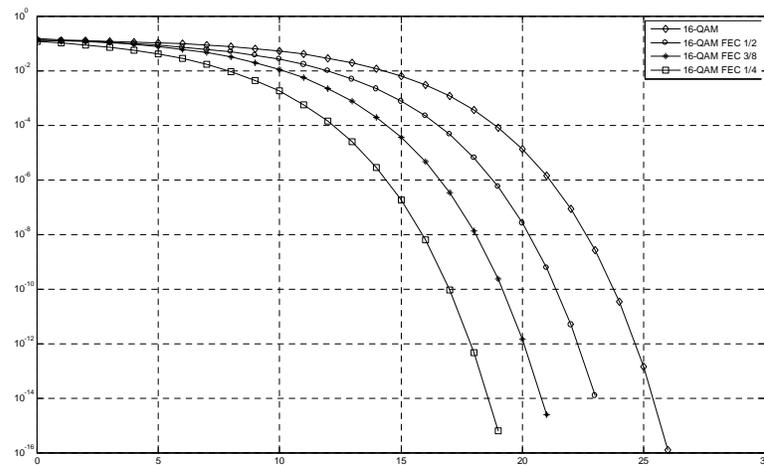


Figura 3.20. Desempeño de 16 QAM

En la figura 3.21 se puede apreciar el comportamiento de la tasa de errores determinada por la BER (Bit Error Rate) en el eje vertical de la gráfica versus la energía de bit a ruido ($\frac{E_b}{N_0}$) en el eje horizontal para el caso de un sistema de modulación 32 QAM sin codificación y con codificación consiguiendo tasas de 1/2, 3/8 y 1/4.

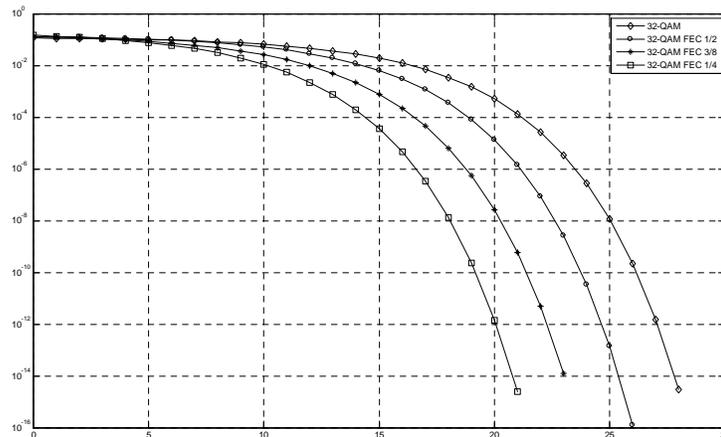


Figura 3.21. Desempeño de 32 QAM

La información proporcionada por la figura 3.21, permite verificar aspectos teóricos tales al igual que para el caso de 16 QAM, como el decremento de la tasa de errores en la medida que incrementa la relación ($\frac{E_b}{N_0}$), y el mejor comportamiento del sistema

en la medida que se incorporan codificaciones que introducen una mayor cantidad de bits de paridad a la información de fuente.

En la figura 3.22 se puede apreciar el comportamiento de la tasa de errores determinada por la BER (Bit Error Rate) en el eje vertical de la gráfica versus la energía de bit a ruido ($\frac{E_b}{N_0}$) en el eje horizontal para el caso de un sistema de modulación 64 QAM sin codificación y con codificación consiguiendo tasas de 1/2, 3/8 y 1/4.

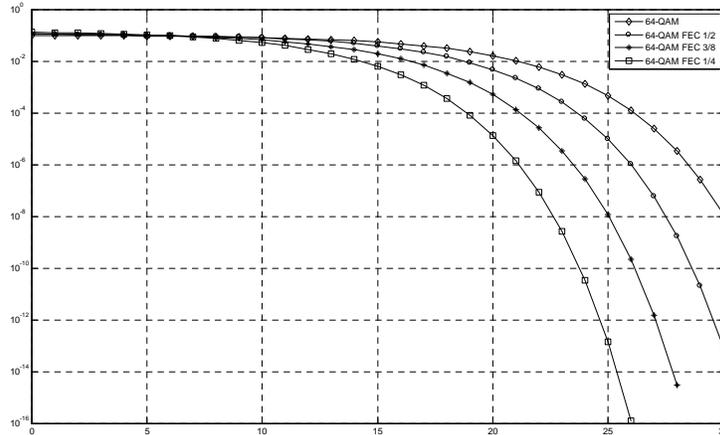


Figura 3.22. Desempeño de 64 QAM

La información proporcionada por la figura 3.22, permite verificar aspectos teóricos tales al igual que para el caso de 16 QAM y 32 QAM, como el decremento de la tasa de errores en la medida que incrementa la relación ($\frac{E_b}{N_0}$), y el mejor comportamiento del sistema en la medida que se incorporan codificaciones que introducen una mayor cantidad de bits de paridad a la información de fuente.

En las figuras 3.20, 3.21 y 3.22 se puede apreciar como varía la BER de acuerdo a la relación ($\frac{E_b}{N_0}$) pero más aún al comparar los resultados de las tres gráficas se puede apreciar un incrementode la BER para el mismo nivel de ($\frac{E_b}{N_0}$) en la medida que se incrementa la cantidad de bits por símbolo utilizados por el modulador, lo cual redundo en una mejoría de la eficiencia del sistema a costa de un incremento de potencia de transmisión.

Los resultados mostrados en las figuras 3.20, 3.21 y 3.22 permiten observar el comportamiento de cada uno de los desempeños de los diferentes pares modulación codificación MQAM - FEC. A pesar de visualizarse desempeños ya conocidos, permite vislumbrar las ventajas que la implementación de plataformas satelitales reconfigurables adaptativas puede proporcionar debido a que en el escenario de los sistemas

satelitales, los enlaces son fuertemente afectados por fenómenos atmosféricos, por consiguiente un margen adicional de potencia debe considerarse para evitar errores o periodos fuera de servicio. Este margen se mantiene constante para cada enlace ya que se calcula antes de ser implementado. Sin embargo, estos fenómenos aparecen solo durante algunos periodos de tiempo, pero el margen de potencia es considerado para todo el tiempo; tal situación representa potencia malgastada dado que el mismo desempeño del sistema se puede alcanzar con una menor potencia de transmisión cuando no existen fenómenos atmosféricos que degraden la señal de comunicaciones en el enlace. De hecho, todos los enlaces satelitales se diseñan utilizando la misma estrategia de transmisión sin tener en cuenta las condiciones instantáneas de propagación, por lo tanto un mejor desempeño podría obtenerse si los parámetros de transmisión fuesen dinámicos.

El uso de SDR permitiría a los sistemas satelitales ser conscientes de las condiciones de propagación y adaptar sus parámetros tanto en transmisión como en recepción a la señal de la manera más apropiada. Un resultado de implementar enlaces satelitales dinámicamente adaptables es que siempre el nivel de potencia será el requerido, por consiguiente no hay lugar a desperdicio de potencia y adicionalmente se garantiza que para unas condiciones de propagación determinadas, se mantendrá una alta tasa de transmisión y una baja BER siempre que se utilicen los pares modulación - codificación adecuados

Capítulo 4

Desarrollo del Prototipo del Componente Modulación - Codificación

4.1 Diseño del Modulador QAM

El diagrama en bloques del modulador QAM con salidas en fase y cuadratura se muestra en la figura 4.1 con salidas de la forma

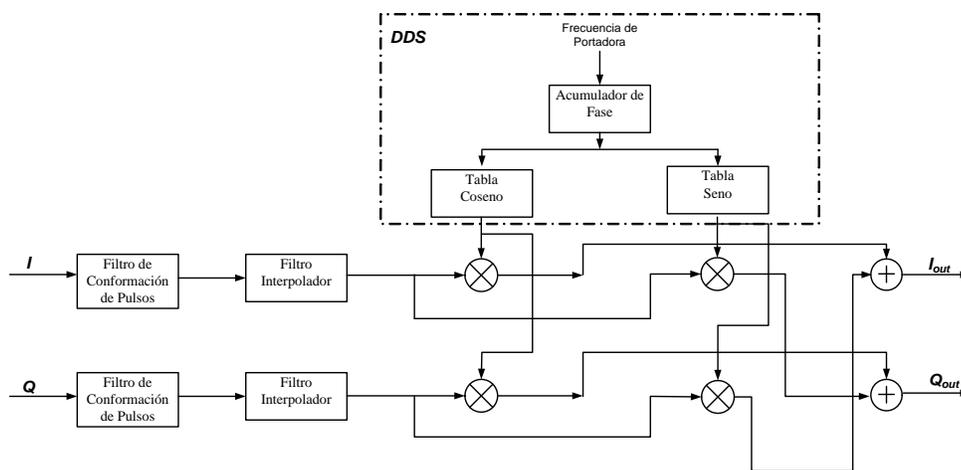


Figura 4.1. Esquema del modulador QAM con salidas en fase y cuadratura

$$I_{out}(n) = I(n) \cos(\omega_c n) + Q(n) \sin(\omega_c n) \quad (4.1)$$

y

$$Q_{out}(n) = Q(n) \cos(\omega_c n) - I(n) \sin(\omega_c n) \quad (4.2)$$

donde $I(n)$ y $Q(n)$ son los símbolos de datos conformados e interpolados en fase y cuadratura (Tan, 1995), en la cual la implementación directa requiere un total de cuatro multiplicaciones reales y dos sumas reales como lo muestra la figura 4.1, sin embargo se puede reformular 4.1 y 4.2 como (Wenzler, 1995)

$$I_{out}(n) = I(n) [\cos(\omega_c n) + \sin(\omega_c n)] + \sin(\omega_c n) [Q(n) - I(n)] \quad (4.3)$$

$$Q_{out}(n) = Q(n) [\cos(\omega_c n) - \sin(\omega_c n)] + \sin(\omega_c n) [Q(n) - I(n)] \quad (4.4)$$

donde la expresión $\sin(\omega_c n) [Q(n) - I(n)]$ aparece tanto en la salida en fase como en la salida en cuadratura, adicionalmente la cantidad de multiplicaciones reales se reduce a tres pero la cantidad de sumas reales se incrementa a cinco.

De la misma manera, las salidas en fase y cuadratura del modulador se pueden ver como

$$I_{out}(n) = I(n) \cos(\omega_c n) + Q(n) \sin(\omega_c n) \quad (4.5)$$

$$I_{out}(n) = A(n) \cos(\omega_c n - P(n)) \quad (4.6)$$

y

$$Q_{out}(n) = Q(n) \cos(\omega_c n) - I(n) \sin(\omega_c n) \quad (4.7)$$

$$Q_{out}(n) = A(n) \sin(\omega_c n - P(n)) \quad (4.8)$$

donde

$$A(n) = \sqrt{I^2(n) + Q^2(n)} \quad (4.9)$$

y

$$P(n) = \arctan\left(\frac{Q(n)}{I(n)}\right) \quad (4.10)$$

implementación en que se requieren solamente dos multiplicaciones reales y dos sumas reales pero se incrementa la complejidad de la implementación por la tangente inversa.

Por lo tanto, la implementación del modulador puede realizarse con una sola salida compleja representada por

$$O(n) = I(n) \cos\left(2\pi n \frac{f_c}{f_s}\right) + Q(n) \sin\left(2\pi n \frac{f_c}{f_s}\right) \quad (4.11)$$

donde f_s es la frecuencia de muestreo y f_c es la frecuencia de la portadora o frecuencia de la señal de salida del modulador cuyo diagrama en bloques se muestra en la figura 4.2

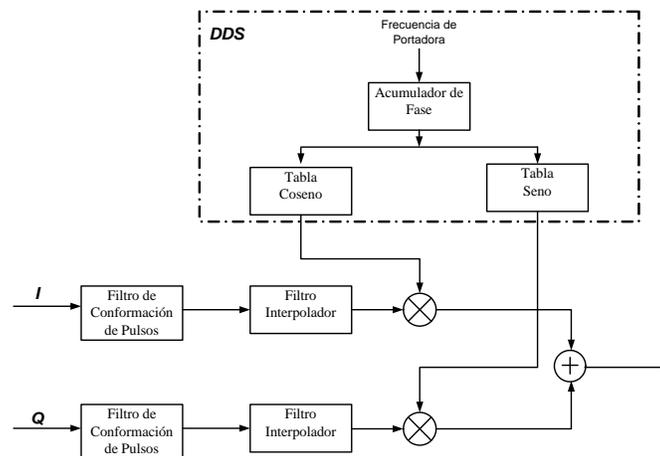


Figura 4.2. Esquema de modulador QAM

Considerando que en el muestreo de un oscilador senoidal o cosenoidal, la mitad de las muestras tomadas son cero, solamente se requiere de una interpolación por cuatro en el filtro de transmisión para el procesamiento de datos, por lo tanto el hardware requiere operar solamente a una frecuencia igual a $4/T_{\text{simbolo}}$, tal como se observa en el diagrama simplificado del modulador en la figura 4.3

El filtro conformador de pulsos reduce el ancho de banda de la señal transmitida, proporcionando un incremento en el número de canales disponibles, y al mismo tiempo manteniendo baja la interferencia de canal adyacente, además de minimizar la interferencia intersimbólica. El filtro de interpolación incrementa la tasa de muestreo y rechaza las imágenes del espectro de la señal, siendo fundamental que no introduzcan distorsiones de magnitud y de fase. El sintetizador digital (DDS) en cuadratura y los multiplicadores complejos se encargan de trasladar el espectro de banda base a frecuencia intermedia.

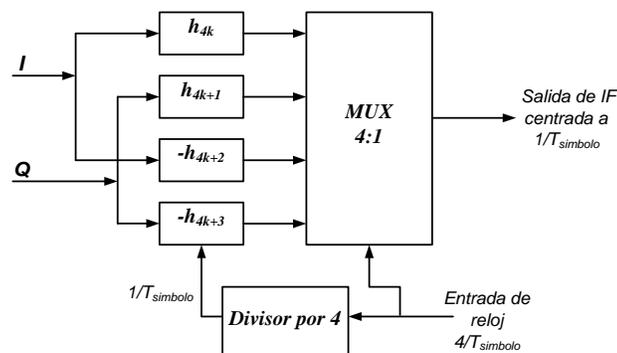


Figura 4.3. Esquema simplificado del modulador QAM

4.2 Implementación del Modulador 16 QAM.

El diagrama de la implementación del modulador 16QAM en la herramienta de desarrollo de Xilinx System Generator se muestra en la figura 4.4. El modulador se encuentra constituido por un bloque de conversión serie a paralelo, el cual se encarga de realizar la conversión de los datos seriales de entrada a símbolos 16QAM, estos símbolos a su vez son empleados para seleccionar la salida de los multiplexores los cuales se encargan de la conformación de las componentes en fase y cuadratura de la señal QAM, posteriormente las componentes en fase y cuadratura de la señal pasan a los filtros de transmisión, que son interpoladores de paso bajo permitiendo obtener a la salida de los mismos las componentes en fase y cuadratura limitadas en banda, que posteriormente serán convertidas hacia arriba en el bloque mezclador cuya implementación se muestra en la figura 4.5, el cual a su vez, hace uso de un NCO para la generación de las señales Seno y Coseno a la frecuencia deseada de portadora. El bloque utiliza una ROM para generar sinusoides, un integrador el cual opera como acumulador genera una fase la que se mapea en la ROM como direcciones que permiten obtener el valor del senoide de salida de acuerdo a la fase de entrada, el incremento y desplazamiento de fase pueden ser definidos como constantes o pueden establecerse de forma dinámica a través de los puertos del oscilador, estos valores se definen en términos de ciclos por muestra, lo cual implica que por ejemplo para un incremento de fase de un décimo (1/10), un senoide se completa después de diez periodos de muestreo. Una vez el incremento de fase se acumula, el desplazamiento de fase se adiciona al resultado.

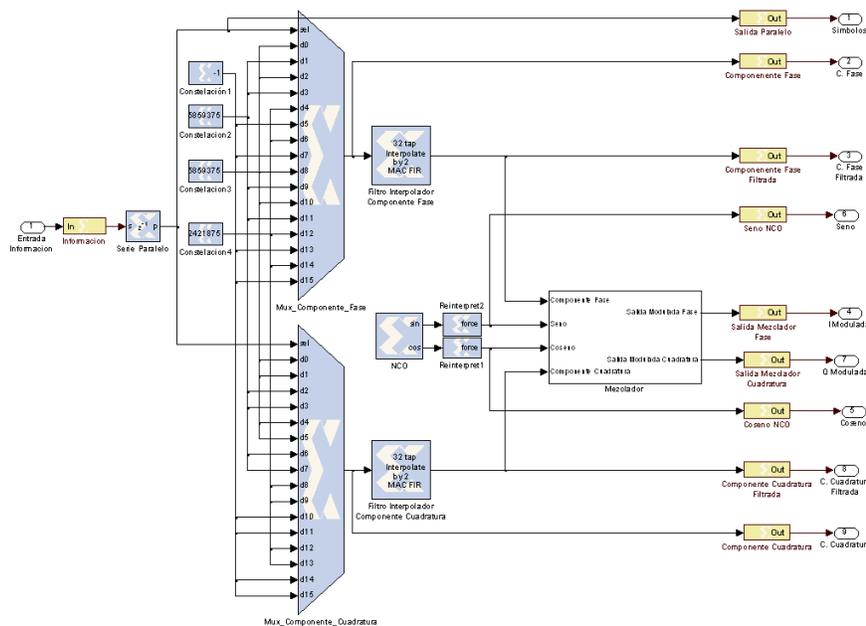


Figura 4.4. Modulador 16QAM implementado en xilinx system generator

La implementación del bloque mezclador se muestra en la figura 4.5, el cual realiza el producto de las componentes en fase y cuadratura de la señal permitiendo el proceso de conversión hacia arriba; este producto se efectúa con un multiplicador complejo el cual consta de cuatro bloques multiplicadores reales y dos sumadores restadores reales que se encargan de entregar la parte real y la parte imaginaria del producto, las cuales corresponden a las componentes en fase y cuadratura moduladas.

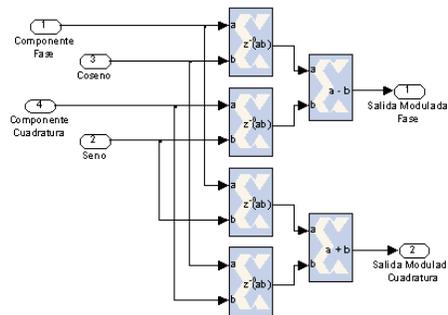


Figura 4.5. Mezclador modulador 16QAM xilinx system generator

4.3 Diseño del Demodulador QAM

El diagrama general del demodulador QAM se muestra en la figura 4.6.

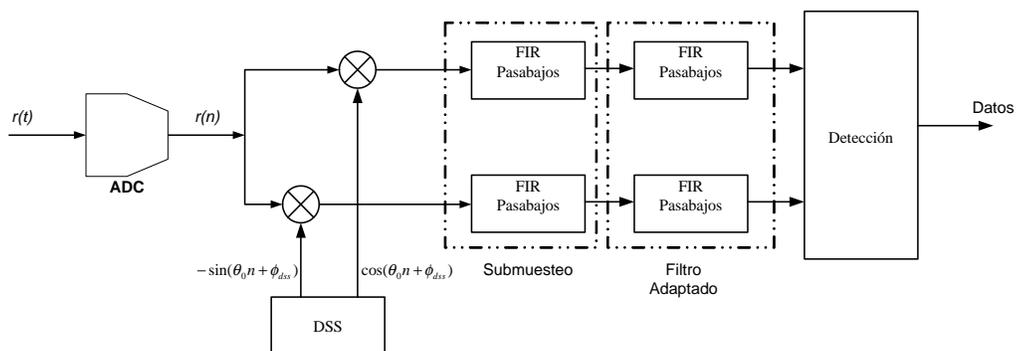


Figura 4.6. Esquema básico del demodulador QAM

Los multiplicadores de cuadratura y los filtros producen una estimación de las amplitudes en cuadratura, las cuales son las bases de la identificación de símbolos. La sincronización de portadora realiza la conversión a banda base de las componentes

en cuadratura de la señal usando réplicas de fase coherentes de las portadoras en cuadratura.

Para el caso de la implementación del demodulador, uno de los componentes mas importantes es el DPLL (*Digital Phase Locked Loop*), el cual emplea un filtro sumador proporcional integrativo y un camino directo escalado como se muestra en la figura 4.7.

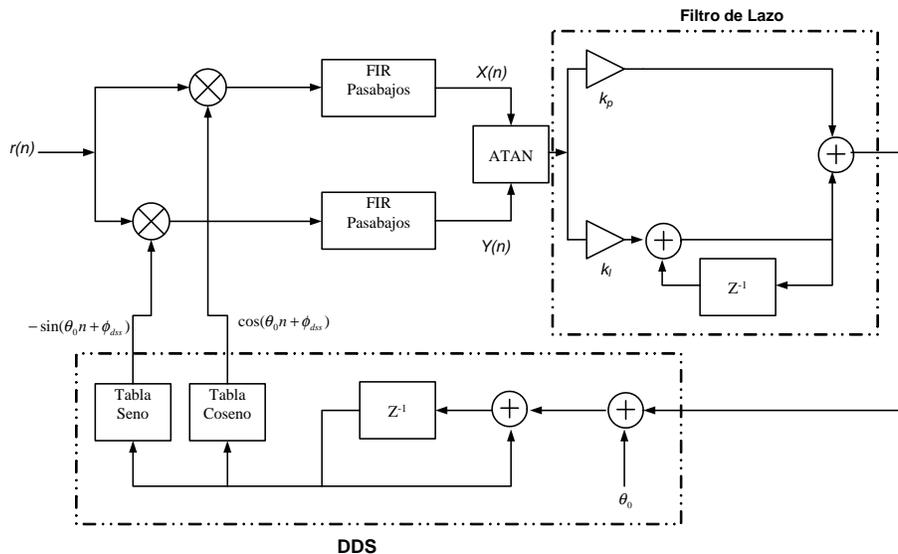


Figura 4.7. DPLL para sincronización de fase

Los coeficientes del filtro, K_p y K_i , controlan el ancho de banda del PLL y el factor de derrape; en esta implementación el NCO (Oscilador Controlado Numéricamente) se conforma por medio de un sintetizador digital directo (DDS) y el detector de fase se implementa a través de la tangente inversa por medio del bloque que lleva su nombre.

Puesto que la fase de la señal modulada en QAM es dependiente de los datos, el detector de fase debe demodular la señal recibida y producir una señal proporcional a la diferencia de fase entre las portadoras locales y las recibidas. La complejidad del detector de fase se puede reducir por medio del cálculo de una señal proporcional al seno de la diferencia de fase $\Delta\phi = \phi - \phi_{dss}$ y como la función $\sin(\Delta\phi)$ es monótonica con $-\pi/2 \leq \Delta\phi \leq \pi/2$ siendo un buen estimador de fase en este intervalo y para pequeños valores de $\Delta\phi$, $\sin(\Delta\phi) \approx \Delta\phi$, entonces la función seno se aproxima a un detector de fase ideal para valores pequeños de $\Delta\phi$.

El error de fase se obtiene comparando la diferencia de fase entre la señal recibida $x(n) + jy(n)$ y el punto mas cercano de la constelación $I(n) + jQ(n)$ tal como se muestra en la figura 4.8

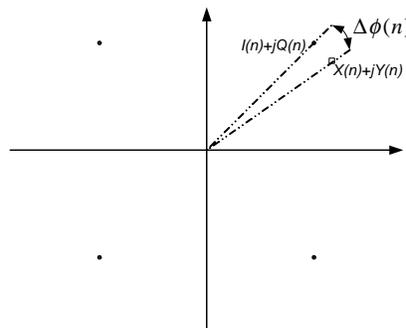
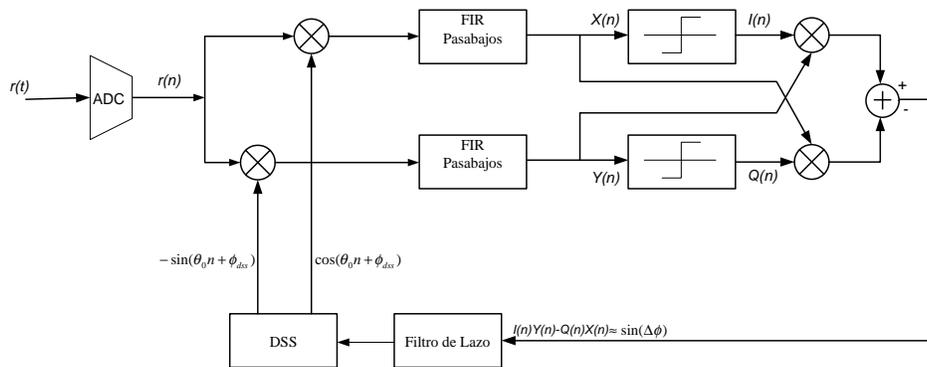


Figura 4.8. DPLL implementado con productos cruzados y la constelación

Para la constelación de ejemplo, los cuatro puntos pertenecientes a la constelación son ubicados en el centro de los cuatro cuadrantes, luego el punto mas cercano de la constelación es calculado por medio del signo de las magnitudes de las componentes en fase y cuadratura y el seno de la diferencia de fase puede expresarse como

$$\sin(\Delta\phi) = \frac{I(n)Y(n) - Q(n)X(n)}{\sqrt{I^2(n) + Q^2(n)}\sqrt{X^2(n) + Y^2(n)}} \tag{4.12}$$

La ecuación 4.12 muestra que el error de fase es proporcional al seno de la diferencia de fase, que puede ser generado a partir de la diferencia de los productos cruzados $I(n)Y(n) - Q(n)X(n)$, por lo tanto, el detector de fase para una constelación densa como 16QAM debe contener mas comparaciones para determinar el punto más cercano de la constelación, por esta razón esta función se implementa utilizando un particionador como se muestra en la figura 4.9

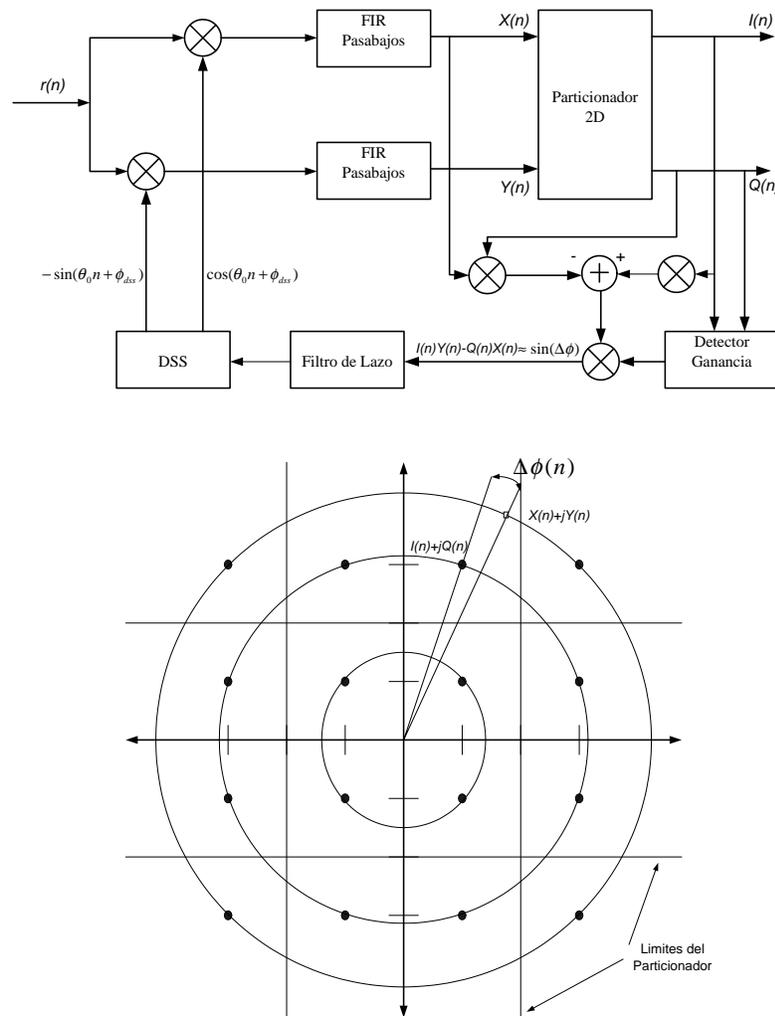


Figura 4.9. DPLL para 16QAM

Los puntos de la constelación de 16QAM residen en uno de tres contornos indicando su distancia desde el origen, el radio del contorno mayor, representa señales con una alta relación señal a ruido y la medición de fase para puntos ubicados en este contorno presentan menor ruido por lo que el PLL debe controlar la ganancia de acuerdo al radio del símbolo detectado, función que es desempeñada por el bloque de detección de ganancia que se muestra en la figura 4.9.

4.4 Implementación del Demodulador 16 QAM

El diagrama de la implementación del demodulador 16QAM en la herramienta de desarrollo de Xilinx System Generator se muestra en la figura 4.10. El demodulador está conformado por un bloque mezclador el cual se muestra en la figura 4.5 fué el utilizado por el modulador; un bloque detector de fase que cumple la función de la recuperación

de la fase de la portadora de la señal modulada puesto que la fase de la señal modulada en QAM es dependiente de los datos, el detector de fase debe producir una señal proporcional a la diferencia de fase entre las portadoras locales y las recibidas, permitiendo calcular una señal proporcional al seno de la diferencia de fase $\Delta\phi = \phi - \phi_{dss}$ tal como se describe en el numeral anterior de diseño. Un bloque DPLL para el enganche de portadora y que permite generar el error de fase que sea alimenta al NCO el cual se implementa de igual manera al utilizado por el modulador.

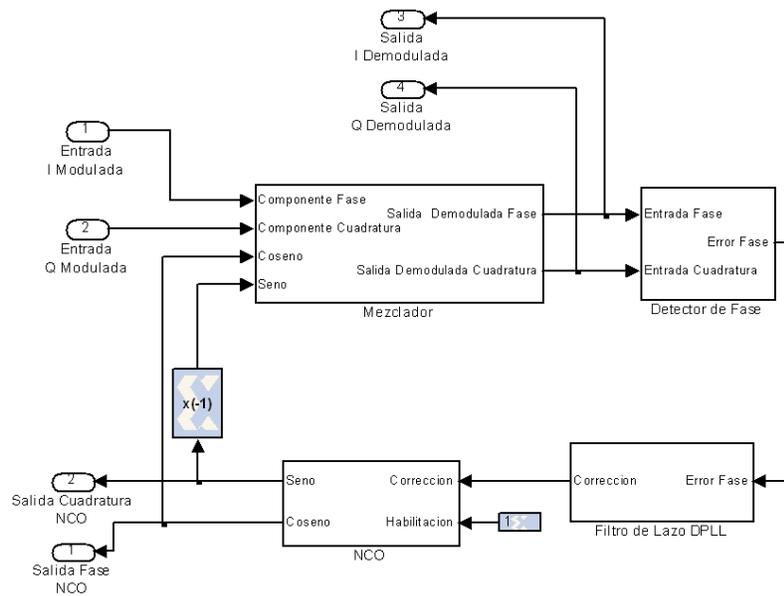


Figura 4.10. Demodulador 16QAM en xilinx system generator

La implementación del bloque detector de fase se muestra en la figura 4.11, este bloque a su vez consta de tres sub-bloques, un primer sub-bloque particionador (Slicer) bidimensional, al cual ingresan las componentes en fase y cuadratura convertidas hacia abajo, este permite segmentar en dieciseis regiones de decisión el diagrama de constelaciones de la señal 16QAM, de tal forma que cada símbolo puede ser identificado según la región de decisión en la cual se presente, posteriormente, se realiza la aproximación planteada para la ecuación 4.12, la cual, muestra que el error de fase es proporcional al seno de la diferencia de fase, que puede ser generado a partir de la diferencia de los productos cruzados $\sin(\Delta\phi) \approx I(n)Y(n) - Q(n)X(n)$; y finalmente un sub-bloque que realiza el cálculo de la arcotangente de la posición del símbolo recibido versus la posición del símbolo correspondiente de la constelación más probable y obtener el error de fase de la portadora.

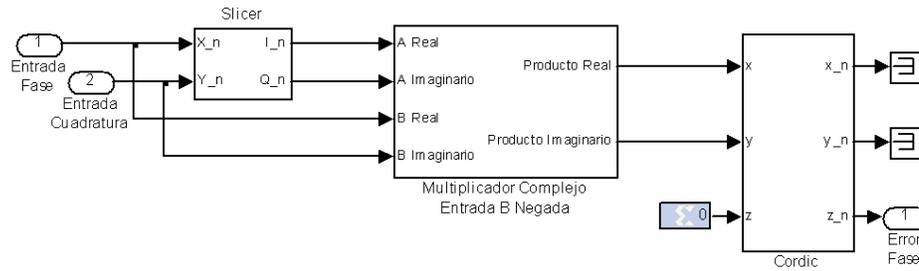


Figura 4.11. Detector de fase en xilinx system generator

La implementación del sub-bloque particionador (Slicer) bidimensional se muestra en la figura 4.12 que consiste principalmente de comparadores y una memoria ROM en la cual se almacenan los valores propios de la constelación 16QAM que toman tanto la componente en fase como la componente en cuadratura. Los comparadores se encuentran implementados a partir de un trozador que permite extraer el bit más significativo del símbolo en el receptor para determinar en que cuadrante del plano complejo se encuentra el símbolo, un multiplexor que da paso del valor del símbolo a un bloque relacional de acuerdo al cuadrante en el cual se encuentre, los dos bloques relacionales permiten identificar la región de decisión en la cual está el símbolo recibido y de acuerdo a ello, seleccionar la dirección de la memoria en la que reside el valor esperado de la constelación correspondiente al símbolo procesado.

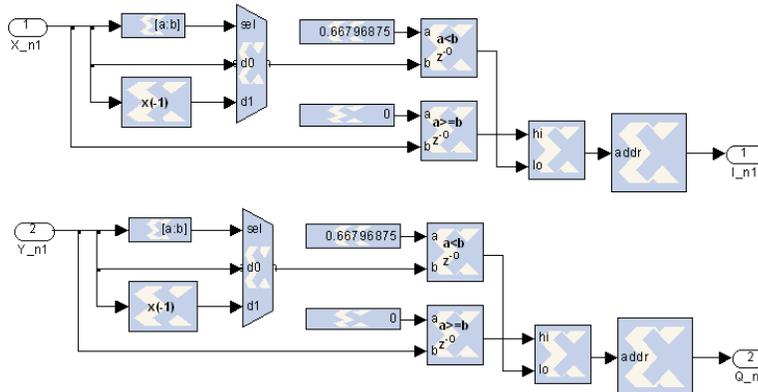


Figura 4.12. Slicer en xilinx system generator

La implementación del sub-bloque Multiplicador Complejo con Entrada B complementada se muestra en la figura 4.13, el cual realiza el producto de los valores complejos correspondientes a las componentes en fase y cuadratura de la señal con los valores complejos estimados por el sub-bloque anterior para obtener la señal $I(n)Y(n) -$

$Q(n)X(n)$ que permita determinar el error de fase de la portadora; este producto se efectúa con un multiplicador complejo el cual consta de cuatro bloques multiplicadores reales y dos sumadores restadores reales que se encargan de entregar la parte real y la parte imaginaria del producto al igual que en el mezclador utilizado por el modulador, con la diferencia, que la salida corresponde al producto de la entrada A con la entrada B complementada.

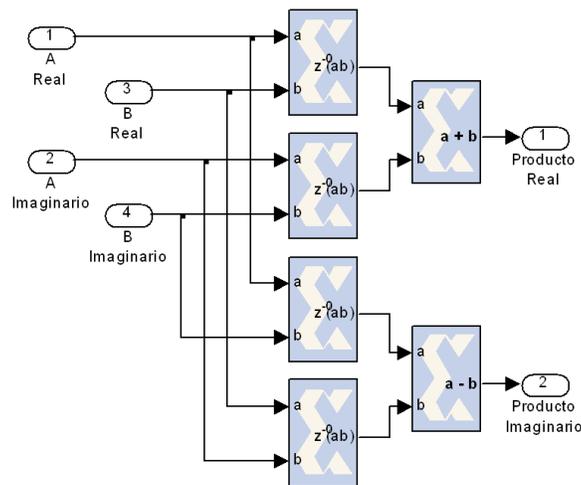
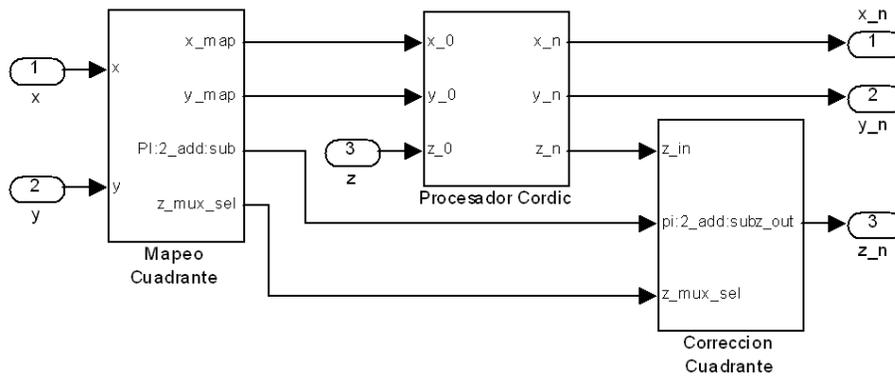


Figura 4.13. Multiplicador complejo entrada B complementada en xilinx system generator

La implementación del sub-bloque CORDIC se muestra en la figura 4.14, este sub-bloque se encuentra conformado por tres sub-bloques adicionales, los cuales desempeñan las funciones de mapear los símbolos recibidos en los cuadrantes correspondientes de tal manera que la salida del primer sub-bloque corresponde a las coordenadas del símbolo recibido, el segundo sub-bloque permite realizar el cálculo de la arcotangente de y/x mediante rotaciones iterativas utilizando el algoritmo CORDIC, de tal manera que la entrada del bloque son las coordenadas del punto inicial $x_0 = R \cos(\theta)$, $y_0 = R \sin(\theta)$, $z_0 = 0$ y la salida son las coordenadas del punto final $x_n = R$, $y_n = 0$, $z_n = \theta$ donde θ es el error de fase, un tercer y último sub-bloque permite realizar la corrección del cuadrante de acuerdo al error de fase.



θ

Figura 4.14. Bloque CORDIC en xilinx system generator

El sub-bloque de mapeo de cuadrante se muestra en la figura 4.15, el cual se encuentra compuesto por dos bloques slice que permiten extraer el bit de signo del punto (x, y) correspondiente a las coordenadas del símbolo recibido multiplicado por los valores estimados, los cuales permiten, a través de una ROM que contiene almacenados los valores adecuados de selección de los multiplexores, generar las coordenadas del punto (x_0, y_0) a partir del cual se da inicio a las rotaciones que permiten obtener el error de fase.

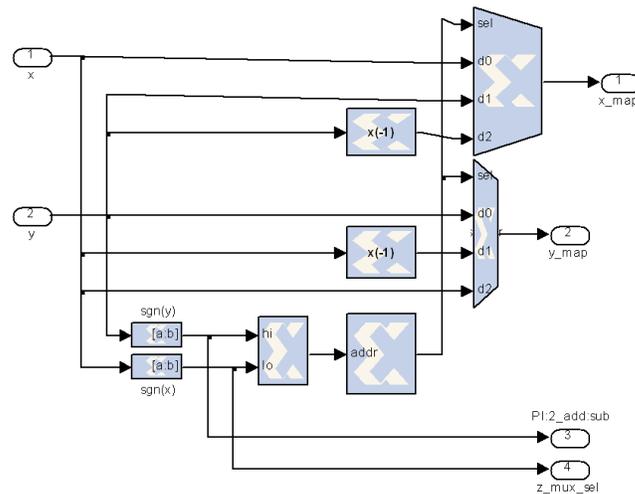


Figura 4.15. Mapeo cuadrante en xilinx system generator

El sub-bloque procesador CORDIC se muestra en la figura 4.15, este se encuentra conformado por 5 sub-bloques, los cuales cada uno desempeña una subrotación de

las coordenadas de entrada $x_0 = R \cos(\theta)$, $y_0 = R \sin(\theta)$, $z_0 = 0$, obteniendo a la salida de cada iteración coordenadas $x_{i+1} = x_i \cos(\theta_i) - y_i \sin(\theta_i)$, $y_{i+1} = y_i \cos(\theta_i) + x_i \sin(\theta_i)$, $z_{i+1} = z_i - \theta_i$, para en la rotación final obtener $x_n = R$, $y_n = 0$, $z_n = \theta$.

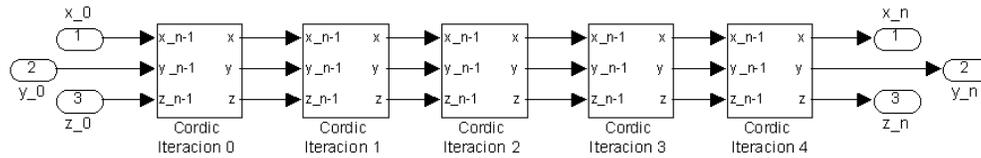


Figura 4.16. Procesador CORDIC en xilinx system generator

La implementación de cada sub-bloque de iteración se muestra en la figura 4.17, se encuentra conformado por un slicer que permite extraer el bit de signo de las coordenadas del punto permitiendo escoger si se realizará una rotación incremental o decremental, de acuerdo al desplazamiento programado en el bloque respectivo.

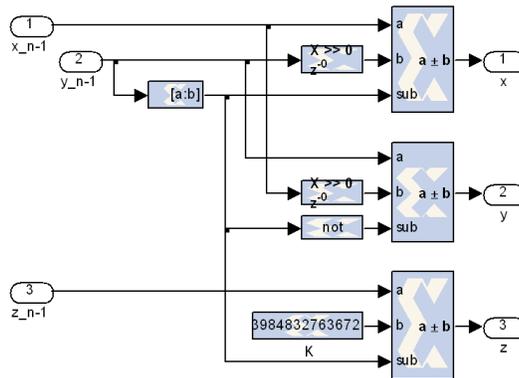


Figura 4.17. CORDIC iteración n en xilinx system generator

La implementación del sub-bloque corrección de cuadrante se muestra en la figura 4.18 este se encuentra constituido por un sumador restador y un multiplexor que permite seleccionar la salida dependiendo de si existe o no error de fase mediante adición, o sustracción del error en caso de haberlo.

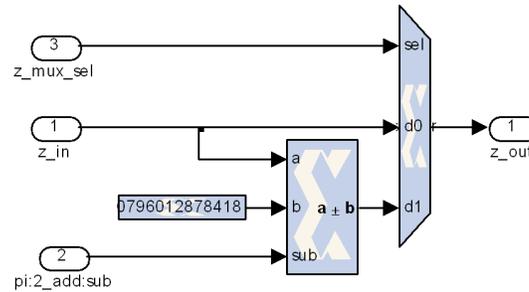


Figura 4.18. Corrección cuadrante en xilinx system generator

La implementación del sub-bloque corrección de cuadrante se muestra en la figura 4.19, este está compuesto por dos multiplicadores, dos sumadores y un retardo permitiendo implementar el filtro de lazo mediante el filtro sumador proporcional integrativo y un camino directo escalado como se muestra en la figura 4.7, permitiendo obtener la corrección de fase adecuada de la señal portadora a ser generada por el NCO.

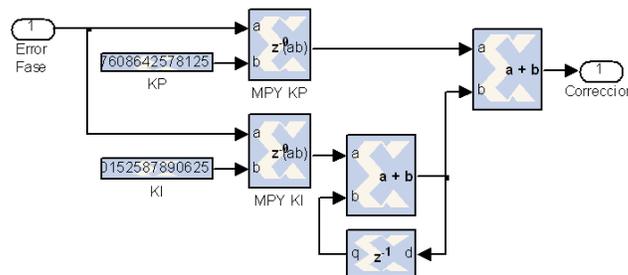


Figura 4.19. Filtro de lazo DPLL en xilinx system generator

4.5 Diseño del Codificador Cíclico (7,4)

Para diseñar un codificador cíclico sistemático, se siguen las siguientes etapas:

1. Calcular $x^{n-k}m(x)$
2. Dividir por $g(x)$ y calcular el residuo $d(x)$
3. Calcular $x^{n-k}m(x) - d(x)$

La figura 4.20 muestra un circuito que satisface los pasos descritos anteriormente

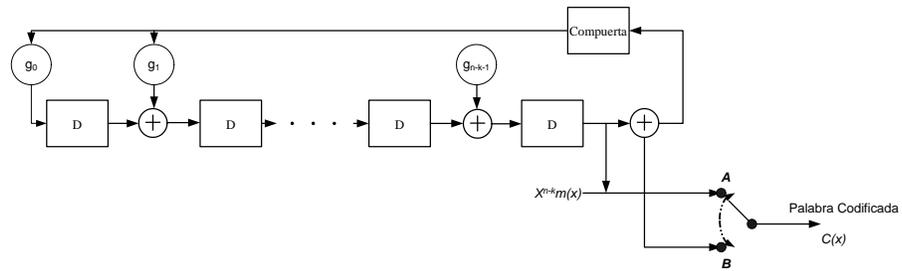


Figura 4.20. Circuito para codificación sistemática utilizando $g(x)$

En el diagrama la estructura de las conexiones es igual que la de un divisor polinomial, sin embargo en lugar de alimentar la señal a través del extremo izquierdo del circuito, la señal es alimentada por el extremo derecho, correspondiendo al desplazamiento de x^{n-k} la señal luego es dividida por la estructura de realimentación; los que se siguen para la realización de la operación son los siguientes:

1. Cuando la compuerta se encuentra abierta y el conmutador en la posición A, los símbolos de mensaje $m_{k-1}, m_{k-2}, \dots, m_0$ son alimentados en este orden al sistema de realimentación y simultáneamente en el canal de comunicaciones, cuando el mensaje ha sido desplazado completamente, los $n - k$ símbolos en el registro forman el residuo, que corresponden a los símbolos de paridad.
2. Luego la compuerta se cierra aislando el sistema de realimentación, el conmutador se mueve a la posición B.
3. El sistema recibe $n - k$ ciclos de reloj mas para desplazar los símbolos de paridad al canal.

Para el caso de un codificador (7,4) con polinomio generador $g(x) = 1 + x + x^3$ el codificador sistemático se muestra en la figura 4.21

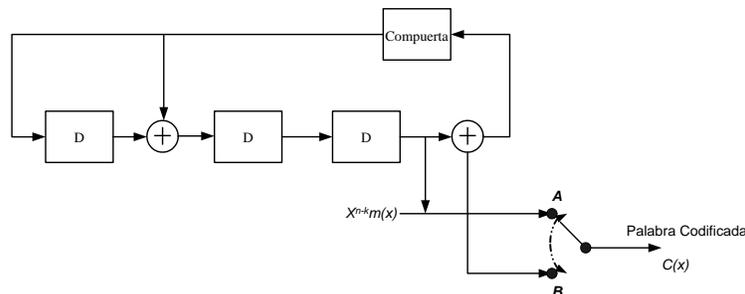


Figura 4.21. Codificador sistemático (7,4) utilizando $g(x) = 1 + x + x^3$

Por ejemplo para un mensaje $m(x) = x + x^2 + x^3$ el contenido del registro se muestra en la tabla 4.1

Entrada	Contenido del registro
Estado inicial	000
1	110
1	101
1	010
0	001

Tabla 4.1. Contenido del registro de desplazamiento para el codificador (7,4)

dependiendo del contenido del registro una vez el mensaje ha pasado por el sistema de realimentación es el residuo, entonces $d(x) = x^2$ y la secuencia de salida despues de 3 ciclos de reloj es c=(0 0 1 0 1 1 1)

4.6 Implementación del Codificador Cíclico (7,4)

El diagrama de la implementación del codificador Reed Solomon (7,4) en la herramienta de desarrollo de Xilinx System Generator se muestra en la figura 4.22. El codificador está conformado por un bloque de propiedad intelectual de Xilinx RS Encoder en el que mediante parametrización se puede conseguir cualquier FEC.

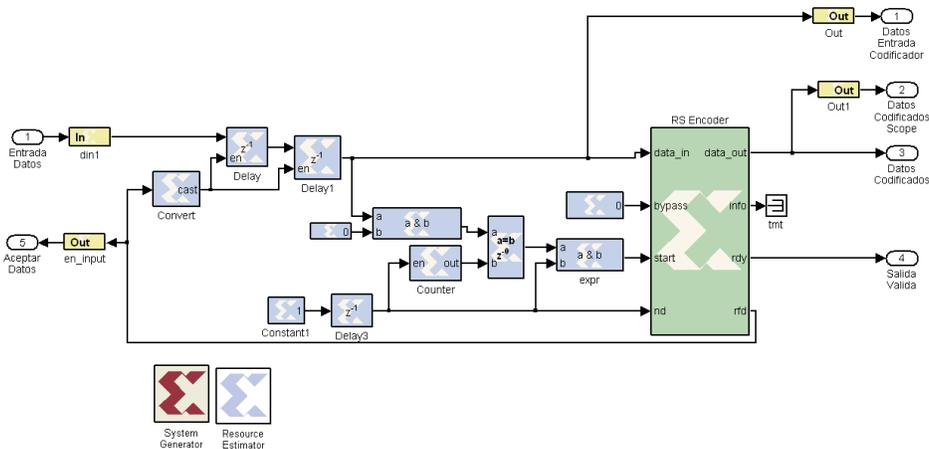


Figura 4.22. Codificador RS(7,4) en xilinx system generator

Los bloques externos al RS Encoder conforman por una parte la lógica de ingreso de datos de acuerdo al retardo manejado por el bloque RS Encoder y la lógica de control de codificación, ya que se requiere que la fuente de datos almacene la información en un buffer mientras el codificador inserta los símbolos de paridad. Estas lógicas se encuentran implementadas a través de bloques de retardo para la primera (lógica de ingreso de datos) y a través de un contador y un comparador que permiten identificar el inicio de generación de datos por parte de la fuente, y el momento en el cual el codificador se encuentra disponible para recibir nuevos datos.

4.7 Diseño del Decodificador Cíclico (7,4)

Sea $s(x)$ el síndrome correspondiente a $m(x)$, con $r(x) = q(x)g(x) + s(x)$; y sea $r^{(1)}(x)$ el polinomio obtenido por un desplazamiento cíclico a la derecha de $r(x)$ y sea $s^{(1)}(x)$ su síndrome, por lo tanto $s^{(1)}(x)$ es el residuo obtenido cuando se divide $xs(x)$ por $g(x)$, en otras palabras, los síndromes de desplazamientos de $r(x) \bmod(x^n - 1)$ son desplazamientos de $s(x) \bmod(g(x))$.

Con $r(x) = r_0 + r_1x + \dots + r_{n-1}x^{n-1}$ el desplazamiento cíclico $r^{(1)}(x)$ es $r^{(1)}(x) = r_{n-1} + r_0x + \dots + r_{n-2}x^{n-1}$ el cual puede ser escrito como $r^{(1)}(x) = xr(x) - r_{n-1}(x^n - 1)$ usando el algoritmo de división y el hecho que $x^n - 1 = g(x)h(x)$ se tiene que $q^{(1)}(x)g(x) + s^{(1)}(x) = x[q(x)g(x) + s(x)] - r_{n-1}g(x)h(x)$ donde $s^{(1)}(x)$ es el residuo al dividir $r^{(1)}(x)$ por $g(x)$, luego reorganizando se tiene

$$xs(x) = [q^{(1)}(x) + r_{n-1}h(x) - xq(x)]g(x) + s^{(1)}(x)$$

por consiguiente $s^{(1)}(x)$ es el residuo de la división de $xs(x)$ por $g(x)$.

Luego por inducción, el síndrome $s^{(i)}(x)$ que corresponde al desplazamiento cíclico de $r(x)$ i veces para producir $r^{(i)}(x)$ se obtiene a partir del residuo de $x^i s(x)$ cuando se divide por $g(x)$, por lo tanto la implementación puede realizarse utilizando circuitería que calcule el residuo $s(x)$ i veces.

Por ejemplo para el caso del decodificador (7,4) con polinomio generador $g(x) = 1 + x + x^3$, y sea $r(x) = x + x^2 + x^4 + x^5 + x^6$ el vector recibido, luego los desplazamientos cíclicos de $r(x)$ y sus respectivos síndromes son los relacionados en la tabla.4.2

Polinomio	Síndrome
$r(x) = x + x^2 + x^4 + x^5 + x^6$	$s(x) = x$
$r^{(1)}(x) = 1 + x^2 + x^4 + x^5 + x^6$	$s^{(1)}(x) = x^2$
$r^{(2)}(x) = 1 + x + x^3 + x^5 + x^6$	$s^{(2)}(x) = 1 + x$
$r^{(3)}(x) = 1 + x + x^3 + x^5 + x^6$	$s^{(3)}(x) = x + x^2$
$r^{(4)}(x) = x + x^2 + x^3 + x^5 + x^6$	$s^{(4)}(x) = 1 + x + x^2$
$r^{(5)}(x) = 1 + x^2 + x^3 + x^4 + x^6$	$s^{(5)}(x) = 1 + x^2$
$r^{(6)}(x) = 1 + x + x^3 + x^4 + x^5$	$s^{(6)}(x) = 1$

Tabla 4.2. Síndromes del desplazamiento de $r(x)$

La figura 4.23 muestra el circuito que divide por $g(x)$ produciendo el residuo $s(x) = s_0 + s_1x + s_2x^2$ en su registro.

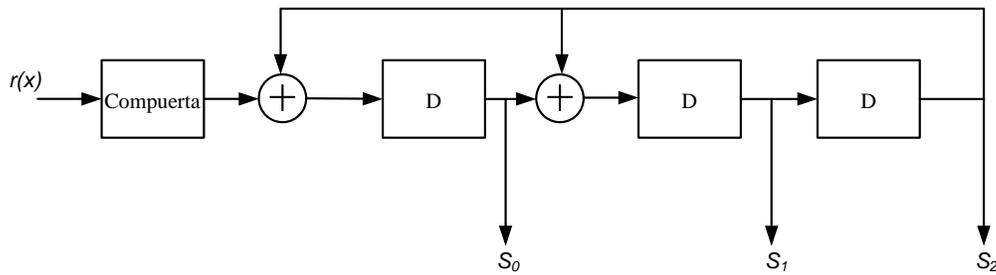


Figura 4.23. Circuito para el cálculo del síndrome del decodificador sistemático (7,4) con $g(x) = 1 + x + x^3$

Suponiendo que la compuerta se encuentra inicialmente cerrada y $r(x)$ pasa por el registro durante los siete primeros ciclos de reloj produciendo el síndrome $s(x)$, luego del séptimo ciclo de reloj la compuerta se abre y se introducen seis ciclos de reloj más al sistema obteniendo en cada ciclo el síndrome $s^{(i)}(x)$ correspondiente al desplazamiento cíclico del polinomio $r^{(i)}(x)$ como se muestra en la tabla.4.3.

Pulso de reloj	Entrada	Registro	Síndrome
Inicio		000	
1	1	100	
2	1	110	
3	1	111	
4	0	101	
5	1	000	
6	1	100	
7	0	010	$s(x) = x$
Compuerta abierta			
8		001	$s^{(1)}(x) = x^2$
9		110	$s^{(2)}(x) = 1 + x$
10		011	$s^{(3)}(x) = x + x^2$
11		111	$s^{(4)}(x) = 1 + x + x^2$
12		101	$s^{(5)}(x) = 1 + x^2$
13		000	$s^{(6)}(x) = 0$

Tabla 4.3. Cálculo del síndrome y su desplazamiento cíclico para el decodificador (7,4)

Por consiguiente, solo es necesario calcular un síndrome s para un error e y todos los desplazamientos cíclicos de e , por lo tanto el tamaño de la tabla de síndromes puede ser reducida en n , además se pueden calcular los desplazamientos necesarios utilizando el mismo circuito usado para calcular el síndrome la primera vez, por lo tanto también implica que se debe introducir en la implementación del decodificador un

hardware para la corrección de errores, luego si se considera el decodificador mostrado en la figura 4.24.

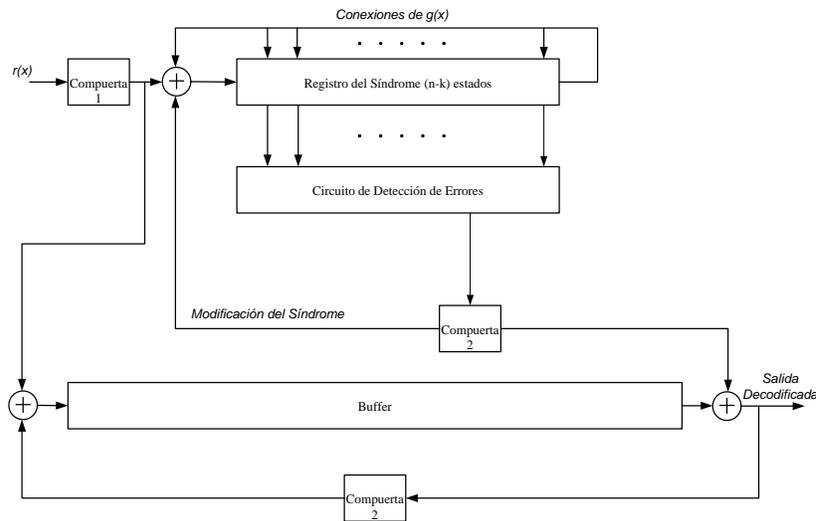


Figura 4.24. Decodificador cíclico con $r(x)$ desplazado a la izquierda del registro de síndrome

La operación del circuito se puede describir de la siguiente forma:

Con la compuerta 1 cerrada y la compuerta 2 abierta y con el registro del síndrome establecido en 0, el vector recibido es desplazado en el registro de *buffer* y en el registro de síndrome por n pulsos de reloj, al final de estos el registro de síndrome contiene el síndrome para $r(x)$.

Cuando la compuerta 1 está abierta y la compuerta 2 cerrada, el circuito de detección del patrón de error genera una salida $e_{n-1} = 1$ si se determina que el bit en la posición superior actual es un error de manera que $e(x) = x^{n-1}$. El polinomio modificado, denotado por $r_1(x)$, es $r_1(x) = r_0 + r_1x + \dots + r_{n-2}x^{n-2} + (r_{n-1} + e_{n-1})x^{n-1}$, y por desplazamiento cíclico $r_1(x)$ produce $r_1^{(1)}(x) = (r_{n-1} + e_{n-1}) + r_0x + \dots + r_{n-2}x^{n-1}$, luego el correspondiente síndrome $s_1^{(1)}(x)$ es el residuo de $r_1^{(1)}(x)$ dividido por $g(x)$, y dado que el residuo $xr(x)$ es $s^{(1)}(x)$ y el residuo de xx^{n-1} es 1, luego el nuevo síndrome es

$$s_1^{(1)}(x) = s^{(1)}(x) + 1$$

Por consiguiente, el registro del síndrome puede ser ajustado de manera que tome la modificación efectuada a $r(x)$ mediante la adición de 1 en el extremo izquierdo del registro. El valor modificado aparece en la salida del decodificador y es realimentado a través de la compuerta 2.

La decodificación continúa de manera similar para los demás bits de $r(x)$, dado que cada error es detectado, el bit correspondiente es complementado y el registro del

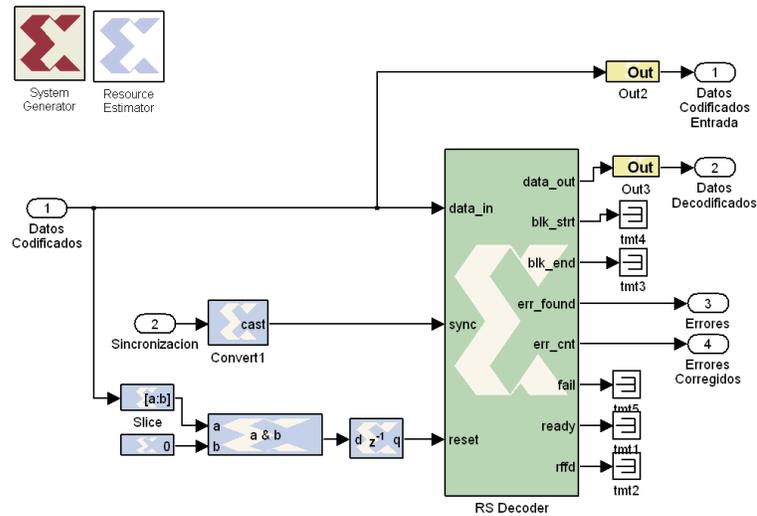


Figura 4.26. Decodificador RS (7,4) en xilinx system generator

Los bloques externos al RS Decoder conforman por una parte la lógica de sincronización de datos de acuerdo al momento en que se debe dar inicio al proceso de decodificación según la culminación de codificación del primer conjunto de símbolos, y una lógica de reinicio para hacer que la salida decodificada inicie en cero. Estas lógicas se encuentran implementadas a través de un bloque de conversión para la primera (lógica de sincronización de datos) aprovechando la salida de fin de conversión del codificador y a través de un particionador, un comparador y un registro que permiten identificar el inicio de la trama de datos codificados.

Capítulo 5

Validación del Prototipo y Funciones Vs. Simulación

Utilizando la herramienta de estimación de recursos se calcularon los recursos requeridos en la FPGA para realizar la implementación, los resultados se presentan en las tablas 5.1, 5.2. y 5.3

RECURSO	MODULADOR	DEMODULADOR	TOTAL
Slices	786	1191	1977
FFs	488	52	540
BRAMS	0	1	1
LUTs	1227	2280	3507
IOBs	193	0	193
Mult. Emb.	20	28	48
TBUFs.	0	0	0

Tabla 5.1. Estimación de recursos totales de implementación modulador demodulador

RECURSO	Mezclador	Detector de Fase	Filtro de Lazo	NCO
Slices	314	782	68	18
FFs	0	0	32	20
BRAMS	0	0	0	1
LUTs	618	1521	104	20
IOBs	0	0	0	0
Mult. Emb.	12	12	4	0
TBUFs.	0	0	0	0

Tabla 5.2. Estimación de recursos de implementación por bloques funcionales

En las figuras 5.1 a 5.11, se muestran los resultados de implementación por medio de diagramas de la señal de información y símbolos 16 QAM generados, diagrama de constelaciones de los símbolos generados, componentes en fase y cuadratura mapeadas, componentes en fase y cuadratura postfiltrado, componentes en fase y cuadratura moduladas, diagrama de constelación de las componentes moduladas, diagrama de recuperación de fase de la portadora, diagrama de constalacion de la señal

RECURSO	Codificador	Decodificador	TOTAL
Slices	156	751	907
FFs	237	781	1018
BRAMS	0	2	2
LUTs	243	1272	1515
IOBs	4	0	4
Mult. Emb.	0	0	0
TBUFs.	0	0	0

Tabla 5.3. Estimación de recursos totales de implementación codificador decodificador

demodulada y componentes en fase y cuadratura de la señal demodulada respectivamente; por parte del decodificador gráficas de la señal de información señales de verificación de codificación y decodificación y salida decodificada.

Es de anotar que los resultados obtenidos en el desarrollo de la implementación corresponden en un alto porcentaje a los esperados y a los obtenidos en la simulación, salvo la convergencia del detector de fase de portadora en el demodulador, el cual solo la recupera una vez recuperados una cantidad de 200 símbolos aproximadamente, lo cual para el caso de la simulación era instantáneo, de igual manera sucede con el decodificador, el cual solo recupera la información del primer bloque de código después de aproximadamente 2500 muestras.

En la figura 5.1 se observan los resultados de la implementación del bloque de conversión serie paralelo implementado para el modulador 16 QAM, en la parte superior de la figura se observa la secuencia de bits generados por la fuente aleatoria con distribución Bernoulli con probabilidad de 0.5 de generación de cada símbolo y en la parte inferior se observa la salida del bloque de conversión de serie a paralelo quien cumple la función de la generación de símbolos 16 QAM, por consiguiente, la señal de la parte inferior de la figura 5.1 corresponde al conjunto de símbolos 16 QAM pasados al bloque de mapeo.

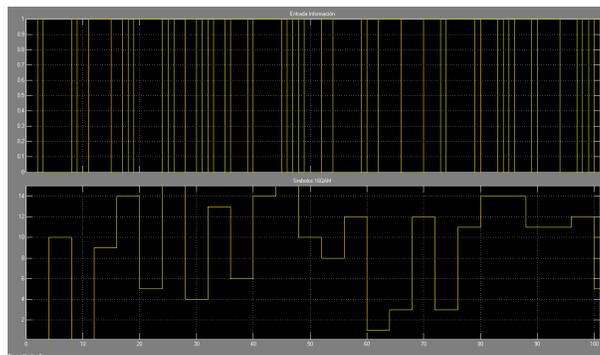


Figura 5.1. Información de fuente y símbolos 16 QAM

La figura 5.2 muestra las componentes en fase y cuadratura obtenidas a partir de los símbolos 16 QAM obtenidos del bloque de conversión serie paralelo con niveles normalizados 1, 1/3, -1/3, -1 asociados de acuerdo al cuadrante seleccionado por los dos bits más significativos de cada símbolo y a la fase seleccionada por los dos bits menos significativos de cada símbolo.

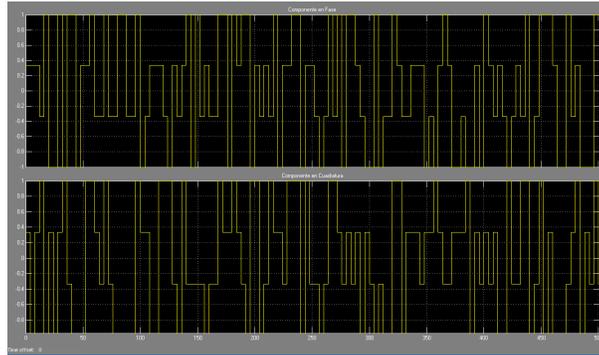


Figura 5.2. Componentes en fase y cuadraturas mapeadas por el modulador

La figura 5.3 muestra las componentes en fase y cuadratura de la señal 16 QAM una vez han pasado las señales obtenidas del bloque de mapeo por los filtros de interpolación del modulador, lo cual permite obtener una mayor cantidad de muestras de cada señal de tal manera que adecúa las señales en fase y cuadratura para realizar el proceso de modulación.

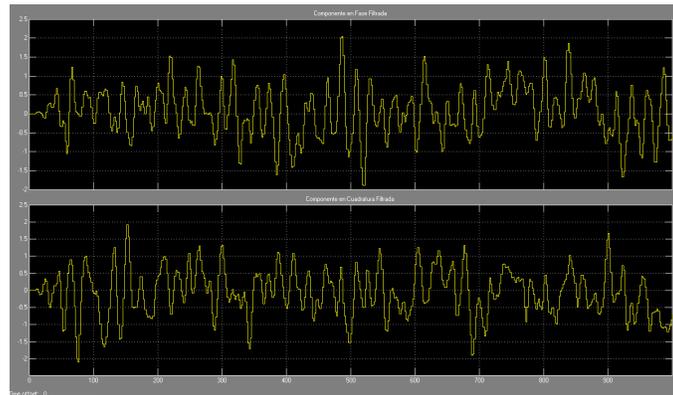


Figura 5.3. Componentes en fase y cuadratura post filtro de transmisión.

En la figura 5.4 se observa la respuesta en el dominio tiempo del NCO del modulador, el cual genera señales seno y coseno respectivamente con fase 0 hasta una frecuencia de 100Mhz para el caso de implementaciones realizadas sobre tarjetas FPGA Spartan 3 de Xilinx, el NCO cuenta con un rango dinámico de 36dB y una resolución de frecuencia de 0.4Hz.

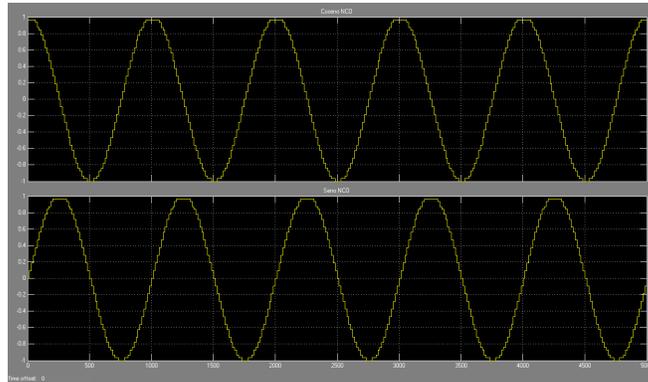


Figura 5.4. Respuesta del NCO de transmisión

La figura 5.5 muestra las salidas en fase y cuadratura del modulador, correspondientes a las entradas en fase y cuadratura una vez filtradas y adecuados sus niveles y número de muestras a los requeridos por el mezclador con la portadora generada por el NCO; correspondiendo estas señales a las salidas del mezclador del modulador y por consiguiente las salidas del modulador en cuadratura 16 QAM.

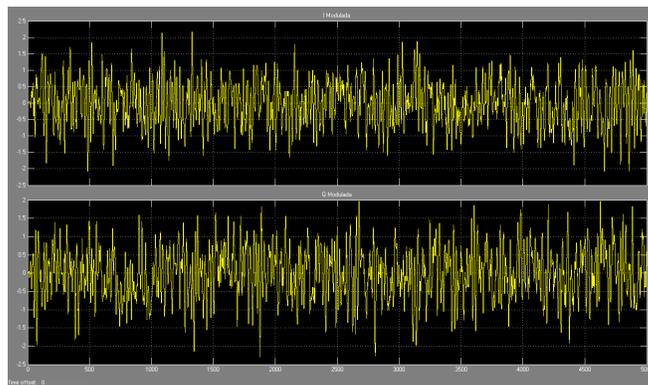


Figura 5.5. Componentes en fase y cuadratura moduladas.

La figura 5.6 permite observar el diagrama de constelaciones de la señal 16 QAM de los símbolos mapeados en el modulador, el cual permite verificar que los símbolos generados por el modulador corresponden a los esperados de acuerdo a las premisas teóricas planteadas en este documento.

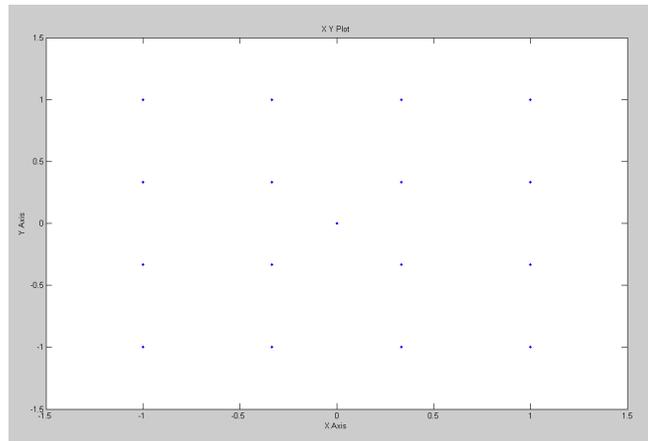


Figura 5.6. Diagrama de constelación de los símbolos mapeados.

La figura 5.7 permite observar el diagrama de constelaciones de la señal 16 QAM de los símbolos modulados y puestos en el canal de comunicaciones, este diagrama permite verificar cual es la constelación de símbolos recibida por el demodulador 16 QAM para recuperar la señal transmitida a partir de esta constelación de símbolos distorsionada.

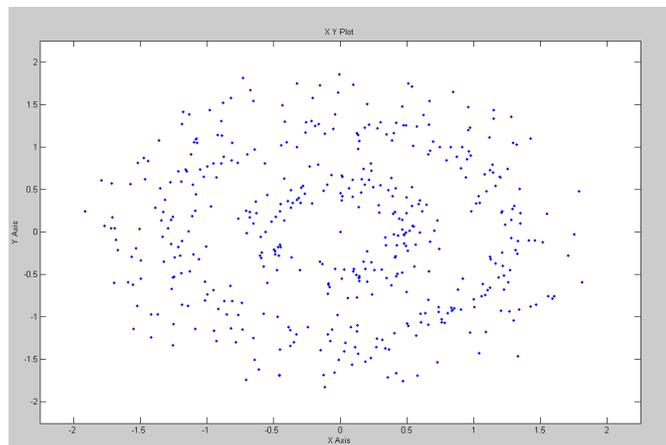


Figura 5.7. Diagrama de constelación de la señal modulada

La figura 5.8 muestra la respuesta en el dominio del tiempo de la señal generada por el NCO del demodulador, donde puede observarse como después de recibir una cantidad aproximada de 200 símbolos permite la recuperación de la fase de la portadora, garantizando con ello un desarrollo adecuado del proceso de demodulación de la señal recibida del canal de comunicaciones.

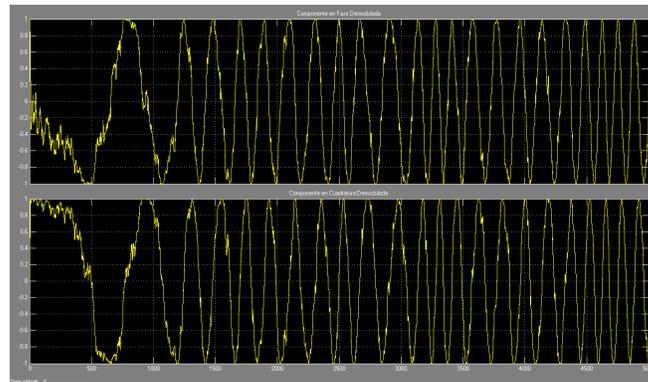


Figura 5.8. Respuesta del NCO de recepción y recuperación de fase

La figura 5.9 permite apreciar las señales en fase y cuadratura de la señal 16 QAM recibidas y demoduladas, donde se puede apreciar la correspondencia con las señales obtenidas en el modulador una vez se ha realizado el proceso de filtraje; estas señales corresponden a las salidas del demodulador 16 QAM en cuadratura, que corresponde al implementado.

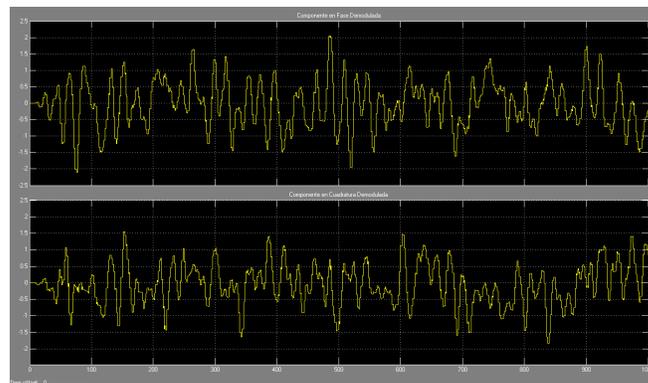


Figura 5.9. Componentes en fase y cuadratura demoduladas.

La figura 5.10 muestra el diagrama de constelaciones de la señal 16 QAM una vez realizado el proceso de demodulación, donde se hace evidente la no idealidad del mismo y el error de magnitud y fase de los símbolos demodulados, pero que se encuentran en una región de decisión lo suficientemente pequeña tal que permite ajustar dicho error y recuperar satisfactoriamente el símbolo digital transmitido.

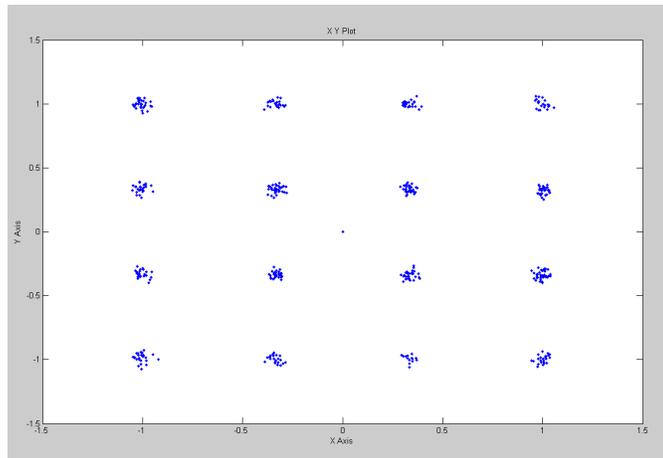


Figura 5.10. Diagrama de constelación de la señal demodulada

La figura 5.11 permite apreciar la señal de entrada al codificador, la señal de control de codificación para determinar el intervalo de salida codificada válido, la señal de salida del decodificador y la señal de control de decodificación que indica los intervalos de respuesta válida del decodificador. En esta figura se puede apreciar que el decodificador solo recupera la información del primer bloque de código después de aproximadamente 2500 muestras.

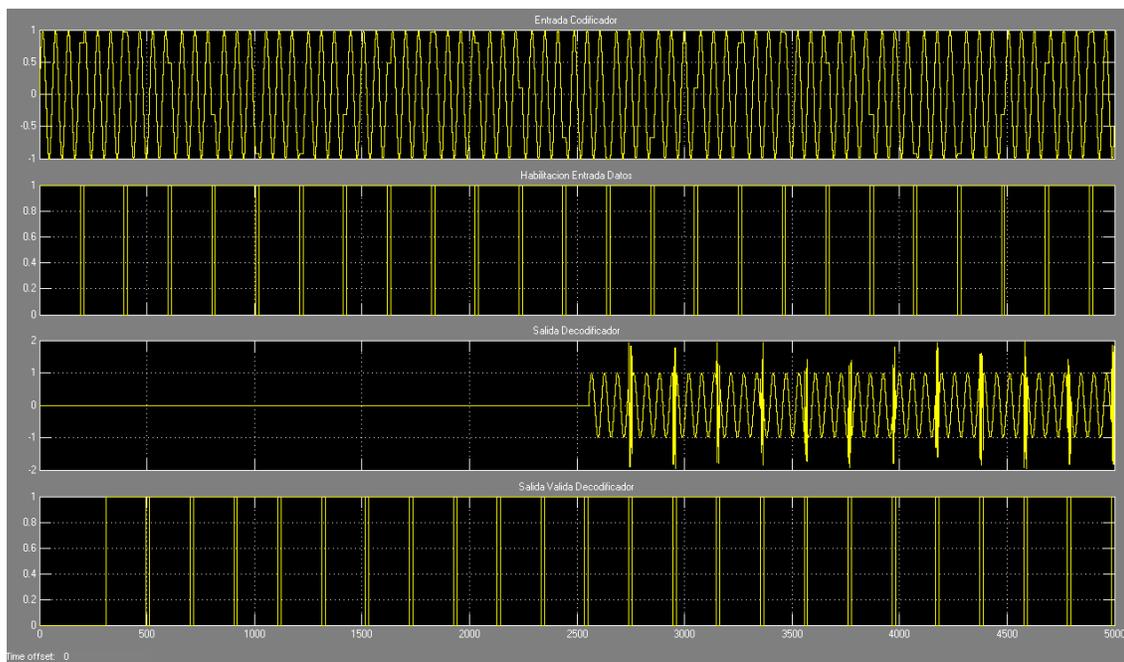


Figura 5.11. Señales entrada y salida CODEC

Capítulo 6

Conclusiones y Recomendaciones

En este trabajo se ha presentado el análisis de factibilidad de la implementación de los componentes de un transpondedor satelital basado en SDR, presentando las mejoras que podrían alcanzarse si esta tecnología fuese aplicada a los sistemas satelitales, obteniendo como resultado las siguientes conclusiones.

A medida que el procesamiento digital de señales incrementa en complejidad, el desarrollo del software y la propiedad intelectual son más importantes que la implementación de la plataforma hardware que soporta la funcionalidad del sistema.

La implementación del componente modulación - demodulación 16 QAM descrito, fué implementado utilizando la herramienta de desarrollo sobre FPGAs System Generator. Esta aproximación proporciona un rápido ciclo de desarrollo mientras genera un entorno propicio para explorar y cuantificar el desempeño de diferentes módulos y versiones discretas de un mismo sistema.

Se considera que SDR es una tecnología promisoría para ser implementada en sistemas de telecomunicaciones satelitales la cual contribuirá al mejoramiento de estos sistemas, sin embargo, su implementación en transpondedores satelitales reales puede demorar algunos años dependiendo de los avances tecnológicos que puedan alcanzarse en el desarrollo de ADC que cumplan con las especificaciones requeridas para la implementación de SDR, desarrollo de dispositivos lógicos programables como DSPs y FPGAs con capacidad para manejar las frecuencias y potencias de las señales de RF utilizadas en estos sistemas y con las suficientes capacidades de procesamiento requeridas para la implementación de los algoritmos.

Las plataformas satelitales de próxima generación deben soportar una gran variedad de esquemas y pares modulación codificación, para ello, las FPGAs proporcionan la flexibilidad requerida para alcanzar estos objetivos, adicionalmente provee mecanismos que permiten elevar el desempeño del sistema.

La implementación en SDR de las funciones de radio tradicionalmente analógicas, permite acceder a nuevos niveles de optimización de los recursos puestos en órbita; este factor es importante en el contexto de los sistemas de comunicaciones y particularmente los satelitales, porque esquemas de modulación, codificación, antenas inteligentes, etc. que permitan mejorar la eficiencia del ancho de banda y la capacidad del sistema, son de gran importancia en estas plataformas.

En las tablas 6.1 a 6.13 se presenta una relación de cada uno de los módulos que componen un transpondedor satelital, su factibilidad de implementación utilizando SDR y las restricciones actuales existentes para su implementación.

Módulo	Factibilidad	Restricciones Actuales	Requerimientos	Conveniencia
Antenas	Implementable	Manejo de altas frecuencias, grandes anchos de banda de operación, capacidad de procesamiento de los PLDs, costos, potencia de las señales manejadas por el dispositivo	Frecuencias de operación de PLDs y ADCs $\geq 12GHz$, Bajo consumo de potencia de PLDs y ADCs, ADCs de Alta resolución ≥ 20 bits, Gran rango dinámico $\geq 122dB$	Media, de acuerdo a las ventajas de capacidad incorporadas

Tabla 6.1. Factibilidad de la implementación de SDR en transpondedores satelitales subsistema de antenas.

Módulo	Factibilidad	Restricciones Actuales	Requerimientos	Conveniencia
Diplexer	Implementable	Manejo de altas frecuencias, grandes anchos de banda de operación, capacidad de procesamiento de los PLDs, potencia de las señales manejadas por el dispositivo, costos de una segunda cadena de RF y complejidad	Frecuencias de operación de PLDs y ADCs $\geq 12GHz$, Bajo consumo de potencia de PLDs y ADCs, ADCs de Alta resolución ≥ 20 bits, Gran rango dinámico $\geq 122dB$	Baja, dada la complejidad requerida y costos

Tabla 6.2. Factibilidad de la implementación de SDR en transpondedores satelitales - diplexer.

Módulo	Factibilidad	Restricciones Actuales	Requerimientos	Conveniencia
LNA	No Implementable	Manejo de señales de potencia y funciones de amplificación no implementables con circuitos digitales	Ninguno por su factibilidad de implementación	No implementable

Tabla 6.3. Factibilidad de la implementación de SDR en transpondedores satelitales - LNA.

Módulo	Factibilidad	Restricciones Actuales	Requerimientos	Conveniencia
Control Automático de Ganancia (AGC)	Implementable	Ninguna	Frecuencias de operación de PLDs y ADCs $\geq 12GHz$, Bajo consumo de potencia de PLDs y ADCs, ADCs de Alta resolución ≥ 20 bits, Gran rango dinámico $\geq 122dB$	Alta, para adaptación adecuada de los niveles de señal requeridos por componentes internos a las cadenas de RF y externos del sistema de antenas

Tabla 6.4. Factibilidad de la implementación de SDR en transpondedores satelitales - AGC.

Módulo	Factibilidad	Restricciones Actuales	Requerimientos	Conveniencia
Filtros de RF	Implementable	Manejo de altas frecuencias, capacidad de procesamiento de los PLDs, potencia de las señales manejadas por el dispositivo	Frecuencias de operación de PLDs y ADCs $\geq 12GHz$, Bajo consumo de potencia de PLDs y ADCs, ADCs de Alta resolución ≥ 20 bits, Gran rango dinámico $\geq 122dB$	Alta, para reconfiguración y optimización del procesamiento de señal

Tabla 6.5. Factibilidad de la implementación de SDR en transpondedores satelitales - filtros de RF.

Módulo	Factibilidad	Restricciones Actuales	Requerimientos	Conveniencia
Mezclador de RF	Implementable	Manejo de altas frecuencias, capacidad de procesamiento de los PLDs, potencia de las señales manejadas por el dispositivo y estabilidad	Frecuencias de operación de PLDs y ADCs $\geq 12GHz$, Bajo consumo de potencia de PLDs y ADCs, ADCs de Alta resolución ≥ 20 bits, Gran rango dinámico $\geq 122dB$	Alta, para reconfiguración del sistema

Tabla 6.6. Factibilidad de la implementación de SDR en transpondedores satelitales - mezclador de RF.

Módulo	Factibilidad	Restricciones Actuales	Requerimientos	Conveniencia
Filtros de IF	Implementable	Manejo de altas frecuencias, capacidad de procesamiento de los PLDs, potencia de las señales manejadas por el dispositivo	Frecuencias de operación de PLDs y ADCs $\geq 550MHz$, Bajo consumo de potencia de PLDs y ADCs, ADCs de Alta resolución ≥ 10 bits, rango dinámico $\geq 62dB$	Alta, para reconfiguración y optimización del procesamiento de señal

Tabla 6.7. Factibilidad de la implementación de SDR en transpondedores satelitales - filtro de IF.

Módulo	Factibilidad	Restricciones Actuales	Requerimientos	Conveniencia
Mezclador de IF	Implementable	Ninguna	Frecuencias de operación de PLDs y ADCs $\geq 550MHz$, Bajo consumo de potencia de PLDs y ADCs, ADCs de Alta resolución ≥ 14 bits, rango dinámico $\geq 74dB$	Alta, por reconfiguración del sistema

Tabla 6.8. Factibilidad de la implementación de SDR en transpondedores satelitales - mezclador de IF.

Módulo	Factibilidad	Restricciones Actuales	Requerimientos	Conveniencia
Oscilador de RF	Implementable	Manejo de altas frecuencias, capacidad de procesamiento de los PLDs, potencia de las señales manejadas por el dispositivo y estabilidad	Frecuencias de operación de PLDs y ADCs $\geq 12GHz$, Bajo consumo de potencia de PLDs y ADCs, ADCs de Alta resolución ≥ 20 bits, Gran rango dinámico $\geq 122dB$, alta estabilidad	Alta, por reconfiguración del sistema

Tabla 6.9. Factibilidad de la implementación de SDR en transpondedores satelitales - oscilador de RF.

Módulo	Factibilidad	Restricciones Actuales	Requerimientos	Conveniencia
Oscilador de IF	Implementable	Ninguna	Frecuencias de operación de PLDs y ADCs $\geq 550MHz$, Bajo consumo de potencia de PLDs y ADCs, ADCs de Alta resolución ≥ 14 bits, rango dinámico $\geq 74dB$, alta estabilidad	Alta, por reconfiguración y adaptabilidad del sistema

Tabla 6.10. Factibilidad de la implementación de SDR en transpondedores satelitales - oscilador de IF.

Módulo	Factibilidad	Restricciones Actuales	Requerimientos	Conveniencia
Modulador - Demodulador	Implementable	Ninguna	Frecuencias de operación de PLDs y ADCs $\geq 550MHz$, Bajo consumo de potencia de PLDs y ADCs, ADCs de Alta resolución ≥ 14 bits, rango dinámico $\geq 74dB$	Alta, para reconfiguración y optimización del procesamiento de señal, capacidad y adaptabilidad del sistema

Tabla 6.11. Factibilidad de la implementación de SDR en transpondedores satelitales - modulador demodulador.

Módulo	Factibilidad	Restricciones Actuales	Requerimientos	Conveniencia
Codificador - Decodificador	Implementable	Ninguna	Bajo consumo de potencia de PLDs y ADCs	Alta, para reconfiguración y optimización del procesamiento de señal, capacidad y adaptabilidad del sistema

Tabla 6.12. Factibilidad de la implementación de SDR en transpondedores satelitales - codificador decodificador.

Módulo	Factibilidad	Restricciones Actuales	Requerimientos	Conveniencia
Conversor Analógico Digital (ADC)- Digital Analógico (DAC)	No Requerido	Acorde a los requerimientos	Frecuencias de operación de PLDs y ADCs $\geq 12GHz$, Bajo consumo de potencia de PLDs y ADCs, ADCs de Alta resolución ≥ 20 bits, Gran rango dinámico $\geq 122dB$	Alta, mas no necesaria debido a que impone las restricciones globales para el sistema

Tabla 6.13. Factibilidad de la implementación de SDR en transpondedores satelitales - ADC DAC.

Bibliografía

- [Afshin,2002] Afshin Haghghat, "A Review On Essentials And Technical Challenges Of Software Defined Radio", IEEE British Crown, 2002, pp. 377 - 382.
- [Amaya,2006] Amaya Ferney, "Aplicaciones Para Telecomunicaciones Empleando FPGA's: Una Aproximación a Radio Software", Revista Colombiana de Tecnologías de Avanzada, 2006,pp. 38-43.
- [Amaya,2007] Amaya F., Velasco J., "Diseño de la Tangente Inversa Usando el Algoritmo CORDIC", Escuela EIEE Universidad del Valle, 2007.
- [Amaya et. al,2007] Amaya F., Velasco J., "Diseño de un Algoritmo en Hardware Para la Sincronización de Portadora", Escuela EIEE Universidad del Valle, 2007.
- [Beizer,1990] Beizer, B., Software Testing Techniques, 2.a ed., Van Nostrand Reinhold, 1990.
- [Beizer,1995] Beizer, B., Black-Box Testing, Jhon Willey and Sons, 1995.
- [Berlekamp,1987] Berlekamp, E.R., Peile, R.E., andPope, S.P., "The application of error control to communications".IEEE Communications Magazine., 1987, pp.25(4), 44–57.
- [Blaickner,2005] Blaickner A., Scherr W., " A Universal Multimode FEC Codec-Processor (ASIP) For Digital Receivers - SoC- Hw-Sw Code-sign Experience With Matlab, SystemC and HDL", Carinthia Tech Institute, 2005.
- [Brown,1999] Brown, A.R. and Rebeiz, G.M., Micromachined high-Q resonators, low-loss diplexers, and low phase-noise oscillators for a 28 GHz front-end, in 1999 IEEE Radio and Wireless Conference, 247–253, 1999.
- [Byung,2006] Byung W., Sung H., "An Implementation of the SDR Baseband Platform For OFDM Communication Systems", Hanyang University Seul Korea, 2006.
- [Carr,2002] Carr Joseph, "RF Components and Circuits", Newnes, 2002.
- [Cummings,1999] Cummings M., Haruyama S., "FPGA In The Software Radio", IEEE Communications Magazine, 1999, pp. 108 - 112.

- [Daneshgaran,2002] Daneshgaran F., Laddomada M., " Transceiver Fron-End Technology For Software Radio Imlementation of Wideband Satellite Communication Systems", Kluwer Academic Publishers, 2002.
- [Dick,2002] Dick Chris, "Implementation of FPGA Signal Processing Data-paths For Software Defined Radios", Communications Design China Conference Proceodings, 2002, pp. 241-247.
- [Dick,2004] Dick C., Harris F., Rice M., "FPGA Implementation of Carrier Synchronization for QAM Receivers", Journal of VLSI Signal Processing, 2004, pp. 57-71.
- [Ellinger,2007] Ellinger Frank, "Radio Frecuency Integrated Circuits And Technologies", Springer, 2007.
- [Garcia,2005] Garcia J., Cumplido R., "On The Design Of An FPGA Based OFDM Modulator For IEEE 802.11a", 2nd International Conference on Electrical an Electronics Engineering, 2005.
- [Golio,2001] Golio Mike, "The RF And Microwave Handbook", CRC Press, 2001.
- [Haberland,2005] Haberland B., Koenig W., Pasht A., Weiss U., "Software Defined Radio: A Promising Technology For Multistandar Base Stations", Alcatel Telecommunications Review, 2005.
- [Hartley,1928] Hartley, R., "Modulation System", U.S. Patent No. 1,666,206, April 1928.
- [Hickman,2002] Hickman Ian, "Practical Radiofrequency Handbook", Newnes, 2002.
- [Hikita,2001] Hikita, M., et al., New Low-Distortion Band-Switching Techniques for SAW Antenna Duplexers Used in Ultra-Wide-Band Cellular Phone, IEEE Trans. on Microwave Theory and Techniques, Vol. 52, No. 1, pp. 38–45, January 2001.
- [Joswick,1994] Joswick, W., "Uses and Applications of I & Q Networks, Microwaves and RF", 1994.
- [Kenington,2000] Kenington, P. B., "High-Linearity RF Amplifier Design", Artech House, 2000.
- [Kenington et. al.,2000] Kenington, P. B., and L. Astier, "Power Consumption of A/D Converters for Software Radio Applications", IEEE Trans. on Vehicular Technology, Vol. 49, No. 2, March 2000, pp. 643–650.

- [Kim,1997] Kim, K. Y., N. Kusayanagi, and A. A. Abidi, "A 10-b, 100-MS/s CMOS A/D Converter", IEEE Journal of Solid-State Circuits, Vol. 32, No. 3, August 1997, pp. 320–311.
- [Laverghetta,2005] Laverghetta Thomas, "Microwaves And Wireless Simplified", Artech House,2005.
- [Lawton,1996] Lawton, M. C., and J. D. Waters, "The Design of Flexible Receivers for Communicating Appliances", IEEE Vehicular Technology Conference, Vol. 2, May 1996, pp. 1,060-1,064.
- [Leven,2000] Leven Andrew,"Telecommunication Circuits And Technology", Butterworth Heinemann,2000.
- [Lovrich,2001] Lovrich A., Chirayil R., " An all Digital Automatic Gain Control", Texas Instruments, <http://www.ti.com>, 2001.
- [Lucero,2001] Lucero, R., et al., Design of an LTCC Switch Diplexer Front End Module for GSM/DCS/PCS Applications, Proc. of IEEE International Microwave Symposium, Phoenix, AZ, May 2001.
- [Luneau,2007] Luneau L., Luneau F., "A Software Defined Radio Architecture for Wireless Hubs", CompactPCI Systems,2003.
- [Macleod,2002] Macleod J., Nesimoglu T., Beach M., Warr P., " Enabling Technologies For Software Defined Radio Transceivers", IEEE British Crown, 2002, pp. 354 - 358.
- [McMahan,2001] McMahan M., Shah P., "Wireless Systems And Technology Overview", Texas Instruments, <http://www.ti.com>, 2001.
- [Meyer,2001] Meyer B. Uwe, "Digital Signal Processing With FPGA", Springer 2001.
- [Mitola,2000] Joseph Mitola, Software Radio Architecture: Object Oriented Approaches to Wireless Systems Engineering. Jhon Willey and Sons, 2000.
- [Moore,1965] Moore, G. E., "Cramming More Components onto Integrated Circuits", Electronics,Vol. 38, No. 8, April 19, 1965.
- [Morlet,2003] Morlet C., Boucheret M., Calmettes V., Paillassa B., Perennou T., "Towards Generic Satellite Payloads: Software Radio", IEEE Computer Society, Proceedings of the International Parallel and Distributed Processing Symposium, 2003.
- [Nishinaga,2005] Nishinaga N., Takeuchi M., Suzuki R.,"Reconfigurable Communication Equipment on Smartsat I", National Institute of Information and Communications Technology, 2005.

- [Paillassa,2003] Paillassa B., Morlet C., "Flexible Satellites: Software Radio In The Sky", IEEE Communications Magazine, 2003, pp. 1596 - 1600.
- [Pucker,2004] Pucker Lee,"Has FPGA Technology Peaked in Wideband Wireless Applications?", IEEE Radio Communications,2004.
- [Pucker,2007] Pucker Lee,"Can the Military Use Commercial Wireless Signal Processing Technologies to Reduce Size, Weight and Power in Radio Devices?", IEEE Communications Magazine, 2007.pp. 26-27.
- [Pucker,2006] Pucker Lee,"Is There Really Such a Thing as a DSP Any-more?", IEEE Communications Magazine, 2006.pp. 34-36.
- [Ramachandran,2001] Ramachandran B., "Personal Notes", 2001.
- [Rappaport,1996] Rappaport, T.S., "Wireless Communications, Principles and Practice", Prentice-Hall and IEEE Press, NJ, 1996.
- [Rajan,2005] Rajan Jyothsna,"SDR Platform Enables Reconfigurable Direction Finding System", <http://www.rfdesign.com>, 2005.
- [Razavilar,1999] Razavilar, J., F. Rashid-Farrokhi, and K. J. Liu, "Software Radio Architecture with Smart Antennas: A Tutorial on Algorithms and Complexity," IEEE Journal on Selected Areas in Communications, Vol. 17, April 1999.
- [Reyhani,1994] Reyhani, H., and P. Quinlan, "A 5V 6-b 80 Ms/s BiCMOS Flash ADC", IEEE Journal of Solid-State Circuits, Vol. 29, No. 8, August 1994, pp. 873–878.
- [Robins,1982] Robins, W. P., "Phase Noise in Signal Sources", London, England: Peter Peregrinus Ltd.,1982.
- [Rohde,2004] Rohde U.,Whitaker Jerry, "Communications Receivers DSP, Software Radios and Design", Mc Graw Hill 2004.
- [Roig,2006] Roig J., Angarita F., Valls J., Almenar V., " Diseño de Moduladores Basados en Tablas Para Software Radio", <http://www.upv.es>, 2006.
- [Sayre,2004] Sayre Cotter, "Complete Wireless Design", Mc Graw Hill, 2004.
- [Schacherbauer,2001] Schacherbauer, W., et al., A Flexible Multiband Front-End for Software Radios Using High IF and Active Interference Cancellation, IEEE International Microwave Symposium, Phoenix, AZ, May 2001, pp. 1,085–1,088

- [SDR Forum,1999] The Software Defined Radio Forum, http://www.sdrforum.org/MTGS/mtg_14_jun99/sadef.doc, 1999.
- [Shannon,1948] Shannon, C.E., "A mathematical theory of communication". Bell Syst. Tech. J., 1948.
- [Sklar,2002] Sklar, B., "Digital Communications: Fundamentals and Applications", Prentice-Hall, Englewood Cliffs, NJ, 2002.
- [Simmons,2004] Simmons Peter, "New Nasa Satellite to Satellite Communications Take Shape", CompactPCI Systems,2004.
- [Tan,1995] L. K. Tan, and H. Samueli, "A 200 MHz Quadrature Digital Synthesizer/Mixer in 0.8 μm CMOS," IEEE Solid State Circuits, Vol. 30,No. 3, pp. 193-200, Mar. 1995.
- [Vizmuller,1995] Vizmuller, P., "RF Design Guide", Norwood, MA: Artech House, 1995.
- [Wenzler,1995] A. Wenzler, and E. Lüder, "New Structures for Complex Multipliers and their Noise Analysis," in Proc. IEEE International Symposium on Circuits and Systems (ISCAS), 1995, pp. 1,432-1,435.
- [Wepman,1995] Wepman, J. A., "Analog-to-Digital Converters and Their Applications in Radio Receivers",IEEE Communications Magazine, Vol. 33, No. 5, May 1995, pp. 39–45.
- [Wicker,1994] Wicker, S.B. and Bhargava, V.K., "Reed-Solomon Codes and Their Applications", IEEE Press, NJ,1994
- [Wu,1987] Wu,W.W., Haccoun, D., Peile, R., and Hirata, Y., Coding for satellite communication. IEEE Journal in.Selected Areas in Communications., SAC-5(4), 724–748, 1987.
- [Xiang,2004] Xiang W., Pratt T., Wang X., "A Software Radio Test Bed For Two-Transmitter Two-Receiver Space Time Coding OFDM Wireless LAN", IEEE Radio Commnications, 2004.
- [Ye,2005] Ye Z., Grosspietsch J., "An All Digital QAM Modulator With Radio Frecuency Ouput", <http://www.motorola.com>, 2005.
- [Ye,2007] Ye Z., Grosspietsch J.,Memik G., "An FPGA Based All Digital Transmitter With Radio Frecuency Ouput For Software Defined Radio", IEEE EDAA, 2007.

- [Yuan,1994] Yuan, J., and C. Svensson, "A 10-bit 5-MS/s Successive Approximation ADC Cell Used in a 70-MS/s ADC Array in 1.2- μ m CMOS", IEEE Journal of Solid-State Circuits, Vol. 29, No. 8, August 1994, pp. 866–872

Apéndice A

Implementación de la Simulación

La implementación de la simulación del componente modulación - codificación se realiza en matlab de acuerdo al modelo de cada subsistema del componente planteado en la sección 3.1, a continuación se presenta el código en matlab que simula el comportamiento de cada subsistema y sus respectivos componentes.

A.1 Modulador 16QAM

```
alphaIQ = modmap(EntModDec,F,F,'qask',M);

% Filtro interpolador en transmisión
V0=1; % Amplitud del impulso en transmisión [V]
th=-T/2:Tc:T/2;
dT=0.6; % ciclo util
hTx=V0*cos(pi*th/T);
Eh=trapz(th,hTx.^2); % Energía del impulso [V^*s]

% Interpolación del dominio
s = zeros((1.74)*Nsim*Fc/F,2);
index = (1:Fc/F:(1.74)*Nsim*Fc/F)';
s(index,:)=Fc/F*alphaIQ;
% filtrado
t = (0:length(s)-1)*Tc;
s = F/Fc*filter(hTx,1,s);

% Modulador lineal en cuadratura (DSB)
smod = amod(s,f0,Fc,'qam');\QTR{it}{\newline{}}
```

A.2 Demodulador 16QAM

```

% Demodulador lineal en cuadratura (DSB)
hRx=hTx/Eh; % Respuesta impulsiva del filtro acoplado

% N.B. valido para impulso real con simetria par
r = ademod(rmod,f0,Fc,'qam',hRx/Fc,1); % componentes IQ de la se\U{f1}al
demodulada
index = (1:Fc/F:Nsim*Fc/F)';
rc=r(length(hRx):Fc/F:size(r,1),:);

% Demapeo de datos: Aplica una regla de decisión para las regiones esti-
madas de los
%simbolos transmitidos hat_alpha_n
hat_alpha = demodmap(rc,F,F,'qask',M);

```

A.3 Codificador Cíclico (7,4)

```

Codificada = encode(alpha,n,k,'cyclic/decimal');
y=de2bi(Codificada);

for i=1:Nsim
    for j=1:n
        vector(cont)=y(i,j);
        cont=cont+1;
    end
end

EntMod=zeros((Nsim*n)/4,k);

for ii=1:(Nsim*n)/4
    for jj=1:k
        EntMod(ii,jj)=vector(cont2);
        cont2=cont2+1;
    end
end

```



```

clear all
close all
pause on
n=7;
k=4;
cont=1;
cont2=1;
cont3=1;
cont4=1;
cont5=1;

% Parámetros de iniciación
M=16; % Número de símbolos del alfabeto
Nsim=40; % Cantidad de Símbolos a transmitir
F=10; T=1/F; % Frecuencia y periodo de símbolo
f0=111; % Frecuencia de la portadora
Fc=100*F; Tc=1/Fc; % Frecuencia y periodo de muestreo para la señal de
tiempo continuo
GammadB=inf; % Relacion señal a ruido en el receptor en dB
i=1;

for esno=0:1:26;
    % Fuente de simbolos M-aria equiprobable
    rand('state',sum(100*clock)); %Inicialización de la semilla de randn()
    alpha = randint(Nsim,1,M);

    %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
    %Codificador Cíclico (7,4)
    %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

    Codificada = encode(alpha,n,k,'cyclic/decimal');
    y=de2bi(Codificada);

```

```

for i=1:Nsim
    for j=1:n
        vector(cont)=y(i,j);
        cont=cont+1;
    end
end

EntMod=zeros((Nsim*n)/4,k);

for ii=1:(Nsim*n)/4
    for jj=1:k
        EntMod(ii,jj)=vector(cont2);
        cont2=cont2+1;
    end
end

EntModDec=bi2de(EntMod);

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% Modulador M-QAM
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

% Mapa de datos: Mapa de símbolos M-arios de la constelación de sím-
% bolos M-QAM
% alphaIQ es una matriz de tamaño [Nsim x 2] en la cual la primera
% columna contiene
% la componente en fase de los símbolos y la segunda la componente en
% cuadratura

alphaIQ = modmap(EntModDec,F,F,'qask',M);

% Filtro interpolador en transmisión
V0=1; % Amplitud del impulso en transmisión [V]

```



```
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
```

```
% Demodulador lineal en cuadratura (DSB)
hRx=hTx/Eh; % Respuesta impulsiva del filtro acoplado
% N.B. válido para impulso real con simetria par
r = ademod(rmod,f0,Fc,'qam',hRx/Fc,1); % componentes IQ de la señal
demodulada
index = (1:Fc/F:Nsim*Fc/F)';
rc=r(length(hRx):Fc/F:size(r,1),:);
```

```
% Demapeo de datos: Aplica una regla de decisión para las regiones
% estimadas de los símbolos transmitidos hat_alpha_n
hat_alpha = demodmap(rc,F,F,'qask',M);
```

```
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
```

```
% Decodificación Cíclica (7,4)
```

```
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
```

```
hat_alpha(length(EntModDec))=EntModDec(length(EntModDec));
w=de2bi(hat_alpha);
```

```
for iii=1:(Nsim*n)/4
    for jjj=1:k
        vector1(cont3)=w(iii,jjj);
        cont3=cont3+1;
    end
end
```

```
SenEntDec=zeros(Nsim,n);
```

```
for iii=1:Nsim
    for jjj=1:n
        SenEntDec(iii,jjj)=vector1(cont4);
```

```

    cont4=cont4+1;
end
end

EntDec=bi2de(SenEntDec);
Decodificada= decode(EntDec,n,k,'cyclic/decimal');
errores = symerr(alpha,Decodificada); % Número de errores de símbolo
postdemapeo
ber(i) = (errores/Nsim)/log2(M); % (BER) con mapeo Gray
snr(i) = esno;
i=i+1;
end

figure
stem(0:T:(Nsim-1)*T,alpha)
title('Símbolos M-arios transmitidos por la fuente')
xlabel('t [s]')
ylabel('\{0, ... ,M-1\}')
grid
pause
close

figure
stem(0:T*(n/k):(Nsim-1)*T*(n/k),Codificada)
title('Símbolos Transmitidos por la Fuente Codificados ')
xlabel('t [s]')
ylabel('\{0, ... ,127\}')
grid
pause
close

scatterplot(alphaI,Q,1,0,'r*');
title('Símbolos M-QAM transmitidos')

```

```
grid
pause
close
```

```
figure
plot(th,hTx)
title('Respuesta impulsiva del filtro interpolador')
xlabel('t [s]')
ylabel('hTx(t) [V]')
grid
pause
close
```

```
figure
subplot(2,1,1)
plot(t,s(:,1))
title('Componente en fase de los símbolos QAM interpolados en R')
xlabel('t [s]')
ylabel('s_I(t) [V]')
axis([0 t(end) -log2(M) log2(M)])
grid
subplot(2,1,2)
plot(t,s(:,2))
title('Componente en cuadratura de los símbolos QAM interpolados en R')
xlabel('t [s]')
ylabel('s_Q(t) [V]')
axis([0 t(end) -log2(M) log2(M)])
grid
pause
close
```

```
figure
plot(t,real(smod))
```

```
title('Señal M-QAM modulada en banda pasante')
xlabel('t [s]')
ylabel('s_{mod}(t) [V]')
grid
pause
close

figure
plot(t,real(rmod))
title('Señal afectada por el ruido del canal AWGN')
xlabel('t [s]')
ylabel('r_{mod}(t) [V]')
grid
pause
close

% Análisis espectral de la señal modulada transmitida
pwelch(rmod,256,255,[],Fc,'twosided');
title('Densidad espectral de potencia de la señal afectada por ruido del canal
AWGN')
pause
close

figure
subplot(2,1,1)
plot(t,r(:,1))
title('Componente en fase de la señal demodulada')
xlabel('t [s]')
ylabel('r_I(t) [V]')
axis([0 t(end) -log2(M) log2(M)])
grid
hold on
subplot(2,1,2)
```

```

plot(t,r(:,2))
title('Componente en cuadratura de la señal demodulada')
xlabel('t [s]')
ylabel('r_Q(t) [V]')
axis([0 t(end) -log2(M) log2(M)])
grid
hold on
pause
subplot(2,1,1)
stem((1:Nsim*(n/k)-1)*T,rc(:,1),'r')
hold off
subplot(2,1,2)
stem((1:Nsim*(n/k)-1)*T,rc(:,2),'r')
hold off
pause
close

scatterplot(rc,1,0,'r*');
title('Simbolos M-QAM recibidos')
grid
pause
close

figure
subplot(2,1,1)
stem(0:T:(Nsim-1)*T,alpha)
title('Simbolos M-arios transmitidos')
xlabel('t [s]')
ylabel('\alpha_n')
grid
subplot(2,1,2)
stem(0:T:(Nsim*(n/k)-1)*T,hat_alpha,'r')
title('Simbolos M-arios estimados de acuerdo a la region de decisión')

```

```
xlabel('t [s]')
ylabel('^{alpha}_n')
axis([0 (Nsim*(n/k)-1)*T 0 M-1])
grid
pause
close

figure
stem(0:T:(Nsim-1)*T,alpha)
title('Simbolos decodificados recibidos')
xlabel('t [s]')
ylabel('{0, ..., M-1}')
grid
pause
close

figure
semilogy(snr,ber,'-b^');
grid on;
ylabel('BER');
xlabel('Eb/N_0 (dB)');
%legend('16-QAM', '32-QAM', '64-QAM',1);
title('Error performance of 16-QAM');
pause
close
```

Apéndice B

DSP y FPGA

B.1 Introducción.

Determinar la composición hardware de un sistema SDR es un paso clave en el diseño del mismo. El diseño de hardware es por supuesto, mucho mas complejo para un sistema SDR que para un sistema de radio convencional por la capacidad requerida adicional.

Básicamente, hay cuatro factores claves, los cuales se encuentran interrelacionados y que definen la composición del hardware: flexibilidad, modularidad, escalabilidad y desempeño.

Flexibilidad por cuanto es la capacidad de manejar una gran variedad de interfaces de aire y protocolos incluyendo aquellos que no se han definido. Esto significa que un sistema SDR debe manejar diferentes tasas de información, lo cual implica que la tasa de reloj del sistema global debe ser ajustable.

La modularidad de los subsistemas de radio permite reemplazar o actualizar fácilmente los mismos para así tomar ventajas de las nuevas tecnologías.

La escalabilidad se encuentra relacionada con la modularidad, ya que la escalabilidad permite al sistema de radio mejorar su capacidad a medida que el número de canales que el transpondedor tiene la capacidad de manejar aumenta.

El desempeño se encuentra directamente relacionado con los otros tres factores, el desempeño puede ser cuantificado por el consumo de potencia, el costo relativo y métricas de capacidad de procesamiento.

Existen tres categorías fundamentales disponibles de hardware: ASICs, FPGAs y DSPs, cada una de ellas presenta un nivel de programabilidad, la cual puede ser vista como la habilidad de alterar la función hardware del dispositivo mediante software. Los DSPs utilizan arquitecturas basadas en microprocesadores y soportan programación en lenguajes de alto nivel como C. De otro lado, los ASICs la circuitería de un sistema de manera fija sobre un chip de silicio, resultando en una implementación optimizada en términos de velocidad y consumo de potencia. Los FPGAs proporcionan gran reconfigurabilidad a nivel de hardware, permitiendo mucha mas flexibilidad que un ASIC, pero menos flexibilidad que un DSP. En general estos tres componentes hardware constituyen un espacio de diseño el cual intercambia flexibilidad, velocidad de procesamiento y consumo de potencia.

B.2 Elementos Hardware

Hardware de tiempo real para un sistema SDR puede contruirse utilizando una variedad de opciones de hardware digital como ASICs, FPGAs y DSPs. El diseño de hardware típicamente involucra herramientas de diseño asistido por computador que permiten realizar el diseño lógico, construir el diagrama esquemático y el circuito impreso.

Mientras que un DSP representa el tipo de dispositivo mas generalizado que puede ser programado para realizar varias funciones, un ASIC es el más especializado y puede ser usado solamente en la aplicación específica para la cual fué diseñado. Un FPGA ofrece un compromiso de flexibilidad entre un ASIC y un DSP. El diseñador puede configurar las compuertas lógicas como lo desee, pero una vez configurado la funcionalidad es estática. El DSP es un microprocesador optimizado para aplicaciones de procesamiento digital de señales. Los DSP son flexibles, porque ellos pueden ser programados de manera repetida desde un lenguaje de alto nivel como C. Modificaciones y actualizaciones pueden realizarse a través de este lenguaje, reduciendo el tiempo de diseño de cada iteración. Sin embargo la flexibilidad sacrifica la eficiencia, por ejemplo, aplicaciones que requieren varios cómputos que pueden ser realizados en paralelo, deben ser abiertos como un conjunto de rutinas secuenciales basadas en un número de MACs (Multiplicadores Acumuladores) disponibles en el DSP. En general se requiere una mayor cantidad de procesamiento por muestra de datos y una mayor cantidad de ciclos son requeridos para realizar un procesamiento de datos. Una alternativa para reducir el tiempo de ejecución es emplear más de un DSP para la implementación de un algoritmo, sin embargo, la sincronización de varios DSPs es un reto para el programador.

Un FPGA es una rejilla de posiciones que pueden ser ocupadas por celdas lógicas o elementos lógicos básicos; un diseñador puede diagramar un esquemático del circuito y luego mediante el uso de herramientas de desarrollo colocar los componentes del circuito en los lugares del arreglo lógico. Las herramientas de desarrollo también manejan los detalles de bajo nivel para realizar las conexiones de los componentes de acuerdo al esquemático. Una alternativa para utilizar un esquemático en la descripción del diseño es utilizar un lenguaje de descripción de hardware (HDL).

Los FPGA ofrecen al diseñador un mayor grado de paralelismo y menores consumos de potencia que un DSP; múltiples unidades de ejecución pueden ser construidas de tal manera que operen simultaneamente para cumplir con la función requerida.

Un ASIC vá un paso más allá que un FPGA, debido a que un circuito integrado incluye la funcionalidad completa y específica deseada a costo de no ser reprogramable. Un ASIC es generalmente utilizado cuando un DSP no tiene suficiente capacidad de procesamiento o cuando el sistema tiene un volumen de producción lo suficientemente alto que justifique la solución particular.

B.3 Procesadores Digitales de Señal. (DSPs)

Un DSP está diseñado para soportar alto desempeño, tareas repetitivas y altamente intensivas; los DSPs están diseñados para incluir unidades funcionales especiales en el hardware así como instrucciones especiales de microcódigo. Algunos DSPs proporcionan varios accesos a memoria en un solo ciclo. Características como la velocidad en el control de flujo de programa permiten la ejecución de tareas comunes en DSPs tales como FFT o decodificación de Viterbi; algunos DSPs son diseñados para aplicaciones específicas, luego lo importante es seleccionar el DSP más adecuado para la aplicación particular considerando aspectos como su arquitectura, velocidad, capacidades de multiprocesamiento, cantidad de unidades MAC, conjunto de instrucciones, consumo de potencia y costo.

B.4 FPGAs (Field Programmable Gate Arrays)

Los FPGAs fueron introducidos a mediados de los años 80 como dispositivos de procesamiento lógico, estos fueron diseñados para circuitos multinivel, lo cual significa que pueden manejar circuitos complejos en un único chip. Los FPGA son completamente prefabricados pero contienen características especiales para su personalización, estas propiedades, les permiten manejar muchos circuitos complejos más en un único chip; el programa de configuración se carga desde una memoria externa cuando inicia el sistema o es descargado durante la misma. Los FPGA pueden ser reprogramados un número ilimitado de veces e incluso durante la operación del sistema.

Los FPGA son comúnmente utilizados en emulación lógica y prototipado de la mayoría de los sistemas; en el caso de sistemas SDR los FPGA presentan ventajas adicionales ya que agregan adaptabilidad y flexibilidad al sistema final. La lista de situaciones en las cuales es más ventajoso el uso de FPGAs para aplicaciones de procesamiento digital de señales son (Cummings, 1999):

- Sistemas con altas tasas de muestreo.
- Sistemas que involucran longitudes de palabra variable o no convencional.
- Sistemas que involucran filtros digitales de alto orden por el paralelismo que permiten.
- Sistemas con rápida correlación porque la arquitectura basada en LUT (Lookup Table) proporciona rápida y eficiente construcción.

B.5 Parámetros de Intercambio en el Uso de DSPs, FPGAs y ASICs

ASICs, FPGAs y DSPs representan las opciones para un diseñador en un rango que va desde alta velocidad y mínima flexibilidad hasta máxima flexibilidad y muy baja op-

Características	DSPs de Bajo Rango	DSPs de Rango Medio	DSPs de Alto Rango
Concepto de Operación	Típicamente arquitectura uniescalar ejecutando una instrucción por ciclo de reloj	Altas velocidades de reloj y mayores características que los de bajo rango	Aproximación a alcanzar una mayor salida por ciclo de reloj, Very Long Instruction Word (VLIW), Superscalar, Single Instruction Multiple Data (SIMD)
Instrucciones	Complejo, instrucciones multioperaciones	Hardware adicional especializado como caché de instrucciones y coprocesadores externos	VLIW para conseguir paralelismo en una única instrucción, SIMD, Microprocesador con instrucciones extra usando múltiples operandos.
Método de Ejecución	Multiplicador simple o unidad MAC	Paralelismo profundo	VLIW, SIMD, Microprocesador con instrucciones extra usando múltiples operandos para el manejo de conjuntos de datos grandes como vectores y matrices
Velocidad del Reloj	Al rededor de 100MHz	Típicamente entre 100MHz y 250MHz	Mayormente dependiente del nivel de paralelismo, velocidad alrededor de 150 MHz
Consumo de Potencia	Muy bajo	Moderado	Alto

Tabla B.1. Categorías de los DSPs disponibles

timización de velocidad del hardware. Mientras los problemas generales de comunicaciones que involucran una baja complejidad pueden resolverse mediante la utilización de DSPs, los FPGA y ASICs son de mayor utilidad cuando la complejidad del problema se incrementa o cuando el producto debe de producirse en grandes volúmenes. A pesar que los FPGAs son frecuentemente relacionados con implementaciones de operaciones matemáticas poco sofisticadas, el algoritmo CORDIC descrito en el apéndice B proporciona un método de implementación de operaciones de funciones trigonométricas a partir de sencillos desplazamientos y adiciones.

B.6 Manejo de Potencia

Las arquitecturas SDR tienden a ser menos eficientes en el manejo de energía que las arquitecturas estáticas, los sistemas SDR construidos a partir de FPGAs presentan mejores desempeños que los sistemas basados en microprocesadores pues proporcionan reprogramabilidad a nivel de compuerta.

Incrementar la velocidad de los sistemas digitales necesariamente implica el incremento de la utilización de potencia del dispositivo, bajos voltajes implican bajos consumos de potencia, luego, la reducción de los voltajes de polarización requeridos es la condición impuesta por la tecnología de fabricación de FPGAs para incrementar la velocidad de procesamiento manteniendo invariante la disipación de potencia.

La reprogramabilidad de dispositivos es una característica deseable y necesaria, pero conlleva un gran consumo de energía; a pesar que un FPGA permite mayor flexibilidad, la energía disipada por compuerta es aproximadamente entre siete a diez veces superior que en un ASIC. La figura B.1 muestra el intercambio que se presenta entre programabilidad y consumo de potencia dependiendo del hardware de desarrollo. Los sistemas de radio prácticos utilizan una combinación de hardware para reducir el consumo de potencia.

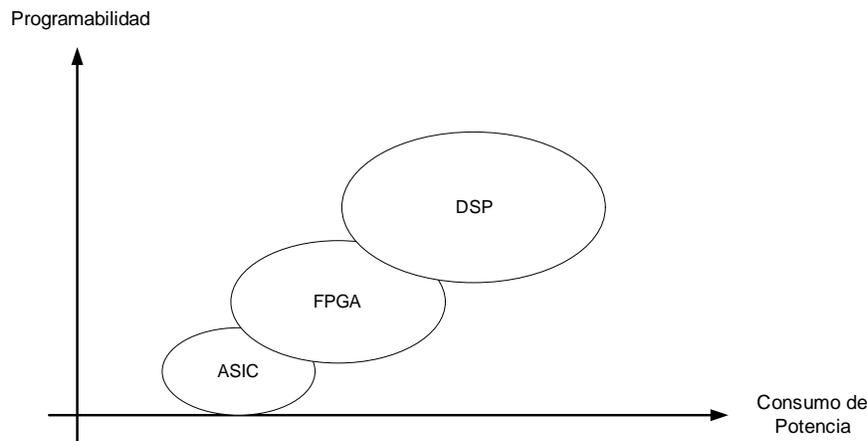


Figura B.1. Consumo de potencia vs. programabilidad de diferentes tipos de hardware

Apéndice C

CORDIC

C.1 Introducción

El algoritmo CORDIC (Coordinate Rotation Digital Computer), fué desarrollado por Jack Volder en 1959, fué diseñado para calcular funciones trascendentales tales como seno y coseno utilizando solamente operaciones de desplazamiento y adiciones. En sistemas donde la multiplicación y división presentan un gran costo computacional y con memoria limitada, el algoritmo CORDIC es de gran utilidad. La mayoría de los FPGAs, por ejemplo no tienen unidades de multiplicación dedicada, por lo tanto la implementación de multiplicaciones es un proceso costoso porque una gran cantidad de CLBs (Configurable Logic Blocks) son necesarios para su implementación. Aunque la implementación de funciones seno o coseno mediante LUTs (Lookup Tables) o aproximaciones por polinomios de Taylor son indeseables debido a la cantidad de CLBs requeridas; el algoritmo CORDIC al requerir menor cantidad de CLBs satisface de mejor manera los requerimientos de las implementaciones comunmente utilizadas en DSPs y FPGAs.

C.2 Descripción del Algoritmo CORDIC

Cada miembro de la familia de algoritmos CORDIC se implementa como un conjunto de ecuaciones iterativas que modelan y controlan traslaciones a lo largo de una simple forma geométrica. El primer conjunto de algoritmos CORDIC que Volder desarrolló trasladan un punto a lo largo del círculo unitario para implementar las funciones seno, coseno, arcotangente y funciones de magnitud. Es de anotar que estas funciones corresponden a un mapeo entre coordenadas rectangulares y polares. Para ilustrar como las ecuaciones iterativas modelan las traslaciones a lo largo de la forma geométrica pueden utilizarse funciones trascendentales, el conjunto de funciones CORDIC se modela sobre un círculo unitario.

C.3 Derivación del Algoritmo CORDIC

Los algoritmos CORDIC originados a partir del círculo unitario parten del deseo de convertir un vector de dos elementos entre representaciones polares y rectangulares. Dependiendo de la operación el algoritmo puede realizarse en un modo de vectorización o en un modo de rotación. El modo de rotación cambia un número polar a su representación rectangular, y el modo de vectorización realiza el cambio contrario. Considerando las ecuaciones clásicas de traslado entre representaciones polar y rectangular como se ilustra en la figura C.1, se debe notar como el cambio de la representación

puede ser usado para calcular el valor de las funciones seno, coseno, arcotangente y magnitud, o con una pequeña alteración una raíz cuadrada.

$$x = R \cos(\theta) \quad (\text{C.1})$$

$$y = R \sin(\theta) \quad (\text{C.2})$$

$$R = \sqrt{x^2 + y^2} \quad (\text{C.3})$$

$$\theta = \tan^{-1}\left(\frac{y}{x}\right) \quad (\text{C.4})$$

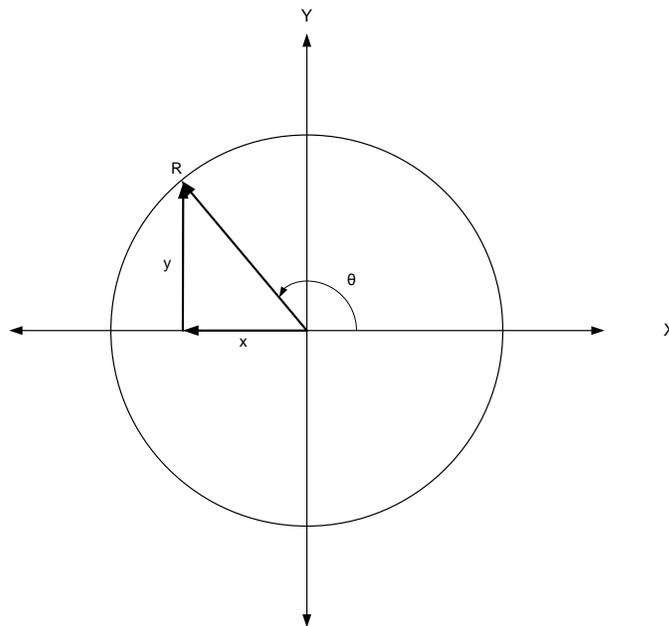


Figura C.1. Conversión entre representaciones polar y rectangular

C.4 Traslación de un Punto a lo Largo de Un Círculo de Radio R

Para desarrollar las operaciones rotación y vectorización, el algoritmo CORDIC utiliza las propiedades que resultan de la traslación de un punto a lo largo de un círculo. Para generalizar, considerando un punto (x_{in}, y_{in}) desplazado del eje x un ángulo arbitrario α . Un nuevo punto (x_{final}, y_{final}) puede ser creado por la rotación del punto inicial alrededor del círculo unitario, por un ángulo θ . Este proceso puede visualizarse como lo muestra la figura C.2.

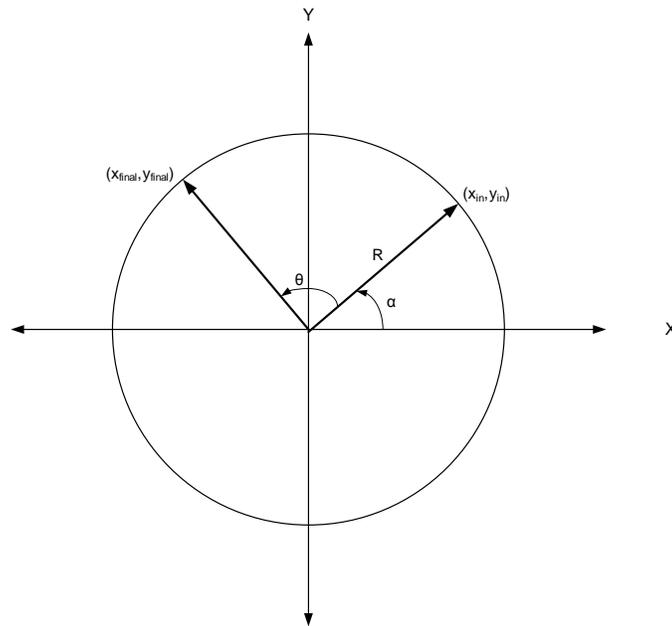


Figura C.2. Rotación de un punto através de un círculo de radio R

La localización del punto inicial (x_{in}, y_{in}) , y del punto final (x_{final}, y_{final}) puede ser descrito por el siguiente conjunto de ecuaciones paramétricas:

$$x_{in} = R \cos(\alpha) \quad (C.5)$$

$$y_{in} = R \sin(\alpha) \quad (C.6)$$

$$x_{final} = R \cos(\theta + \alpha) \quad (C.7)$$

$$y_{final} = R \sin(\theta + \alpha) \quad (C.8)$$

Empleando identidades trigonométricas, las ecuaciones del punto final pueden reescribirse de la forma

$$x_{final} = R [\cos(\alpha) \cos(\theta) - \sin(\alpha) \sin(\theta)] \quad (C.9)$$

$$y_{final} = R [\sin(\alpha) \cos(\theta) + \cos(\alpha) \sin(\theta)] \quad (C.10)$$

Luego, sustituyendo las ecuaciones C.5 y C.6 para el punto inicial en las ecuaciones C.9 y C.10 resulta:

$$x_{final} = x_{in} \cos(\theta) - y_{in} \sin(\theta) \quad (C.11)$$

$$y_{final} = y_{in} \cos(\theta) + x_{in} \sin(\theta) \quad (C.12)$$

Por lo tanto, con el conocimiento de las coordenadas x y y del punto inicial, las coordenadas rectangulares de cualquier otro punto desplazado un ángulo θ , sobre el círculo, puede ser fácilmente calculado.

Ahora considerando el caso especial donde el punto inicial tiene la forma $(x_{in}, y_{in}) = (R, 0)$. y aplicando una rotación de un ángulo θ resulta la siguiente relación:

$$x_{final} = R \cos(\theta) \quad (C.13)$$

$$y_{final} = R \sin(\theta) \quad (C.14)$$

Reversando el proceso, dado un punto rectangular inicial (x_{in}, y_{in}) el cual es rotado hasta que $y_{final} = 0$, luego $x_{final} = R$ y el ángulo barrido será igual a θ , por lo tanto por traslación de un punto al rededor de un círculo, este punto puede ser cambiado entre representación polar y rectangular. Es de anotar que para la traslación de forma polar a rectangular, si $R=1$, luego tanto el término en coseno como el término en seno se calculan. Debido a que estas rotaciones ocurren en un único paso, las ecuaciones resultantes efectivamente requieren de un conocimiento apriori del resultado, luego la derivación del algoritmo requiere evolucionar hacia una forma iterativa de implementación para resolver esta aparente limitación.

C.5 Rotación a Través de Sub-rotaciones Sucesivas

El resultado final de una rotación puede ser igualmente válido si la rotación se desarrolla con un ángulo en un solo paso o en una serie de pasos que sumen el ángulo deseado. El proceso de rotación a través de sub-ángulos se muestra en la figura C.3 y puede expresarse por el siguiente conjunto de ecuaciones iterativas:

$$x_{i+1} = x_i \cos(\theta_i) - y_i \sin(\theta_i) \quad (C.15)$$

$$y_{i+1} = y_i \cos(\theta_i) + x_i \sin(\theta_i) \quad (C.16)$$

$$(x_0, y_0) = (1, 0) \quad (C.17)$$

$$(x_N, y_N) = (x_0 \cos(\theta), x_0 \sin(\theta)) \quad (C.18)$$

Donde N es el número total de sub-ángulos, luego

$$\theta = \sum_{i=0}^N \theta_i \quad (C.19)$$

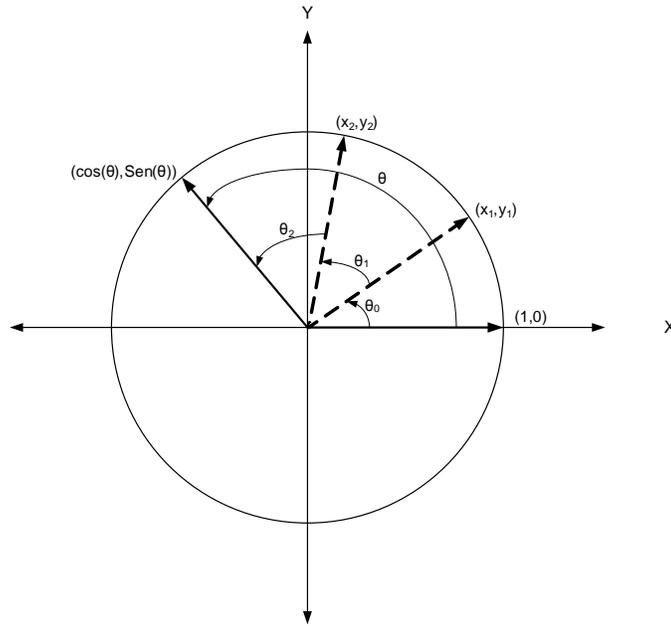


Figura C.3. Rotación a través de subrotaciones sucesivas

Nótese que los subángulos θ_i no necesariamente deben tener el mismo signo dependiendo del método empleado para la selección de θ_i . Como es una práctica común con ecuaciones iterativas, una variable de desempeño se introduce para hacer que la implementación iterativa del algoritmo sea más generalmente aplicable, en la rotación a partir del algoritmo CORDIC, una variable de desempeño lógico permite medir que tan cerca se encuentra la suma de los subángulos del ángulo final. Por lo tanto, introduciendo la variable de desempeño z , las ecuaciones iterativas toman la forma:

$$x_{i+1} = x_i \cos(\theta_i) - y_i \sin(\theta_i) \quad (\text{C.20})$$

$$y_{i+1} = y_i \cos(\theta_i) + x_i \sin(\theta_i) \quad (\text{C.21})$$

$$z_{i+1} = z_i - \theta_i \quad (\text{C.22})$$

Donde

$$z_0 = \theta \quad (\text{C.23})$$

A mayor cantidad de subángulos se introduzcan, z_i tenderá a cero. El valor retenido en z_i indica que tanto falta para llegar a θ a una iteración dada.

C.6 Simplificación Computacional de las Rotaciones Iterativas.

La complejidad de los cálculos numéricos que necesitan ser desarrollados durante cada iteración puede ser reducido dividiendo las ecuaciones de rotación por $\cos(\theta_i)$.

$$x_{i+1}/\cos(\theta_i) = x_i - y_i \tan(\theta_i) \quad (\text{C.24})$$

$$y_{i+1}/\cos(\theta_i) = y_i + x_i \tan(\theta_i) \quad (\text{C.25})$$

Acumulativamente, este cambio resulta en

$$(x_N, y_N) = (x_0 \cos(\theta)/K, x_0 \sin(\theta)/K) \quad (\text{C.26})$$

donde K se encuentra expresado como

$$K = \prod_{i=0}^N \cos(\theta_i) \quad (\text{C.27})$$

Si las magnitudes de los ángulos θ_i , y el número de iteraciones deseada N se conocen de antemano, K puede precalcularse y almacenarse para modificar los valores finales. Luego para una iteración dada, solamente se requiere desarrollar los siguientes cálculos.

$$x_{i+1} = x_i - y_i \tan(\theta_i) \quad (\text{C.28})$$

$$y_{i+1} = y_i + x_i \tan(\theta_i) \quad (\text{C.29})$$

$$z_{i+1} = z_i - \theta_i \quad (\text{C.30})$$

C.7 Colocando Las Ecuaciones De La Forma Final

En este punto las ecuaciones aún requieren múltiples cálculos, y no se han formalizado métodos para la selección de θ_i . Los dos problemas pueden resolverse si θ_i se selecciona de tal forma que

$$\tan(\theta_i) = \pm 2^{-i} \quad (\text{C.31})$$

Por lo tanto, sustituyendo en las ecuaciones C.28, C.29 y C.30, resulta el siguiente conjunto de ecuaciones iterativas

$$x_{i+1} = x_i - y_i(\pm 2^{-i}) \quad (\text{C.32})$$

$$y_{i+1} = y_i + x_i(\pm 2^{-i}) \quad (\text{C.33})$$

$$z_{i+1} = z_i - a \tan(\pm 2^{-i}) \quad (\text{C.34})$$

Seleccionando $\theta_i = \pm 2^{-i}$, las ecuaciones para x y y pueden implementarse con un registro de desplazamiento y una ALU. Adicionalmente solamente una tabla precalculada de arcotangente se requiere para ser utilizada mientras los cálculos restantes son eliminados. En las ecuaciones C.31 a C.34, cuando se utiliza $\theta_i = 2^{-i}$ la rotación se realiza en el sentido de las manecillas del reloj y viceversa cuando se usa $\theta_i = -2^{-i}$, sin embargo, la selección de $\tan(\theta_i) = \pm 2^{-i}$ también presenta la posibilidad que después de un número de iteraciones, el ángulo barrido exceda el ángulo deseado; lógicamente las iteraciones deben realizarse en la dirección opuesta. Recordando que en el modo de vectorización la variable z inicialmente retiene el valor θ y z_i indica el desplazamiento restante del ángulo deseado, luego z_i puede ser alterado en dirección opuesta (signo) a la actual haciendo que z_i tienda a cero. Una variable signo δ se requiere y se evalúa como

$$\delta_i = \text{sgn}(z_i) \quad (\text{C.35})$$

Luego, reemplazando la ecuación C.35 en las ecuaciones C.32, C.33 y C.34 se obtiene

$$x_{i+1} = x_i - \delta_i y_i (2^{-i}) \quad (\text{C.36})$$

$$y_{i+1} = y_i + \delta_i x_i (2^{-i}) \quad (\text{C.37})$$

$$z_{i+1} = z_i - \delta_i a \tan(2^{-i}) \quad (\text{C.38})$$

donde

$$(x_0, y_0) = (K, 0) \quad (\text{C.39})$$

$$z_0 = \theta \quad (\text{C.40})$$

$$K = \prod_{i=0}^N \cos(a \tan(2^{-i})) \quad (\text{C.41})$$

y

$$(x_i, y_i) = (\cos(\theta), \sin(\theta)) \quad (\text{C.42})$$

cuando N tiende a ∞ .

C.8 Modo Vectorización.

Conceptualmente el modo vectorización, desarrolla la operación inversa del modo rotación, los cambios de representación de un vector de forma rectangular a polar. Se acompañan por una rotación en un punto inicial (x_{in}, y_{in}) , hacia el semieje positivo x donde el punto final (x_{final}, y_{final}) será de la forma $(R, 0)$ como se muestra en la figura C.4.

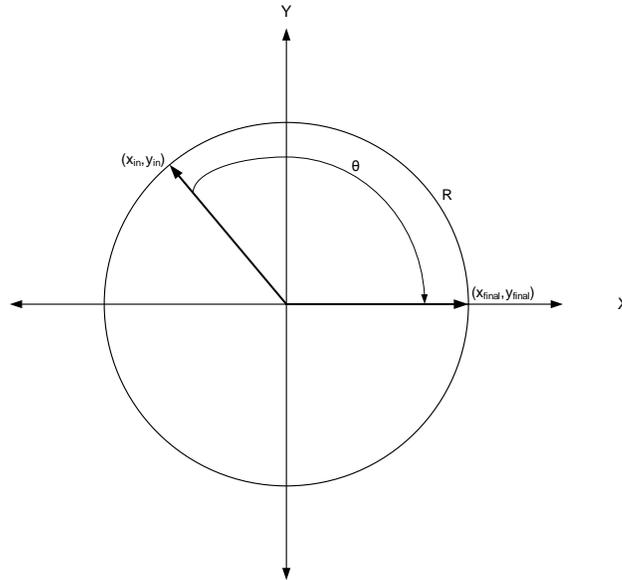


Figura C.4. Operación de vectorización CORDIC

Este proceso de vectorización está acompañado por el siguiente conjunto de ecuaciones iterativas

$$\delta_i = -\text{sgn}(y_i) \quad (\text{C.43})$$

$$x_{i+1} = x_i - \delta_i y_i (2^{-i}) \quad (\text{C.44})$$

$$y_{i+1} = y_i + \delta_i x_i (2^{-i}) \quad (\text{C.45})$$

$$z_{i+1} = z_i - \delta_i a \tan(2^{-i}) \quad (\text{C.46})$$

donde (x_0, y_0) es un punto arbitrario y $z_0 = 0$. Como el número de iteraciones N llega a ser grande, $y_N \rightarrow 0$, $z_N \approx a \tan(y_0/x_0)$ y $x_N = \sqrt{x_0^2 + y_0^2} / \prod_{i=0}^{N-1} \cos(a \tan(2^{-i}))$.