

**ESTUDIO DE FENÓMENOS DE TRANSPORTE EN CELDAS SOLARES DE  
BARRERA SCHOTTKY CON UNA CAPA INTERFACIAL DE SILICIO POROSO**

**MARITHZA CAMPO FLOR  
MANUEL ALEJANDRO BLASCHKE SARRIA**

**UNIVERSIDAD DEL CAUCA  
FACULTAD DE CIENCIAS NATURALES, EXACTAS Y DE LA EDUCACIÓN  
DEPARTAMENTO DE FÍSICA  
POPAYÁN  
2004**

**ESTUDIO DE FENÓMENOS DE TRANSPORTE EN CELDAS SOLARES DE  
BARRERA SCHOTTKY CON UNA CAPA INTERFACIAL DE SILICIO POROSO**

**MARITHZA CAMPO FLOR**

**MANUEL ALEJANDRO BLASCHKE SARRIA**

Trabajo de grado presentado como requisito parcial para optar al título de:

**INGENIERO FÍSICO**

**Director**

**WAYNER RIVERA MÁRQUEZ, M.Sc.**

**PROFESOR TITULAR DEL DEPARTAMENTO DE FÍSICA**

**UNIVERSIDAD DEL CAUCA**

**FACULTAD DE CIENCIAS NATURALES, EXACTAS Y DE LA EDUCACIÓN**

**DEPARTAMENTO DE FÍSICA**

**POPAYÁN**

**2004**

Nota de Aceptación

---

---

Director

---

MSc. Wayner Rivera Márquez

Jurado

---

PhD. Gilberto Bolaños Pantoja

Jurado

---

PhD. Francisco Racedo Niebles

Fecha de Sustentación: Popayán, Agosto 9 de 2004.

## **AGRADECIMIENTOS**

Queremos manifestar nuestros más sinceros agradecimientos al MSc. Wayner Rivera Márquez por aportar su valiosa experiencia y profundos conocimientos para culminar con éxito este trabajo de investigación. Al MSc. Hermes Sandoval (Q.E.P.D.) por sus grandes aportes durante el desarrollo experimental del mismo, al Dr. Francisco Racedo y Dr. Gilberto Bolaños, por sus contribuciones en la conformación del documento final del trabajo.

## **CONTENIDO**

	Pág.
RESUMEN	13
INTRODUCCIÓN	14
1. MARCO REFERENCIAL	16
1.1 JUSTIFICACIÓN	16
1.2 OBJETIVOS	17
1.2.1 Objetivo general	17
1.2.2 Objetivos específicos	17
1.3 PLANTEAMIENTO DEL PROBLEMA	18
2. MARCO TEORICO	19
2.1 CELDAS SOLARES METAL-SEMICONDUCTOR (MS) Y METAL - OXIDO-SEMICONDUCTOR (MOS)	19
2.2 ESTRUCTURA MOS (METAL-OXIDO-SEMICONDUCTOR)	20
2.3 CARACTERÍSTICA C – V	22
2.3.1 Región de acumulación	22
2.3.2 Región de agotamiento	24
2.3.3 Región de inversión	25
2.3.4 Cargas en el óxido de Silicio	28
2.3.5 Cargas móviles	29
2.3.6 Cargas capturadas en la interfase SiO <sub>2</sub> /Si	30
2.3.7 Q <sub>f</sub> -Cargas fijas	30
2.3.8 Q <sub>ot</sub> -Cargas Capturadas en el Oxido	31
2.4 CARACTERÍSTICA CORRIENTE-VOLTAJE	31
2.5 DIODOS PIN	33
2.6 MECANISMOS DE TRANSPORTE	37
2.6.1 Emisión sobre la barrera	38
2.6.1.1 La teoría de difusión	40

2.6.1.2	La teoría de emisión termoiónica	42
2.6.1.3	El efecto de la fuerza imagen en la relación entre Corriente / Voltaje	45
2.6.1.4	La teoría combinada emisión termoiónica / difusión	46
2.6.2	Tunelamiento a través de la barrera	48
2.6.2.1	Emisión de campo y emisión de campo asistida térmicamente	48
2.6.3	Recombinación en la región de agotamiento	53
2.6.4	Corrientes a través de aislantes	54
2.6.4.1	Corriente limitada por carga espacial	54
2.6.5	Efecto $T_0$	55
3.	COMUNICACION SERIAL	56
3.1	RS-232	59
4.	PROCEDIMIENTO EXPERIMENTAL	60
4.1	FABRICACIÓN DE LOS DISPOSITIVOS	60
4.1.1	Materiales y reactivos	60
4.1.2	Fabricación de los dispositivos	60
4.1.2.1	Barrera Schottky	60
4.1.2.2	Estructura M. I. S	61
4.2	DISEÑO Y CONSTRUCCIÓN DEL CAPACITÓMETRO	61
4.2.1	Descripción hardware	62
4.2.2	Interfaz RS-232	62
4.2.3	Microcontrolador PIC16F877	62
4.2.4	DESCRIPCIÓN SOFTWARE	63
4.3	MEDIDAS CAPACITANCIA – VOLTAJE	63
4.3.1	Caracterización manual	63
4.3.2	Descripción del método I – V	63
4.3.3	Caracterización automatizada	64
4.4	CARACTERIZACIÓN C – V – T	67
4.5	CARACTERIZACIÓN I – V – T	67
5.	ANÁLISIS Y DISCUSIÓN DE RESULTADOS	68
5.1	CARACTERÍSTICAS I-V DE LOS DISPOSITIVOS	68
5.1.1	Características I-V en oscuridad de la estructura Ag-Si(p)	68

5.1.2	Características I-V en oscuridad de la estructura Ag-Au-PS-Si(p)	69
5.1.3	Características I-V en oscuridad de la estructura Al-PS-Si(p)	70
5.1.4	Características I-V-T de la estructura Ag-Si(p)	72
5.1.5	Características I-V-T de la estructura Au-Ag-PS-Si(p)	73
5.1.6	Características I-V-T De Los Dispositivos Tipo Al-PS-Si(p)	75
5.2	DETERMINACION DEL FACTOR DE IDEALIDAD Y ALTURA DE BARRERA DE LOS DISPOSITIVOS	77
5.2.1	Dispositivo Al-PS-Si(p)	78
5.2.2	Dispositivo Ag-Au-PS-Si(p)	79
5.2.3	Dispositivo Ag-Si(p)	80
5.3	CARACTERÍSTICAS C-V-T DE LOS DISPOSITIVOS	82
5.3.1	Características C-V-T Del Dispositivo Al-PS-Si(p)	82
5.3.2	Características C-V-T Del Dispositivo Ag-Au-PS-Si(p)	83
5.3.	Características C-V-T Del Dispositivo Ag-Si(p)	84
6.	CONCLUSIONES	86
	BIBLIOGRAFÍA	88

## LISTA DE FIGURAS

	Pág.
Figura 1. Estructura MOS	20
Figura 2. diagrama de bandas de la estructura MOS en substrato tipo p	21
Figura 3. Región de acumulación en una estructura MOS	23
Figura 4. Diagrama de bandas de energía con aumento de los niveles de energía $E_c$ , $E_v$ y $E_i$	23
Figura 5. Esquema de la región de agotamiento	25
Figura 6. Diagrama de bandas de energía del silicio	25
Figura 7. Esquema de la región de inversión	26
Figura 8. Diagrama de bandas de energía	26
Figura 9. Cargas en el silicio térmicamente oxidado	29
Figura 10. Barrera Schottky (a) polarización cero, (b) polarización directa y (c) polarización inversa, mostrando las dos componentes de la corriente	32
Figura 11. Estructura típica epitaxial del diodo	34
Figura 12. Estructura típica difundida del diodo	34
Figura 13. Estructura de dopamiento pin y densidades de portadores	35
Figura 14. diodo p-n: (a) esquemático, (b) región de agotamiento	37
Figura 15. Mecanismos de transporte en una barrera Schottky polarizada en directo	38
Figura 16. Cuasi nivel de Fermi en una barrera Schottky ●●● teoría de difusión, ----- teoría de emisión termoiónica. El círculo punteado muestra la distribución de energía de electrones los cuales hacen su última colisión a una distancia $l$ de la interfaz.	39
Figura 17. Emisión de campo y emisión de campo asistida térmicamente bajo polarización directa	49

Figura 18. Estructura de un carácter que se transmite serialmente	57
Figura 19. Medida de capacitancia usando el método I – V	64
Figura 20. Panel de control de medidas C – V	66
Figura 21. Panel de control de medidas I – V	66
Figura 22. Característica I-V de la estructura Ag-Si(p) en oscuridad	69
Figura 23. Característica I-V de la estructura Ag-Au-PS-Si(p) en oscuridad	70
Figura 24. Característica I-V de la estructura Al-PS-Si(p) en oscuridad	71
Figura 25. Comparación de curvas I-V entre la estructura Schottky [Ag- Si(p)] y las estructuras MIS [Ag-Au-PS-Si(p) y Al-PS-Si(p)]	71
Figura 26. Característica I-V-T del dispositivo Ag-Si(p)	72
Figura 27. Característica I-V-T de la estructura Ag-Au-PS-Si(p)	73
Figura 28. Grafica I vs $V^2$ del dispositivo Ag-Au-PS-Si(P) en función de la temperatura	74
Figura 29. Característica I-V-T del dispositivo Al-PS-Si(p)	75
Figura 30. Grafica I vs $V^2$ del dispositivo Al-PS-Si(p) en función de la temperatura	76
Figura 31. El factor de idealidad ( $\eta$ ) y la altura de barrera aparente ( $\phi_b$ ) calculados a partir de las características $\ln I$ -V para el dispositivo Al-PS-Si(p)	79
Figura 32. El factor de idealidad ( $\eta$ ) y la altura de barrera aparente ( $\phi_b$ ) calculados a partir de las características $\ln I$ -V para el dispositivo Ag-Au-PS-Si(p)	80
Figura 33. El factor de idealidad ( $\eta$ ) y la altura de barrera aparente ( $\phi_b$ ) calculados a partir de las características $\ln I$ -V para el dispositivo Ag-Si(p)	81
Figura 34. Características capacitancia-voltaje del dispositivo Al-PS-Si(p)	83
Figura 35. Características capacitancia-voltaje del dispositivo Ag-Au-PS-Si(p)	84
Figura 36. Características capacitancia-voltaje del dispositivo Ag-Si(p)	85
Fotografía 1. Montaje Funcional	65

## RESUMEN

Los mecanismos de transporte de estructuras tipo *Schottky* y estructuras con una capa intermedia de silicio poroso entre un metal y el substrato semiconductor (tipo *p*) son estudiados a partir de las medidas I-V-T (medidas en el rango de temperaturas de 200K a 300K) y C-V-T (desde 298K a 363K). El análisis de las graficas muestra una marcada diferencia en el comportamiento entre la estructura tipo *Schottky* en la cual el mecanismo de conducción es termoiónico y la estructura fabricada con la capa interfacial de silicio poroso que exhibe un comportamiento correspondiente a los mecanismos de emisión termoiónica y conducción limitada por carga espacial.

## ABSTRACT

The transport mechanisms of *Schottky* structures and structures with a layer of porous silicon sandwiched between the metal and substrate semiconductor (*p* type) are studied to leave from the I-V-T measurements (measured in the temperatura range of 200 K – 300 K) and C-V-T (from 298 K to 363 K). The graphs analysis shows marked difference in the behaviour among the structure *Schottky* in the which the conduction mechanism is termionic and the structure fabricated with the interfacial layer of porous silicon that exhibits a behaviour corresponding to the termionic emission mechanism and space-charge-limited conduction (SCLC).

## INTRODUCCIÓN

Las investigaciones en el campo de la electrónica buscan mejorar las características técnicas y de operación de dispositivos semiconductores, mediante propuestas de nuevos modelos de funcionamiento o con el empleo de diferentes materiales y estructuras, en especial en forma de películas delgadas, con el fin de mejorar las propiedades eléctricas u ópticas.

En particular, en los dispositivos optoelectrónicos tales como fotodiodos, fotodetectores, fotorresistencias o celdas fotovoltaicas, resulta determinante conocer los distintos factores que influyen en las características eléctricas u ópticas, como son: la estructura de bandas de energía de las uniones, los niveles de energía debido a las impurezas, las trampas y mecanismos de recombinación o los mecanismos de transporte electrónico; estos factores a la vez dependen de los materiales y de los tipos de uniones utilizadas en la fabricación de los dispositivos.

El comportamiento electrónico de cualquier dispositivo semiconductor es explicado mediante un modelo de transporte, generación y recombinación de portadores de carga en el dispositivo. En los dispositivos fotoeléctricos la interacción de los fotones con la luz genera pares electrón-hueco, lo cual incrementa la concentración de portadores, afectando así la distribución de carga y el transporte electrónico en el dispositivo. De manera común los dispositivos semiconductores operan con base en un sistema rectificante conocido como unión  $p-n$ , formado por la unión de un semiconductor tipo  $n$  con otro que tiene tipo  $p$ .

En los dispositivos elaborados con material amorfo, algunos de los cuales presentan propiedades fotoeléctricas o fotovoltaicas, la separación de los portadores electrónicos, incluidos los generados por la luz en la capa absorbente, se presenta como consecuencia de los efectos de una unión conocida como  $p-i-n$

o  $n-i-p$ , que corresponde a la unión de capas  $p$  y  $n$  con una capa intermedia de material intrínseco denotada como capa  $i$ . Si bien todavía no han sido aclarados todos los factores que influyen en las características de los dispositivos fotovoltaicos de unión simple, se trabaja en procura de explicar mejor el funcionamiento y las características de dispositivos de operación mas compleja como los  $p-i-n$ , con el objeto de contribuir al desarrollo de la investigación de nuevos materiales y dispositivos semiconductores.

Con este trabajo de grado se intenta contribuir a la creación de infraestructura para apoyar el programa de investigación sobre dispositivos semiconductores que adelanta el Grupo de Electrónica del Estado Sólido de la Universidad del Cauca, el cual aspira a contribuir al avance del conocimiento en este campo de la Ciencia y la Tecnología para posibilitar el desarrollo de la industria electrónica en el país. En cumplimiento de estos propósitos se construyó un sistema de caracterización de Capacitancia- Voltaje a bajo costo y con resolución de pF, el cual se utilizó en la caracterización de un dispositivo electrónico complejo, con propiedades fotoeléctricas, constituido por las uniones de un semiconductor tipo  $p$  con silicio poroso y un metal.

## 1. MARCO REFERENCIAL

### 1.1 JUSTIFICACIÓN

Para estudiar el comportamiento y las propiedades electrónicas de nuevos materiales es recomendable probar éstos en dispositivos tipo *Schottky* dada la fácil fabricación de este tipo de unión entre un metal y un semiconductor[1]. En la práctica, al fabricar dispositivos de barrera *Schottky* se forma una delgada capa de óxido interfacial que convierte el dispositivo en un sistema más complejo, denominado Metal-Oxido-Semiconductor (*MOS*). En este proyecto de investigación se propone la fabricación de dispositivos fotovoltaicos de barrera *Schottky* tipo *MOS*, en los cuales se reemplaza el óxido por una capa de silicio poroso. Las celdas fotovoltaicas se caracterizarán por el método I-V-T y C-V-T para determinar los mecanismos de transporte electrónico.

El propósito central de este trabajo es contribuir a la interpretación de los fenómenos básicos de transporte y operación electrónica de una heteroestructura compleja, que por medio de una capa interfacial de silicio poroso convierte una unión de tipo *Schottky* en un novedoso dispositivo de estructura y comportamiento similar a los reportados recientemente como sistemas *p-i-n* y *p-s-n* [2]. El conocimiento de la operación de estas heteroestructuras con silicio poroso puede dar lugar al desarrollo de diodos con singulares características de corriente voltaje y al diseño y fabricación de nuevos dispositivos a base de silicio poroso con propiedades fotoeléctricas o fotovoltaicos.



## 1.2 OBJETIVOS

### 1.2.1 Objetivo general

Estudiar las propiedades eléctricas y los mecanismos de transporte de un novedoso dispositivo semiconductor con propiedades fotoeléctricas y fotovoltaicas, el cual resulta al intercalar una capa interfacial de silicio poroso en una barrera *Schottky* formada sobre sustratos de silicio cristalino tipo *p*.

### 1.2.2 Objetivos específicos

- Diseño y fabricación de un sistema para caracterización C-V de dispositivos semiconductores.
- Explicar los mecanismos de transporte eléctrico de los dispositivos fotovoltaicos por medio de medidas de capacitancia – voltaje y corriente-voltaje en diferentes temperaturas.
- Analizar el cambio en las barreras *Schottky* por efecto de la capa interfacial de silicio poroso y determinar los mecanismos de transporte electrónico de los nuevos dispositivos.

### 1.3 PLANTEAMIENTO DEL PROBLEMA

Las celdas solares se han desarrollado hasta un punto en que se espera que no se podrá variar notablemente la eficiencia de conversión. Los avances en este campo han creado un gran interés en estudiar nuevos tipos de celdas solares.

La facilidad de producir celdas solares de barrera *Schottky* mediante la evaporación de una delgada capa de metal sobre un semiconductor hace recomendable fabricar prototipos con esta estructura para estudiar el comportamiento de nuevos materiales fotovoltaicos[1].

El estudio del comportamiento eléctrico de nuevas estructuras además de contribuir al mejoramiento de la calidad de los dispositivos, brinda también la posibilidad de comprender los mecanismos de operación que influyen en ellas. En esta investigación se busca correlacionar las características eléctricas de la celda fotovoltaica con los procesos de transporte electrónico, a través del análisis de las curvas Corriente-Voltaje en función de la temperatura (I-V-T), y de las medidas Capacitancia-Voltaje en polarización inversa.

## 2. MARCO TEÓRICO

### 2.1 CELDAS SOLARES METAL-SEMICONDUCTOR (MS) Y METAL-OXIDO-SEMICONDUCTOR (MOS)

A diferencia de las celdas de unión  $p-n$ , las celdas de barrera *Schottky* no tienen defectos introducidos en la red por la interdifusión que se genera al depositar una capa en las celdas de unión  $p-n$ [3]; la barrera *Schottky* es una estructura formada por la unión de un metal con un semiconductor, la cual se realiza al evaporar una capa delgada o película de metal sobre la superficie limpia de un semiconductor[4]. La máxima eficiencia para los dispositivos *Schottky* se obtiene cuando la altura de la barrera ( $\phi_b$ ) en estas estructuras es igual al ancho de la banda prohibida  $E_g$  del semiconductor. Sin embargo, debido a que para silicio  $\phi_b < E_g$  para la mayoría de los metales, las eficiencias reportadas en celdas fabricadas con estas estructuras son bajas[5].

Una mayor eficiencia se obtiene en las estructuras *MOS*. En estas estructuras la capa de óxido intermedia juega un papel determinante en las características fotovoltaicas de las celdas. Por un lado modifica la altura de la barrera de potencial al actuar como dieléctrico o debido a la carga atrapada en su interior (la cual puede ser positiva o negativa), y por otro lado reduce el flujo de portadores, los cuales deberán atravesarla por efecto túnel. Los mecanismos de transporte a través de la barrera de potencial son básicamente los mismos que en el caso de la barrera *Schottky* con la diferencia de que ahora los portadores deberán completar su paso del semiconductor al metal por medio del efecto túnel [6].

## 2.2 ESTRUCTURA MOS (METAL-OXIDO-SEMICONDUCTOR)

Una estructura MOS presenta tres interfaces: metal-óxido, óxido-semiconductor y semiconductor-metal, como lo ilustra la figura 1, en asocio con su respectivo diagrama ideal de bandas de energía en equilibrio termodinámico, figura 2. Una estructura MOS es ideal cuando se cumplen las siguientes condiciones: no hay presencia de cargas en el óxido o en la interfaz Si / óxido, las funciones de trabajo del semiconductor ( $\phi_s$ ) y del metal ( $\phi_M$ ) son idénticas, y la distribución de dopante en el sustrato (semiconductor) es uniforme[7].

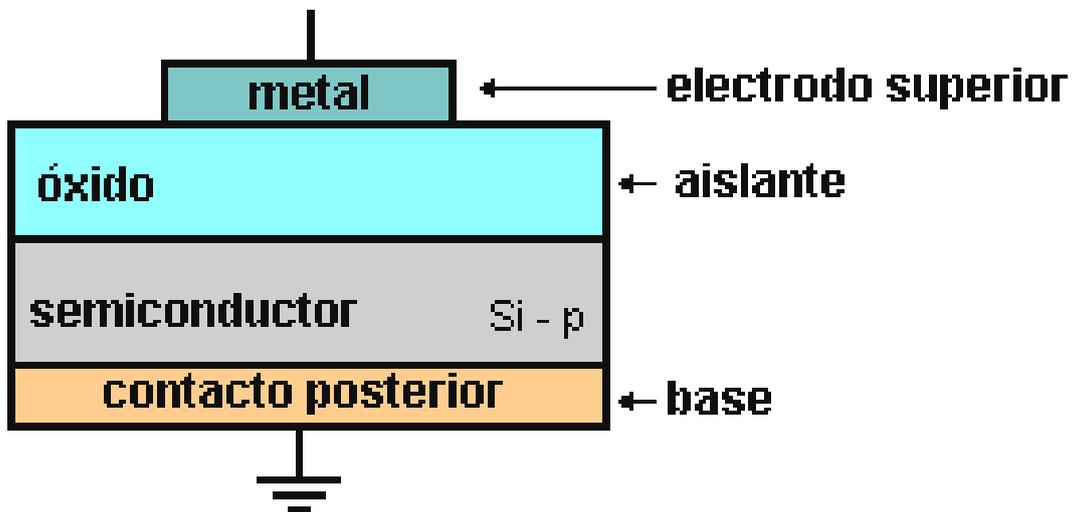
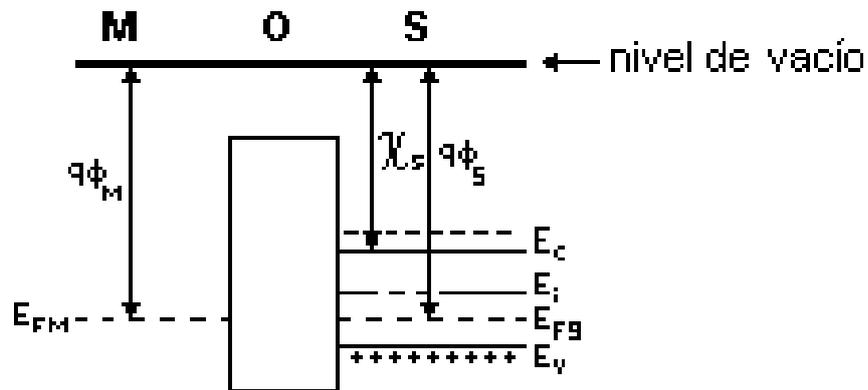


Figura 1. Estructura MOS



**Figura 2. Diagrama de bandas de la estructura MOS en substrato tipo p**

En el diagrama de la figura 1b, se tienen las siguientes convenciones:

$E_c$  – energía del límite inferior de la banda de conducción

$E_{FS}$  – energía del nivel de Fermi en el semiconductor tipo p

$E_{FM}$  – energía del nivel de Fermi en el metal

$E_v$  – energía del límite superior de la banda de valencia

$E_i$  – energía del nivel de Fermi en un semiconductor intrínseco

$E_g = E_c - E_v$  – magnitud de energía de la banda prohibida

$\phi_M$  – función de trabajo del metal (diferencia de energía entre el nivel de vacío y el nivel de Fermi). En condiciones de equilibrio  $\phi_M = \phi_s = \chi_s + E_g / 2q + \psi_f$

$\phi_s$  - función de trabajo del semiconductor

$\chi_s$  – afinidad electrónica del semiconductor (diferencia entre el nivel de vacío y la banda de conducción del semiconductor)

$\psi_f = (E_i - E_{FS})/q$  – potencial de Fermi (diferencia de energías entre el nivel de Fermi y el nivel de Fermi intrínseco)

## 2.3 CARACTERÍSTICA C – V

La caracterización C-V revela perfiles de dopaje de difusiones, implantes o materiales; estos revelan características del óxido las cuales pueden ser influenciadas por la deposición del óxido o daños en el dispositivo; y otras características interfaciales tales como densidad de trampas y la función de trabajo de la unión semiconductor-semiconductor o metal-semiconductor [8].

Siendo  $V_G$  una tensión en el electrodo superior (figura 3), la característica C – V puede ser dividida en tres regiones[9]:

- 1)  $V_G \ll 0$  - acumulación de portadores mayoritarios (huecos)
- 2)  $V_G > 0$  - formación de una capa de agotamiento de huecos (portadores mayoritarios);
- 3)  $V_G \gg 0$  - condición de inversión - concentración de portadores minoritarios (electrones) mayor que la de mayoritarios (huecos);

**2.3.1 Región de acumulación:** aplicando una tensión negativa al electrodo superior ( $V_G \ll 0$ ), los huecos, que son los portadores mayoritarios (substrato tipo-p), son atraídos a la superficie del substrato (interfaz óxido / semiconductor). La concentración de huecos aumenta en la superficie del silicio, formándose una región de acumulación de portadores mayoritarios. El nivel de energía de Fermi (EFS) se aproxima a la banda de valencia. Como este nivel se mantiene constante en equilibrio térmico, hay un aumento en las bandas de energía de valencia ( $E_v$ ) y conducción ( $E_c$ ). La capa de acumulación, con una concentración alta de portadores mayoritarios, puede ser considerada como un segundo electrodo de un capacitor de placas paralelas, entonces el primero es un electrodo superior, resultando en el un campo eléctrico  $E_p = -V_G/t_{ox}$  no óxido, como lo ilustra la Figura 3. En condición de acumulación fuerte, desde que ocurra un contacto ohmico directo entre un substrato tipo-p y

una región de acumulación de huecos, la capacitancia de estructura MOS es máxima y aproximadamente igual a la capacitancia en el óxido, que es:

$$C_{\text{máx}} = C_{\text{ox}} = (\epsilon_0 \cdot \epsilon_{\text{ox}} \cdot A) / t_{\text{ox}} \quad (2.1)$$

donde:

$C_{\text{ox}}$  - capacitancia del óxido;  $\epsilon_0$  – permitividad del vacío;

$\epsilon_{\text{ox}}$  – permitividad del óxido;  $t_{\text{ox}}$  - espesor del óxido;

A - área del electrodo superior.

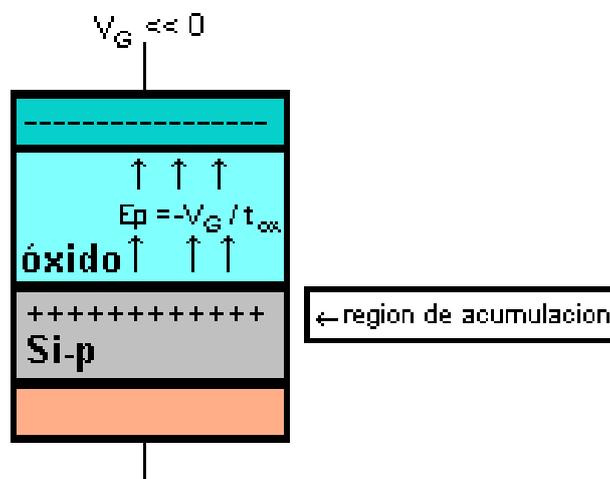


Figura 3. Región de acumulación en una estructura MOS

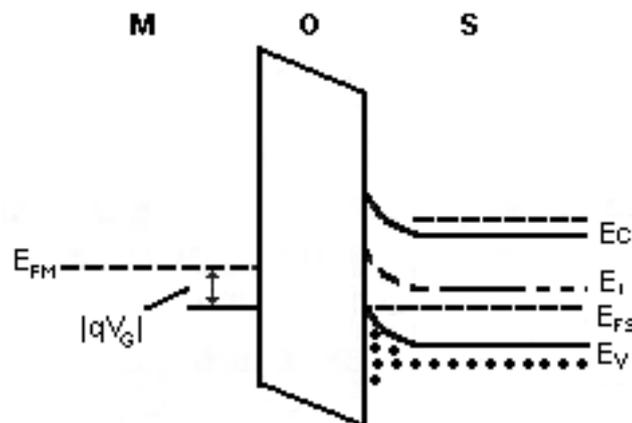


Figura 4. Diagrama de bandas de energía con aumento de los niveles de energía  $E_c$ ,  $E_v$  y  $E_i$

Disminuyéndose la tensión negativa en el electrodo superior ( $V_G < 0$ ), la capa de acumulación de portadores mayoritarios es reducida por lo tanto el campo

eléctrico en el óxido permanece menos intenso. Disminuyéndose aun más la tensión en el electrodo para  $V_G = 0$ , la capa de acumulación es extinta, tornando las concentraciones de portadores en la superficie semejante a las del cuerpo del sustrato. En esta condición no hay encurvamiento de las bandas de energía (condición de banda plana) y la tensión aplicada en el electrodo es denominada tensión de banda plana ( $V_{fb}$ ), siendo  $C_{fb}$  la capacitancia de banda plana correspondiente. Para un MOS ideal, la tensión  $V_{fb}$  es nula.

**2.3.2 Región de agotamiento:** para una tensión en el electrodo mayor que una tensión de banda plana, ocurre un desplazamiento de los portadores mayoritarios (huecos) de la superficie del sustrato, exponiendo los iones de las impurezas aceptoras (electrones) [10]. Así mismo se forma una región de agotamiento de portadores en la superficie, con ancho  $W_d$ , constituida por los iones aceptores, que compensa el campo eléctrico aplicado (Figura 5). En la condición de agotamiento, ocurre la aproximación del nivel de Fermi en dirección al centro de la banda prohibida del semiconductor y la disminución de bandas, o sea, es función de la tensión  $V_G$  aplicada en el electrodo.  $W_d$  está dado por [11]:

$$W_d = [(2 \cdot \epsilon_{si} \cdot \psi_s) / (q \cdot N_{A,D})]^{1/2} \quad (2.2)$$

donde:

$\epsilon_{si}$  – permitividad eléctrica del silicio;  $q$  – carga del electrón;

$N_{A,D}$  – concentración de dopantes aceptores o donadores en el silicio.

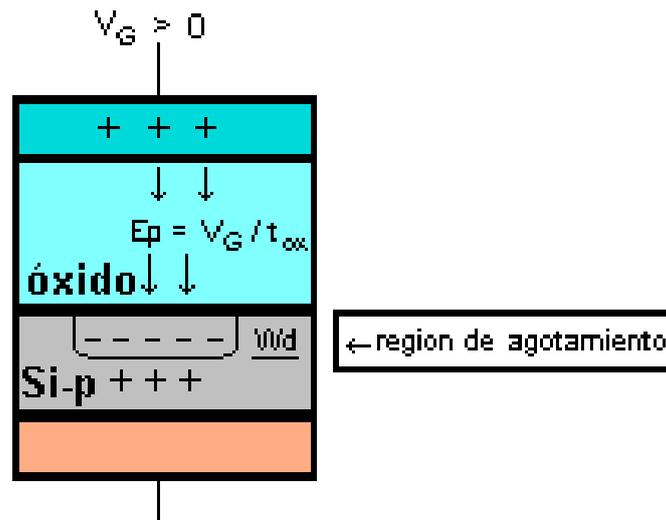


Figura 5. Esquema de la región de agotamiento

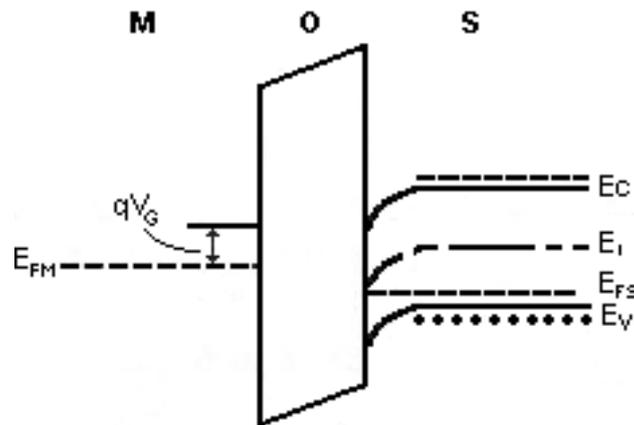


Figura 6. Diagrama de bandas de energía del silicio

**2.3.3 Región de inversión:** Aumentándose aún más la tensión  $V_G$  aplicada al electrodo, se consigue igualar las concentraciones de portadores (minoritarios y mayoritarios) con una concentración de nivel intrínseco de semiconductor ( $n=p=n_i$ ). En este caso, los niveles intrínseco y el de Fermi en el diagrama de bandas se asumen valores iguales. Ocurre una atracción de portadores minoritarios (electrones) en dirección de la superficie del sustrato.

Se forma una capa de inversión de tipo  $n$  en la interfase Si / SiO<sub>2</sub>. Con un valor mayor de  $V_G$  (manteniéndose las condiciones de equilibrio), hay un aumento en la concentración de electrones en la superficie del sustrato,  $\psi_s$  se torna saturado y  $W_d$  se torna constante, alcanzando un valor máximo. Esta es una

condición de inversión fuerte, con  $W_d = W_{\text{máx}}$  (región de agotamiento con ancho máximo). El nivel de Fermi se aproxima a la banda de conducción próxima a la superficie, como muestra las figuras 7 y 8.

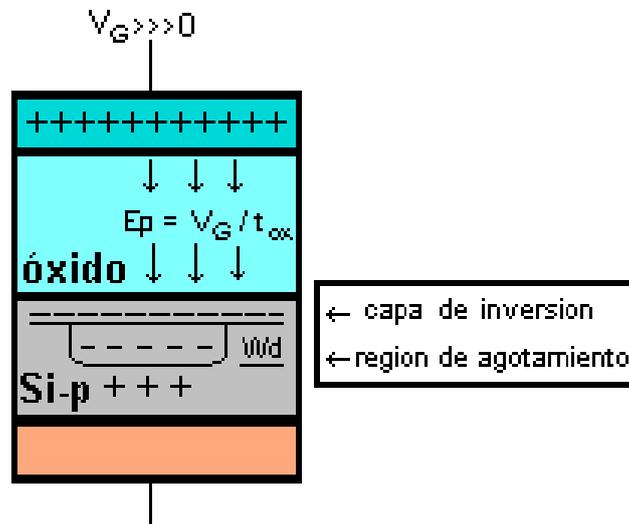


Figura 7. Esquema de la región de inversión

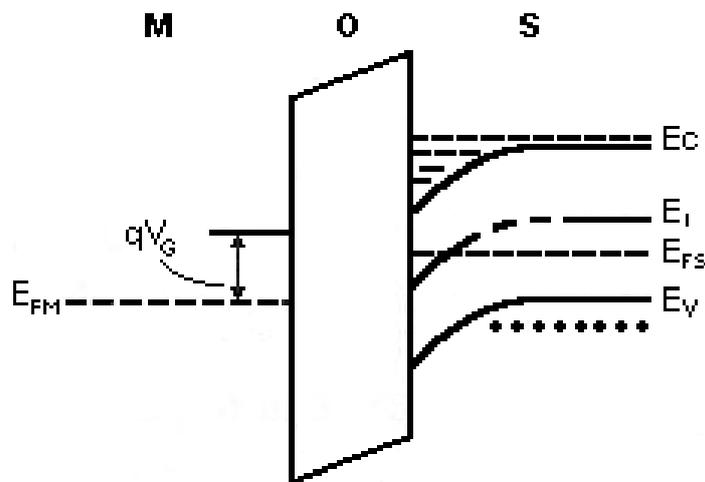


Figura 8. Diagrama de bandas de energía

El valor de la capacitancia de la estructura MOS, en condición de inversión, es función de la frecuencia de señal AC de polarización [11]. Para medidas C-V en alta frecuencia ( $>1\text{Khz}$ ), en condiciones de acumulación y agotamiento, hay portadores mayoritarios en concentración suficiente para responder a una señal AC de este tipo. Mas, en la inversión, la capacitancia es determinada por el tiempo de respuesta de los portadores minoritarios. Para una señal de

polarización en alta frecuencia, hay un atraso de los portadores minoritarios en relación a esta señal AC, o sea, estos portadores no son generados en cantidad suficiente para compensar la señal aplicada[12]. Ocurre una modulación de la capa de agotamiento de ancho máximo y constante. En la condición de inversión fuerte, por tanto, la capacitancia total de la estructura MOS se torna mínima:

$$C_{\min} = [(1/ C_{\text{ox}}) + (W_{\text{dmax}} / \epsilon_{\text{si}})]^{1/2} \quad (2.3)$$

donde:

$C_{\min}$  – capacitancia total mínima para la condición de inversión ; utilizándose señal de polarización de alta frecuencia;

$W_{\text{dmax}}$  – ancho máximo de la capa de agotamiento;

$C_{\text{ox}}$  – capacitancia en el oxido;

$\epsilon_{\text{si}}$  – constante dieléctrica del silicio.

En una estructura MOS no ideal, hay presencia de cargas en el oxido y en la interfase Si/SiO<sub>2</sub>, y las funciones de trabajo del metal y del semiconductor son diferentes. Esto provoca un desplazamiento de la curva C-V de la estructura MOS real en relación a la ideal [13], por tanto la diferencia de potencial entre los electrodos de la estructura MOS ( $V_G$ ) dependen directamente de la diferencia de las funciones de trabajo ( $\phi_{\text{MS}}$ ), de la tensión en el oxido ( $V_{\text{ox}}$ ), que esta relacionada con las cargas efectivas en el oxido  $Q_0$ , y del potencial de superficie  $\psi_s$ :

$$V_G = V_{\text{ox}} + \phi_{\text{MS}} + \psi_s \quad (2.4)$$

(a) Para una estructura MOS ideal, la Ec (2.4) se hace:

$$V_G = \psi_s, \text{ porque } V_{\text{ox}} = 0 \text{ y } \phi_{\text{MS}} = 0$$

Para  $V_G = V_{\text{fb}}$  (condición de banda plana);  $\psi_s = 0$ , por tanto,  $V_{\text{fb}} = 0$

(b) Para una estructura MOS real:

$$V_{ox} = Q_0A/C_{ox} \quad (2.5)$$

Donde;

$C_{ox}$  esta dado por la Ecuación 2.1.;

A – área del dispositivo;

$Q_0$  – carga efectiva en el oxido.

Para la condición de banda plana:

$$\psi_s = 0 ; \quad V_G = V_{fb} = \phi_{MS} + Q_0A/C_{ox} \quad (2.6)$$

De la expresión (2.6), se tiene que:

$$Q_0 = [\phi_{MS} - V_{fb}]C_{ox}/A \quad (2.7)$$

La técnica C-V permite determinar importantes propiedades eléctricas de las estructuras MOS, tales como: capacitancia de banda plana ( $C_{fb}$ ), tensión de banda plana ( $V_{fb}$ ), ancho de la capa de agotamiento ( $W_d$ ), espesor del oxido ( $t_{ox}$ ), concentración efectiva de dopantes eléctricamente activos ( $N_{A,D}$ , A- para dopantes aceptores de electrones y D-para dopantes donadores de electrones), densidad de carga efectiva en el oxido ( $Q_0$ ), densidad de cargas capturadas en la interfase ( $Q_{it}$ ), densidad de cargas móviles ( $Q_m$ ), densidad de cargas fijas ( $Q_f$ ) y densidad de cargas capturadas ( $Q_{ot}$ ) en el oxido a través de la comparación de las curvas experimentales y teóricas [7]. Diferentes procedimientos de medidas y métodos (recursivo, gráficos y de desplazamientos de curva C-V) son utilizados para determinar dichas propiedades, [11].

**2.3.4 Cargas en el óxido de Silicio.** Hay cuatro tipos de cargas que normalmente son observadas en una estructura de  $SiO_2$  y en una interfase  $SiO_2/Si$  como se muestra en la Figura 5 [11]: cargas móviles, cargas capturadas en el oxido, cargas fijas y cargas capturadas en la interfase. Una

carga efectiva  $Q_o$  en el oxido comprende estos cuatro tipos de cargas. Una presencia de ellas en el oxido o en la interfase oxido / semiconductor ayuda a disminuir la integridad de la película aislante y aumenta la inestabilidad del comportamiento de los dispositivos MOS, genera ruidos, aumenta las corrientes de fuga en las juntas y en la superficie, disminuye la tensión de ruptura dieléctrica, altera el potencial de superficie  $\psi_s$ , afecta la tensión umbral  $V_t$ .

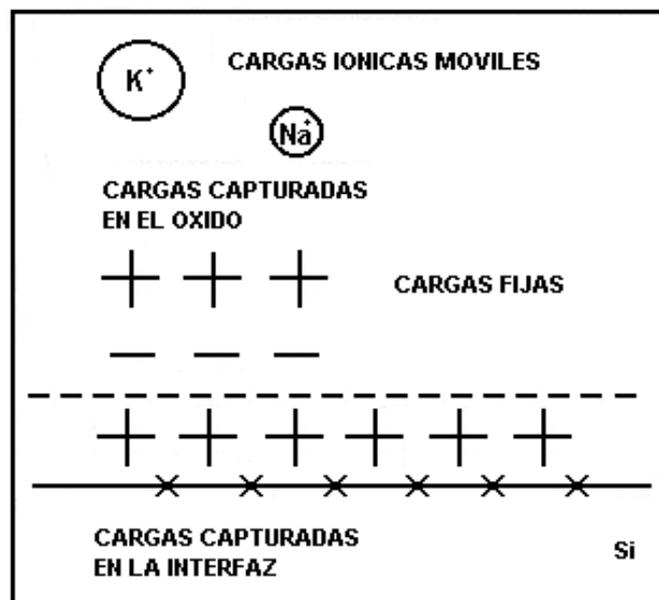


Figura 9. Cargas en el silicio térmicamente oxidado.

**2.3.5 Cargas móviles.** Las cargas móviles  $Q_m$  están asociadas a la contaminación del oxido por iones de los metales alcalinos  $Na^+$ ,  $K^+$ , y  $Li^+$  e iones  $H^+$  y  $H_3O^+$ . Estos iones son móviles en el oxido bajo efecto del campo eléctrico a temperaturas  $T >$  temperatura ambiente. Alteran el potencial de superficie  $\psi_s$  y provocan inestabilidad de las características eléctricas de los dispositivos MOS.

Las cargas móviles  $Q_m$ , principalmente los iones de sodio  $Na^+$ , pueden incorporarse al oxido de silicio en los procesos de evaporación, oxidación térmica, recocimiento térmico, aplicación de fotorresistencia y en cualquier etapa de fabricación, en que se utiliza o maneja las laminas[11,14].

**2.3.6 Cargas capturadas en la interfase SiO<sub>2</sub>/Si.** Por localizarse en una interfase entre el SiO<sub>2</sub>(material amorfo) y el Si(material cristalino), las cargas capturadas en la interfase  $Q_{it}$  ocurren debido a los defectos de posicionamiento atómico de una estructura silicio-oxígeno y la presencia de impurezas metálicas. Los estados cuánticos de energía son introducidos en una banda prohibida del silicio por estas cargas  $Q_{it}$ , permitiendo una mayor facilidad de comunicación eléctrica entre las bandas de valencia y conducción del silicio. Conforme al potencial de superficie, esta facilidad de comunicación eléctrica permite variar el estado de carga  $Q_{it}$  capturando o emitiendo portadores [11,14]. Por tanto, estas cargas son positivas o negativas.

La presencia de  $Q_{it}$  en la interfase SiO<sub>2</sub>/Si depende de varios parámetros de las etapas de fabricación de los dispositivos MOS [11,14], tales como: orientación cristalográfica de los substratos de silicio, que determina la densidad relativa de ligaciones en la interfase, siendo  $Q_{it}(111) > Q_{it}(110) > Q_{it}(100)$ ; temperatura de oxidación; contaminación por impurezas interfaciales (en ambientes de difusión, oxidación e implementación); y procesos radioactivos (litografía radioactiva, rayos X y UV, evaporación, implantación iónica, plasma, y sputtering) que quiebran ligaciones atómicas.

**2.3.7 Q<sub>f</sub>-Cargas fijas.** Las cargas fijas  $Q_f$  se localizan en la capa del óxido a menos de 2.5nm de la interfase SiO<sub>2</sub>/Si, que es la región del óxido tensionado (óxido no estequiométrico, con composición de tipo SiO<sub>x</sub>). Las cargas fijas  $Q_f$  no se comunican eléctricamente entre las bandas de valencia y conducción del silicio (no hay intercambio de portadores con el semiconductor) y mantienen su estado de carga (cargas positivas).

La presencia de  $Q_f$  en el óxido depende de varios parámetros, que son: la orientación cristalina de los substratos de silicio ( $Q_f(111) > Q_f(110)$ ,  $Q_f(111) > Q_f(100)$ ), el ambiente de oxidación (seco o húmedo), la temperatura de oxidación, las condiciones de enfriamiento de los substratos de silicio después de la oxidación y la presión del O<sub>2</sub> en el ambiente de oxidación.

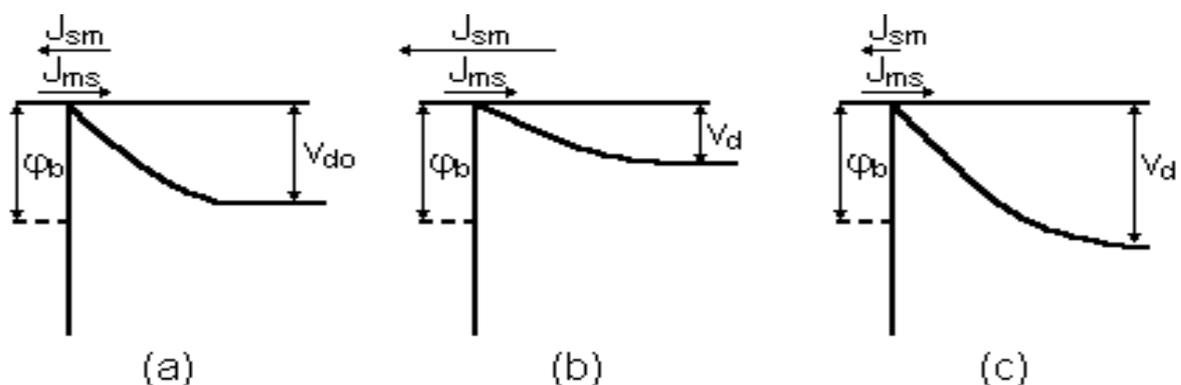
**2.3.8  $Q_{ot}$ -Cargas capturadas en el óxido.** Las cargas capturadas en el óxido  $Q_{ot}$  se localizan por todo el volumen de la película de  $SiO_2$  y son huecos o trampas en el cuerpo del óxido. Estas trampas son impurezas y ligaciones atómicas quebradas (provocadas por tensiones y defectos en el óxido). Normalmente son neutras, mas se cargan cuando los electrones o huecos son introducidos en el óxido por: tunelamiento de portadores del substrato de silicio o del electrodo; inyección de portadores por avalancha (puede ocurrir cuando hay gran diferencia de potencial entre las diferentes regiones de un dispositivo en operación, provocando la aceleración de los portadores por avalancha a dentro del óxido); y exposición a radiación ionizante (con energía  $> 8.8$  eV (energía de la banda prohibida ("gap") del  $SiO_2$ )).

## 2.4 CARACTERÍSTICA CORRIENTE-VOLTAJE

El proceso mas importante que determina la corriente en una unión a la cual se ha aplicado un voltaje de polarización es el flujo de electrones a través de la superficie de la barrera desde el semiconductor al metal y viceversa.

En la ausencia de polarización la densidad de corriente  $J_{sm}$  debida al paso de electrones del semiconductor al metal debería ser igual y opuesta a la densidad de corriente  $J_{ms}$  debida al paso de electrones del metal al semiconductor ya que en un contacto perfecto las cargas deben estar balanceadas. Esto se muestra en la figura 10 en la cual las flechas representan la dirección del flujo de electrones y no la corriente eléctrica convencional. Si un voltaje de polarización es aplicado al contacto tal que el metal es positivo (semiconductor tipo  $n$ ), las bandas en el semiconductor incrementan en energía con respecto al metal y el campo eléctrico en la barrera decrece. Debido a que la resistividad

del metal es muchos ordenes de magnitud mas bajo que el de la capa de agotamiento, la disminución en el campo eléctrico toma lugar dentro de la barrera del semiconductor y la forma de la barrera cambia como lo muestra la figura 10b. El potencial de difusión  $V_d$  es disminuido comparado con el caso de polarización cero, y el numero de electrones capaces de superar la barrera desde el semiconductor aumenta para que  $J_{sm}$  aumente. Sin embargo, la altura de la barrera  $\phi_b$  vista desde el metal no cambia y  $J_{ms}$  permanece constante para que haya un flujo neto de electrones dentro del metal. Porque hay un suministro relativamente copioso de electrones en el interior del semiconductor,  $J_{sm}$  puede aumentar en tantos ordenes de magnitud como el voltaje aplicado aumenta. Este es el flujo de corriente directo. Si el voltaje de polarización es invertido tal que el semiconductor es positivo, las bandas de energía en el semiconductor son bajas con respecto a estas en el metal y el potencial de difusión  $V_d$  aumenta así que el numero de electrones capaces de superar la barrera desde el semiconductor disminuye. Sin embargo, la altura de la barrera  $\phi_b$  vista desde el metal no cambia tal que  $J_{ms}$  permanece constante y hay un flujo neto de electrones dentro del semiconductor. Sin embargo el voltaje aplicado puede ser grande,  $J_{sm}$  no puede ser menor que cero, tal que la corriente neta satura en el valor  $J_{ms}$  el cual es independiente del voltaje de polarización. Este es el flujo de corriente inverso.

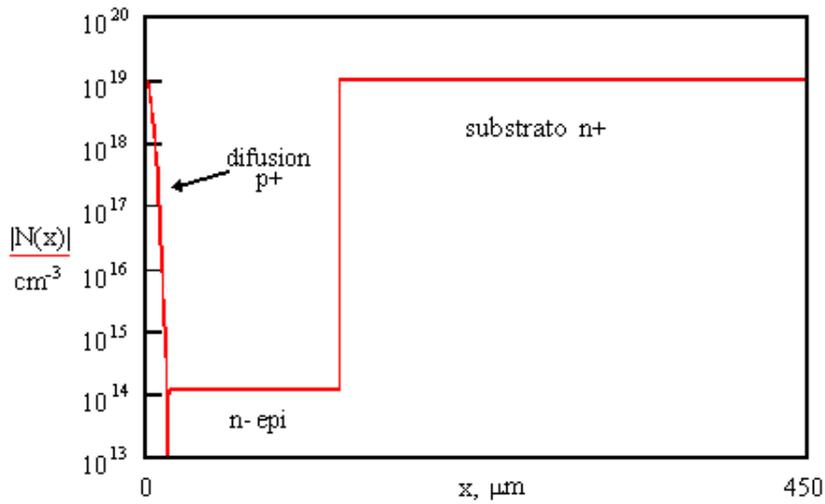


**Figura 10. Barrera Schottky (a) polarización cero, (b) polarización directa y (c) polarización inversa, mostrando las dos componentes de la corriente**

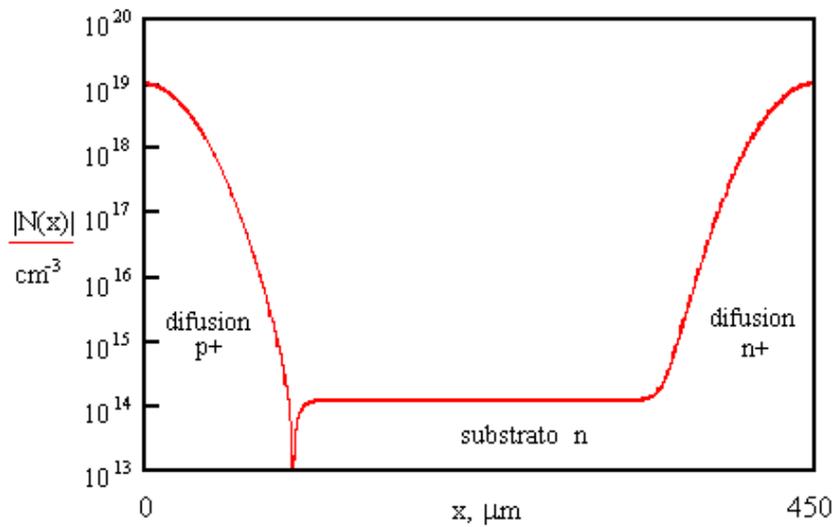
Para un electrón pasar desde el semiconductor al metal debe primero pasar a través de la región de agotamiento. Al ser así este movimiento es gobernado por los procesos usuales de difusión y deriva en el campo eléctrico (oponiéndose). Cuando lo alcanza el metal, repentinamente los recibe una gran cantidad de momentum (correspondiente a la velocidad de Fermi en el metal) normal a la interfaz. Este último proceso es gobernado por el número de estados de Bloch en el metal el cual puede comunicarse con el semiconductor[referencia]. Estos dos procesos son efectivamente en serie, y la corriente es determinada por el que presenta el más grande impedimento al flujo de corriente. Al principio Mott y Schottky asumieron que la deriva y la difusión de electrones en la región de la barrera constituyen la obstrucción al paso de electrones, y esto es la base de la 'teoría de difusión'[15].

## 2.5 DIODOS PIN

Un diodo *p-i-n* es una unión *p-n* con una capa intrínseca, la "región *i*", intermedia entre una capa *p* y una capa *n*. En la práctica, sin embargo, la región idealizada *i* es aproximada por cualquiera de las dos una capa *p* de alta resistividad (capa  $\pi$ ) o una capa *n* de alta resistividad (capa  $\nu$ )[16]. Estas estructuras pueden ser fabricadas, por medio de diferentes métodos como: (1) procesos epitaxiales, (2) difusión de las regiones *p* y *n* en un sustrato semiconductor de alta resistividad.



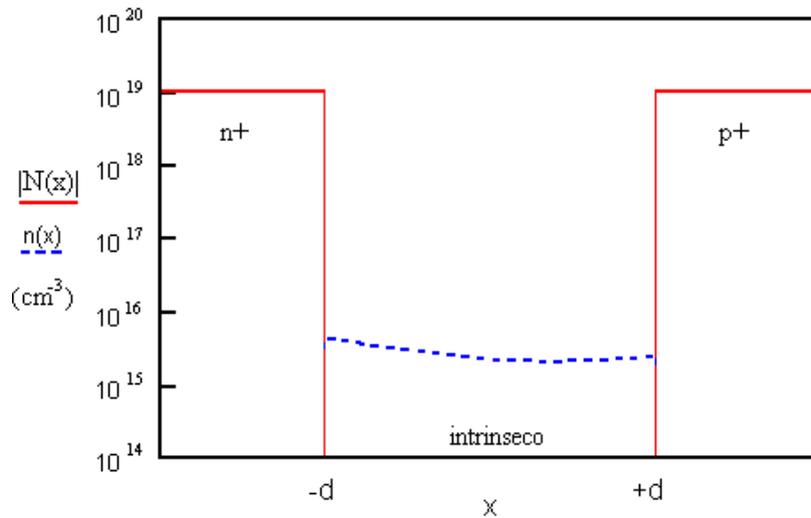
**Figura 11. Estructura típica epitaxial del diodo**



**Figura 12. Estructura típica difundida del diodo**

La figura 13 muestra la estructura ideal de un diodo *pin*, en polarización directa, la distribución de portadores en la capa media cuasi-neutral puede ser escrita como[17]

$$n(x) = \frac{\tau \cdot J_F}{2 \cdot q \cdot L_d} \left( \frac{\cosh \frac{x}{L_d}}{\sinh \frac{d}{L_d}} - B \frac{\sinh \frac{x}{L_d}}{\cosh \frac{d}{L_d}} \right) \quad (2.8)$$



**Figura 13. Estructura de dopamiento pin y densidades de portadores**

Esta expresión es exacta para diodos *pin* y aproximada para diodos *psn*. Ya que, por definición, la región media del diodo *pin* está bajo alta inyección, las concentraciones de portadores son aproximadamente iguales, esto es

$$p(x) \approx n(x) \quad (2.9)$$

el tiempo de vida en (1) es el tiempo de vida ambipolar,

$$\tau = \tau_{n0} + \tau_{p0} \quad (2.10)$$

y la longitud de difusión  $L_D$  es

$$L_D = \sqrt{D\tau} \quad (2.11)$$

donde  $D$  es la constante de difusión ambipolar, dada por

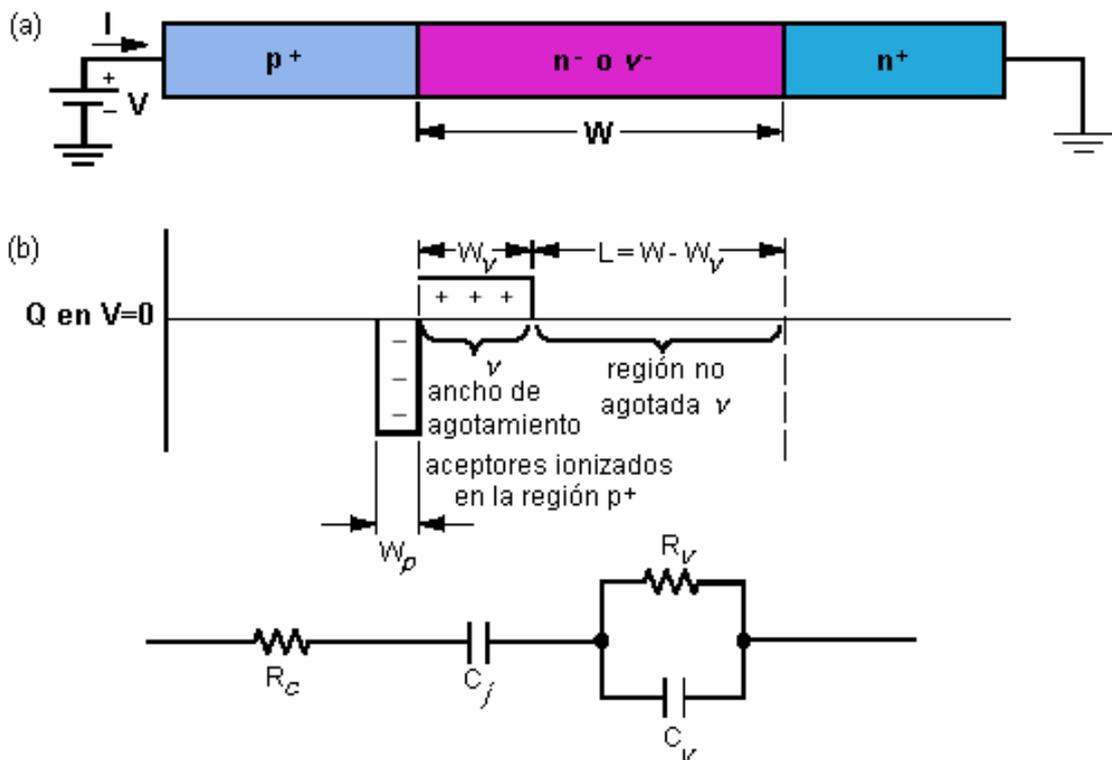
$$D = \frac{2D_n D_p}{D_n + D_p} \quad (2.12)$$

La Figura 14(a) muestra un diodo *pvn* con un voltaje aplicado. En la interfaz  $p+v$ , se forma una unión PN. Similar a una unión metal-semiconductor, una región de agotamiento será formada en la unión, pero nada parecida a la unión

metal-semiconductor, las regiones de agotamiento son formadas en ambos lados de la unión[18]. Esto se muestra en la figura 14(b). Debido a que la carga total en la región de agotamiento  $p+$  debería ser igual a la carga total en la región de agotamiento  $n$  o  $W_p N_A = W_n N_D$ , el ancho de la región de agotamiento en la región  $n$  será mas grande. Usualmente,  $W_n \gg W_p$  y la región total de agotamiento puede ser aproximada a  $W_n$ . En ese sentido, el modelo metal-semiconductor podría ser usado donde las regiones  $p+$  y  $n+$  pueden ser consideradas como electrodos de metal y el ancho de la región de agotamiento esta determinado por la ecuación:

$$W = \sqrt{\frac{2\epsilon_r\epsilon_0}{qN_d} \left( V_{bi} - V - \frac{KT}{q} \right)} \quad (2.13)$$

el circuito equivalente para el diodo sin polarizar es mostrado en la Figura 10(b).  $R_C$  es la resistencia total de los contactos ohmicos  $p+$  y  $n+$ ,  $R_v = \rho L / A$  es la resistencia en la región  $n$ ,  $C_v = qA / L$  es comúnmente llamada la capacitancia de difusión y la cantidad de carga almacenada en la región  $n$ ,  $C_j = qA / W_n$  es la capacitancia en la región de agotamiento.  $A$  es el área del diodo,  $W_n$  es el ancho de la región de agotamiento,  $W$  es el ancho de la región  $n$  y  $\rho$  es la resistividad de la región  $n$ . En general,  $R_C$  es constante, pero  $C_j$ ,  $C_v$ , y  $R_v$  son dependientes del voltaje de polarización.



**Figura 14. diodo p-n: (a) esquemático, (b) región de agotamiento**

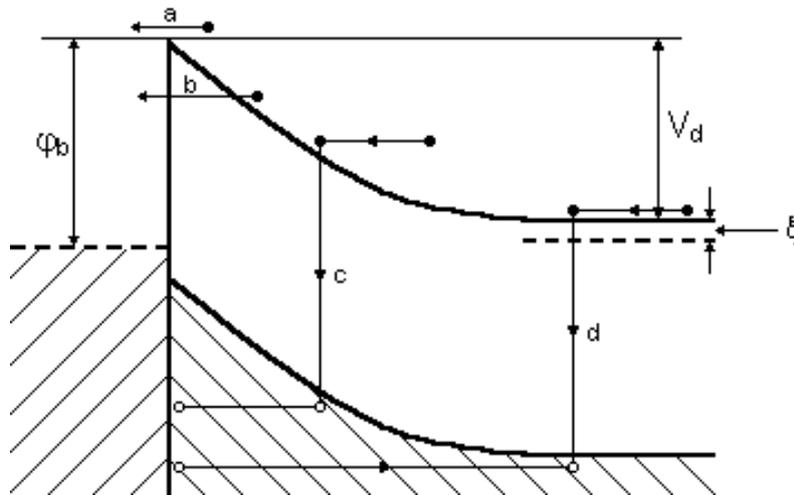
La polarización directa causa la inyección de electrones en la región  $v$  desde el contacto  $n+$  y los huecos son inyectados en la región  $v$  desde el contacto  $p+$ . Este incremento en los portadores ocasiona el decremento en la resistividad de la región  $v$ . Ya que la cantidad de inyección de carga es dependiente del potencial de polarización, la impedancia en polarización directa es dependiente de la polarización.

## 2.6 MECANISMOS DE TRANSPORTE

En el transporte de portadores a través de las interfaces intervienen algunos procesos característicos de barreras *Schottky*, los cuales determinan sus propiedades de conducción. [4,19]

Los mecanismos son:

- a) Emisión de electrones desde el semiconductor a la superficie de la barrera en el metal
- b) Tunelamiento mecánico-cuántico a través de la barrera
- c) Recombinación en la región de carga espacial
- d) Recombinación en la región neutral (inyección de huecos)

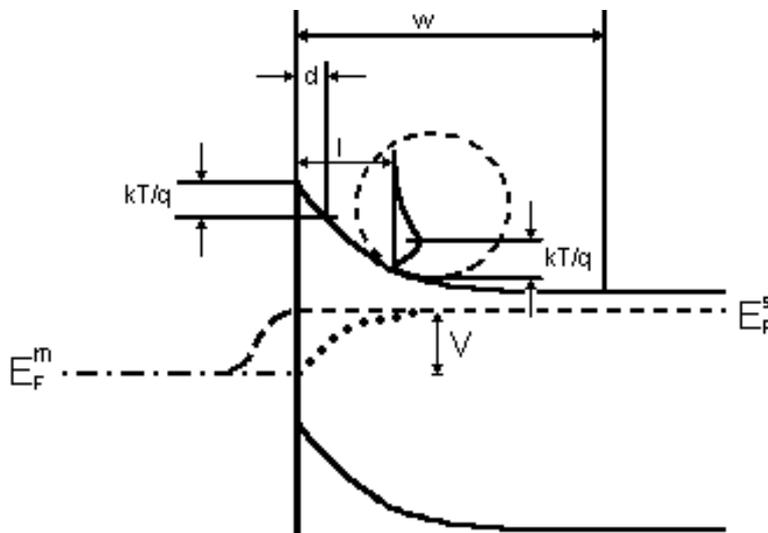


**Figura 15. Mecanismos de transporte en una barrera Schottky polarizada en directo**

**2.6.1 Emisión sobre la barrera.** Antes que los electrones puedan ser emitidos sobre la barrera hacia el metal, ellos deben primero ser transportados desde el interior del semiconductor a la interfaz. Atravesando la región de vaciamiento del semiconductor, su movimiento es gobernado por los mecanismos usuales de difusión y deriva en el campo eléctrico de la barrera. Cuando ellos llegan a la interfaz, su emisión en el metal es controlada por el número de estados de Bloch en el metal, los cuales pueden comunicarse con los estados en el semiconductor. Estos dos procesos son en serie, y la corriente es determinada predominantemente por el que causa el mas grande impedimento al flujo de electrones[4,20].

La diferencia entre las dos teorías(de la difusión y emisión termoiónica) esta dada por el comportamiento del cuasi-nivel de Fermi para electrones en la banda de conducción del semiconductor. De acuerdo con la teoría de difusión,

la concentración de electrones de conducción en el semiconductor inmediatamente adyacente a la interfaz no se altera por la polarización aplicada. Esto es equivalente a asumir que en la interfaz el cuasi-nivel de Fermi en el semiconductor coincide con el nivel de Fermi en el metal. En este caso, el cuasi nivel de Fermi cae hacia abajo a través de la región de agotamiento como se muestra en la figura 16. Este comportamiento esta en contraste con la situación en una unión  $p-n$  bajo polarización , donde los cuasi-niveles de Fermi para ambos tipos de portadores, se asume están atravesando la región de vaciamiento.



**Figura 16. Cuasi nivel de Fermi en una barrera Schottky ●●● teoría de difusión, ---- teoría de emisión termoiónica. El círculo punteado muestra la distribución de energía de electrones los cuales hacen su última colisión a una distancia  $l$  de la interfaz.**

Los electrones emitidos desde el semiconductor hacia el metal no están en equilibrio térmico con los electrones de conducción en el metal pero tienen una energía que excede la energía de Fermi del metal ( $\sim 1$  eV).

Ellos pueden ser descritos como electrones '*calientes*', Gossick sugiere que los electrones *calientes* en el metal pueden pensarse como una especie de

electrones diferentes de los electrones de conducción ordinarios, y pueden describirse por un cuasi nivel de Fermi.

Como los electrones *calientes* penetran en el metal, ellos pierden energía por colisiones con electrones de conducción y la red y finalmente entran en equilibrio con los electrones de conducción en el metal. Su cuasi-nivel de Fermi cae hasta coincidir con el nivel de Fermi del metal. Este proceso es algo semejante a la recombinación en un semiconductor. Este punto de vista implica que el cuasi nivel de Fermi del electrón en la interfaz no tiene que coincidir con el nivel de Fermi del metal, y es posible prever que el cuasi nivel de Fermi permanece plano a través de la región de vaciamiento como en una unión p-n (figura 12). Esta es la suposición hecha en la teoría de emisión termoiónica de Bethe (1942). Llevando en mente que el gradiente del cuasi nivel de Fermi provee la fuerza impulsora para los electrones, de acuerdo a la teoría de difusión el principal obstáculo al flujo de corriente esta dado por los efectos combinados de difusión y deriva en la región de vaciamiento donde, de acuerdo a la teoría de emisión termoiónica, el embotellamiento esta en el proceso de emisión de electrones en el metal.

**2.6.1.1 La teoría de difusión.** Para derivar las características corriente-voltaje de acuerdo a la teoría de difusión, la densidad de corriente en la región de vaciamiento en la forma usual es[21]

$$J = qn\mu E + qD_e \frac{dn}{dx} \quad (2.14)$$

donde  $n$  es la concentración de electrones en el semiconductor tipo- $n$ ,  $\mu$  su movilidad,  $D_e$  su constante de difusión,  $E$  el campo eléctrico en la barrera, y  $-q$  la carga sobre el electrón.

Esto es posible si se usan los conceptos de una constante difusión y movilidad las cuales son independientes del campo eléctrico. Este no es el caso cerca de

la superficie de la barrera donde  $E$  tiene su máximo valor. Además, si la función de distribución del electrón cambia apreciablemente con el camino libre medio como es el caso cerca de la superficie de la barrera, esto ni siquiera es justificable para dividir la corriente en las componentes de deriva y difusión las cuales son independientes una de otra.

Introducimos el cuasi-nivel de Fermi para electrones  $\zeta$  definido por

$$n = N_c \exp \{-q(E_c - \zeta)/kT\} \quad (2.15)$$

donde  $N_c$  es la densidad efectiva de estados en la banda de conducción y  $E_c$  es la energía de el fondo de la banda de conducción. Usando la aproximación de Boltzmann a la función de distribución de Fermi-Dirac. Haciendo uso de la relación de Einstein  $\mu / D_e = q / kT$ , es posible escribir la ecuación 2.14 en la forma

$$J = q\mu n \frac{d\zeta}{dx} \quad (2.16)$$

la cual muestra que el gradiente de  $\zeta$  suministra la 'fuerza impulsora' para electrones. Combinando las ecuaciones 2.15 y 2.16 tenemos

$$J = q\mu N_c \exp\{-q(E_c - \zeta)/kT\} \frac{d\zeta}{dx} = kT\mu N_c \exp\{-qE_c/kT\} \frac{d\{\exp(q\zeta/kT)\}}{dx} \quad (2.17)$$

Integrando entre  $x = 0$  y  $x = w$ ,

$$\frac{J}{kT\mu N_c} \int_0^w \exp(qE_c/kT) dx = [\exp(q\zeta/kT)]_0^w = \exp\{q\zeta(w)/kT\} - \exp\{q\zeta(0)/kT\} \quad (2.18)$$

aquí la relación corriente-voltaje esta determinada completamente si  $E_c$  es conocida como una función de  $x$  y si los valores de  $\zeta(0)$  y  $\zeta(w)$  puede ser

especificada por un valor particular de voltaje aplicado. Es conveniente tomar el nivel de Fermi en el metal como el nivel cero de energía tal que  $\zeta(w) = V$ , puesto que el voltaje aplicado  $V$  es igual a la diferencia entre los niveles Fermi en los terminales del diodo expresados en electrón voltios. La suposición hecha en la teoría de difusión es que la concentración de electrones en la interfaz del semiconductor no se altera por la aplicación de polarización; i.e. que  $\zeta(0) = 0$  es equivalente a asumir que el impedimento al flujo de corriente es totalmente suplido

por los procesos de deriva y difusión en la región de vaciamiento.

**2.6.1.2 La teoría de emisión termoiónica.** En la teoría de emisión termoiónica de Bethe[22], la suposición hecha es que el proceso limitante de la corriente es la transferencia actual de electrones a través de la interfaz entre el semiconductor y el metal. Los procesos inversos bajo polarización inversa es análogo a la emisión termoiónica desde el metal en vacío pero con la altura de barrera  $\phi_b$  reemplazando la función de trabajo del metal  $\phi_m$ . Los efectos de deriva y difusión en la región de vaciamiento se asumen insignificantes, lo cual es equivalente a asumir una movilidad infinita. De aquí que  $d\zeta / dx$  es muy pequeño tal que el cuasi nivel de Fermi para electrones permanece plano a través de la región de agotamiento y coincide con el nivel de Fermi en el substrato semiconductor como en una unión p-n. Esto alternadamente implica que la concentración de electrones en el lado de la interfaz del semiconductor decrece por un factor  $\exp (qV / kT)$  cuando un voltaje  $V$  de polarización es aplicado. La situación puede ser visualizada imaginando la existencia de una membrana en la interfaz en la cual los electrones pueden penetrar solo con dificultad. Esta membrana retiene los electrones en el lado del semiconductor en equilibrio térmico con el substrato del semiconductor. La concentración de electrones en la frontera esta dada por

$$n = N_c \exp \{-q (\phi_b - V) / kT\} \quad (2.19)$$

Para un semiconductor con superficies esféricas de energía constante, estos electrones tienen una distribución isotrópica de velocidades, y el número incidente por segundo en unidad de área de la frontera está dado por la teoría cinética elemental como  $n\bar{v}/4$ , donde  $\bar{v}$  es la velocidad térmica promedio de los electrones en el semiconductor. La densidad de corriente debida a los electrones pasando desde el semiconductor hacia el interior del metal es entonces

$$J_{sm} = \frac{qN_c\bar{v}}{4} \{\exp[-q(\phi_b - v)/kT]\} \quad (2.20)$$

Hay también un flujo de electrones desde el metal en el semiconductor el cual no es afectado por la aplicación de polarización debido a que la barrera  $\phi_b$  vista desde el metal permanece sin cambio. Para voltaje de polarización cero, la corriente del semiconductor al metal apenas balancea esta corriente tal que

$$J_{sm} = \frac{qN_c\bar{v}}{4} \exp(-q\phi_b/kT) \quad (2.21)$$

por lo tanto

$$\begin{aligned} J &= J_{sm} - J_{ms} \\ &= \frac{qN_c\bar{v}}{4} \exp(-q\phi_b/kT) \{\exp(qv/kT) - 1\} \end{aligned} \quad (2.22)$$

para una distribución Maxwelliana de velocidades  $\bar{v} = (8kT / \pi m^*)^{1/2}$ , donde  $m^*$  es la masa efectiva de electrones en el semiconductor. Substituyendo  $N_c = 2(2\pi m^*kT / h^2)^{3/2}$  entonces da la característica corriente / voltaje de acuerdo con la teoría de emisión termoiónica así

$$J = A^* T^2 \exp(-q\phi_b/kT) \{\exp(qV/kT) - 1\} \quad (2.23)$$

Donde

$$A^* = 4\pi m^* q k^2 / h^3 \quad (2.24)$$

$A^*$  es igual que la constante de Richardson [23] para emisión termiónica excepto por la sustitución de la masa efectiva del semiconductor  $m^*$  para la masa de electrón libre  $m$ ; esta tiene el valor

$$A^* = 1.2 \times 10^6 (m^* / m) \text{ Am}^{-2} \text{ k}^{-2}$$

Para semiconductores con superficies esféricas de energía constante tales como el arseniuro de galio,  $A^*$  es independiente de la dirección pero, para semiconductores con superficies anisotropicas tales como el silicio y el germanio,  $A^*$  depende de la orientación incluso si el cristal tiene simetría cúbica. Para los electrones en el silicio, los valores apropiados de  $m^*$  son

$$m^* = 2m_t + 4(m_l m_t)^{1/2} = 2.05m \quad \text{para direcciones } \langle 100 \rangle$$

y

$$m^* = 6 \left( \frac{m_l^2 + 2m_l m_t}{3} \right)^{1/2} = 2.15m \quad \text{para direcciones } \langle 111 \rangle$$

donde  $m_l$  y  $m_t$  son las masas efectivas longitudinal y transversal, respectivamente.

Una característica interesante y algunas veces importante de los procesos de emisión termiónica es que los electrones inyectados hacia el interior del metal bajo polarización directa son confinados aun estrecho cono de direcciones. En el semiconductor, los electrones tienen una distribución isotrópica de velocidades ( o cercanamente isotrópicas si las superficies constantes de energía son esféricamente simétricos) con una velocidad media  $\approx (3kT/m^*)^{1/2}$ . Cuando los electrones atraviesan la interfaz, la componente de velocidad paralela a la frontera se incrementa por una cantidad correspondiente a la diferencia de energía entre la superficie de la barrera y la base de la banda de

conducción en el metal; esto es un poco mas grande que la velocidad Fermi  $v_F$ . Las trayectorias del electrón en el metal son entonces confinadas a un cono o una trayectoria de medio ángulo

$$\tan^{-1}\{(3kT/m^*)^{1/2}/v_F\} \approx 5^\circ.$$

**2.6.1.3 El efecto de la fuerza imagen en la relación entre Corriente / Voltaje.** Existen muchas razones por las cuales la altura de la barrera puede depender del campo eléctrico en la zona de vaciamiento y por tanto del voltaje aplicado. En particular, aun en un contacto perfecto sin capa interfacial, la altura de la barrera se reduce como un resultado de la fuerza imagen por una cantidad  $\Delta\phi_{bi}$  la cual depende del voltaje de polarización. La barrera efectiva que los electrones deben superar antes que ellos puedan alcanzar el metal puede por lo tanto ser escrita como  $\phi_e = \phi_b - \Delta\phi_{bi}$ . Además, en la presencia de una capa interfacial  $\phi_b$  depende del voltaje de polarización para que  $\phi_e$  pueda ser dependiente de la polarización por dos razones. Tal dependencia de  $\phi_e$  modificaría la característica corriente-voltaje.

Suponemos que  $\partial \phi_e / \partial v$  pasa a ser constante de manera que podemos escribir

$\phi_e = \phi_{b0} - (\Delta\phi_{bi})_0 + \beta v$ , donde  $\phi_{b0}$  y  $(\Delta\phi_{bi})_0$  se refiere a polarización cero. El coeficiente  $\beta$  es positivo porque  $\phi_e$  siempre incrementa con el voltaje de polarización. La densidad de corriente ahora es

$$J = A^* T^2 \exp[-q\{\phi_{b0} - (\Delta\phi_{bi})_0 + \beta v\} / kT] \{ \exp (qv / kT) - 1 \}$$

$$J = J_0 \exp (-\beta qv / kT) \{ \exp (qv / kT) - 1 \} \quad (2.25)$$

Donde

$$J_0 = A^* T^2 \exp[-q\{\phi_{b0} - (\Delta\phi_{bi})_0\} / kT] \quad (2.26)$$

Podemos escribir en la forma

$$J = J_0 \exp (qv / nkT) \{ 1 - \exp (-qv / kT) \} \quad (2.27)$$

Donde

$$1/n = 1 - \beta = 1 - (\partial \phi_e / \partial v) \quad (2.28)$$

n es llamado el 'factor de idealidad'. Si  $\partial \phi_e / \partial v$  es constante, n es siempre constante. Para valores de v mas grandes que  $3kT/q$

$$J = J_0 \exp(qv / nkT) \quad (2.29)$$

n puede ser encontrada a partir de la ecuación 2.27 experimentalmente graficando  $\ln [ J / \{1 - \exp(-qv / kT)\}]$  contra V. Esta grafica debe ser una línea recta de pendiente  $q / nkT$  si n es constante, aún para  $v < 3kT/q$ .

Usualmente  $\partial \phi_e / \partial v$  no es constante y la grafica de  $\ln [ J / \{1 - \exp(-qv / kT)\}]$  contra V no es lineal. El factor de idealidad es entonces función del voltaje de polarización, pero hasta ahora un concepto muy usado el cual puede ser obtenido de la característica experimental J / V a través de la relación

$$\frac{1}{n} = \frac{kT}{q} \frac{d}{dV} \ln [ J / \{1 - \exp(-qV / kT)\} ] \quad (2.30)$$

o, para  $V > 3kT/q$

$$\frac{1}{n} = \frac{kT}{q} \frac{d(\ln J)}{dV}$$

**2.6.1.4 La teoría combinada emisión termoiónica / difusión.** Considera los dos mecanismos en serie [24] y efectivamente encontrar la posición del cuasi nivel de Fermi en la interfaz el cual equilibra la corriente fluyendo a través de cada uno de ellos. Es la teoría mas completa desarrollada que introduce el concepto de 'velocidad de recombinación'  $v_r$  en la superficie de la barrera;  $v_r$  es definida al igualar la corriente neta de electrones en el metal a  $v_r (n - n_0)$ , donde

$n_0$  es la densidad de electrones en equilibrio en la superficie de la barrera a voltaje de polarización cero. Los términos  $v_r n$  y  $v_r n_0$  representan el flujo de electrones desde el semiconductor al metal y el flujo en la dirección inversa, respectivamente. El concepto de una velocidad de recombinación es bastante general y puede ser aplicado, por ejemplo a una unión  $p-n$ . En términos de la teoría de emisión termoiónica, la cual asume que ningún electrón de los que pasan sobre el máximo de la barrera de potencial son dispersados hacia el interior del semiconductor,  $v_r = \bar{v}/4$  donde  $\bar{v}$  es la velocidad térmica media de electrones en el semiconductor.

Si consideramos la posición del cuasi nivel de Fermi  $\zeta(0)$  en la interfaz como un parámetro ajustable, la corriente de emisión termoiónica es

$$J_{te} = qN_c v_r \exp(-q\phi_b/kT) \{ \exp(q\zeta(0)/kT) - 1 \} \quad (2.31)$$

La corriente limitada por deriva y difusión en la región de vaciamiento es

$$J_d = \frac{kT\mu N_c \{ \exp(qv/kT) - \exp(q\zeta(0)/kT) \}}{\int_0^w \exp(qE_c/kT) dx} \quad (2.32)$$

aquí  $\zeta(w) = V$ . Si el efecto de la fuerza imágenes tomado en cuenta, el cuasi nivel de Fermi  $\zeta(x_m)$  en el máximo de la barrera la cual debería ser usada mas bien que  $\zeta(0)$ , y el limite mas bajo de integración debería ser  $x_m$ . Puesto que la corriente de emisión termoiónica debe igualar la corriente determinada por deriva y difusión,  $\zeta(0)$  puede ser eliminada entre las dos ecuaciones anteriores y, escribiendo  $J_{te} = J_d = J$ , finalmente obtenemos

$$J = \frac{qN_c v_r \exp(-q\phi_b/kT) \{ \exp(qv/kT) - 1 \}}{1 + \frac{qv_r}{\mu kT} \exp(-q\phi_b/kT) \int_0^w \exp(qE_c/kT) dx} \quad (2.33)$$

la cual, puede ser escrita en la forma

$$J = \frac{qN_c v_r}{1 + \frac{v_r}{v_d}} \exp(-q\phi_b/kT) \{ \exp(qv/kT) - 1 \} \quad (2.34)$$

donde

$$v_d = \left[ \frac{q}{\mu k T} \exp(-q\phi_b/kT) \int_0^w \exp(qE_c/kT) dx \right]^{-1} \quad (2.35)$$

$v_d$  es la velocidad efectiva debida a la deriva y la difusión de los electrones en la superficie de la barrera. Adoptando la aproximación que el campo eléctrico es constante, igual a su valor máximo  $E_{max}$ ,  $v_d$  es simplificada a  $v_d = \mu E_{max}$ .

Si  $v_d \gg v_r$ , el embotellamiento al flujo de corriente es la emisión actual de electrones en el metal, y la teoría de emisión termoiónica se aplica. Si  $v_d \ll v_r$  la corriente es controlada por deriva y difusión en la región de vaciamiento y la teoría de difusión se aplica.

**2.6.2 Tunelamiento a través de la barrera.** Bajo ciertas circunstancias es posible para electrones con energías debajo de la superficie de la barrera penetrar la barrera por tunelamiento mecánico-cuántico. Esto podría modificar los procesos termoiónicos ordinarios.

**2.6.2.1 Emisión de campo y emisión de campo asistida térmicamente.** En el caso de un semiconductor fuertemente dopado a baja temperatura, la corriente en la dirección directa surge del tunelamiento de electrones con energías cercanas a la energía de Fermi en el semiconductor. Esto es conocido como emisión de campo. Si la temperatura aumenta, los electrones son excitados a energías mas altas y la probabilidad de tunelamiento incrementa rápidamente ya que los electrones 'ven' una barrera mas baja y delgada. Por otra parte, el numero de electrones excitados decrece muy rápido con el



proporcional al cuadrado de la función de onda, es proporcional a  $\exp(-2k'x)$  donde

$$\frac{\hbar^2(k')^2}{2m^*} = q(E_c - E) \quad (2.36)$$

si  $E_c - E$  no es constante( cuando las bandas no son planas),  $k'$  es una función de la posición y la probabilidad de encontrar el electrón en la posición  $x$  esta dada por  $P = \exp(-2\int k'dx)$  y esta es conocida como la aproximación WKB. Si este resultado es usado para calcular la probabilidad de una barrera triangular siendo penetrada por un electrón con energía  $\Delta E$  menor que la altura de la barrera, así encontramos que

$$P = \exp\left\{-\frac{4}{3}(2qm^*)^{1/2}(\Delta E)^{3/2}/\hbar E\right\} \quad (2.37)$$

donde  $E$  es el campo eléctrico en la barrera. Podemos aplicar esto a una barrera *Schottky* con un potencial de difusión  $V_d$  si  $\Delta E$  es suficientemente pequeño para la superficie de la barrera para considerarlo como triangular. Haciendo uso de el resultado que, de acuerdo a la aproximación de vaciamiento, el máximo campo en la barrera esta dado por  $E_{\max} = (2qN_dV_d / \epsilon_s)^{1/2}$ , encontramos que

$$P = \exp\left\{-\frac{2}{3}(\Delta E)^{3/2}/E_{00}V_d^{1/2}\right\} \quad (2.38)$$

donde  $E_{00}$  es un parámetro el cual juega un papel importante en la teoría de tunelamiento, y esta dado por

$$E_{00} = \frac{\hbar}{2} \left[ \frac{N_d}{m^* \epsilon_s} \right]^{1/2} = 18.5 \times 10^{-15} \left( \frac{N_d}{m_r \epsilon_{sr}} \right)^{1/2} eV \quad (2.39)$$

donde  $m^*$  ( $=m_r m$ ) es la masa efectiva de los electrones en el semiconductor,  $\epsilon_s$  ( $=\epsilon_{sr}\epsilon_0$ ) su permitividad, y la concentración de donadores es expresada en  $m^{-3}$ .

Para semiconductores moderadamente dopadas. El principio de emisión de campo asistida térmicamente se considera aproximadamente equivalente a una reducción en la altura de la barrera por una cantidad  $\Delta\phi$  igual a  $(\Delta E)_1$ , donde  $(\Delta E)_1$  corresponde a una probabilidad de transmisión de  $e^{-1}$ . La reducción de barrera para la cual esto ocurre es

$$\Delta\phi \approx \left(\frac{3}{2}\right)^{\frac{2}{3}} (E_{00})^{\frac{2}{3}} (V_d)^{\frac{1}{3}} \quad (2.40)$$

La extensión de la teoría de tunelamiento a través de barreras *Schottky* mas allá del simple análisis, presenta una matemática compleja que tiene las siguientes características esenciales:

- a) En polarización directa, la emisión de campo ocurre solo en semiconductores degenerados y, a causa de la masa efectiva muy pequeña, aparece en mas bajas concentraciones en arseniuro de galio que en la mayoría de semiconductores.
- b) El significado de  $E_{00}$  es que este es el potencial de difusión de una barrera *Schottky* tal que la probabilidad de transmisión de un electrón con energía coincidiendo con el fondo de la banda de conducción en el borde de la región de agotamiento es igual a  $e^{-1}$ . Por lo tanto el radio  $kT / qE_{00}$  es una medida de la relativa importancia de emisión termoiónica y tunelamiento. Como una aproximación, se espera emisión de campo si  $kT \ll qE_{00}$ , emisión de campo asistida térmicamente si  $kT \sim qE_{00}$ , y emisión termoiónica si  $kT \gg qE_{00}$ . un análisis mas exacto muestra que la temperatura bajo la cual la emisión de campo ocurre esta dada por

$$kT < 2qE_{00} \{ \ln(-4\phi_b / \xi) + (-2 E_{00} / \xi)^{1/2} \}^{-1} \quad (2.41)$$

donde  $\xi$  es la distancia del nivel de Fermi bajo el fondo de la banda de conducción en el substrato semiconductor y es negativo en un semiconductor degenerado. La temperatura encima de la cual el proceso puede ser descrito como emisión de campo asistida térmicamente esta dada por

$$kT > 2qE_{00} \{\ln(-4\phi_b / \xi)\}^{-1} \quad (2.42)$$

- c) El límite superior de temperatura para emisión de campo asistida térmicamente está dado por

$$\cosh^2(qE_{00} / kT) / \sinh^3(qE_{00} / kT) < 2V_d / 3E_{00} \quad (2.43)$$

donde  $V_d (= \phi_b - \xi - V)$  es el potencial de difusión. La transición entre la emisión termoiónica pura y la emisión de campo asistida térmicamente depende del voltaje de polarización.

- d) Excepto para valores muy bajos de polarización directa, la relación de la corriente en función del voltaje es de la forma

$$J = J_s \exp(V / E_0) \quad (2.44)$$

Donde

$$E_0 = E_{00} \coth(qE_{00} / kT) \quad (2.45)$$

Por lo tanto a bajas temperaturas ( $kT / qE_{00} \ll 1$ ),  $E_0 \approx E_{00}$  tal que la pendiente de la gráfica  $\ln J$  contra  $V$  es independiente de la temperatura. Este es el caso de la emisión de campo. A altas temperaturas ( $kT/qE_{00} \gg 1$ ),  $E_0$  es un poco más grande que  $kT / q$ , y la pendiente de la gráfica  $\ln J$  contra  $V$  puede ser escrita como  $q / nkT$ , donde  $n = qE_0 / kT = (qE_{00} / kT) \coth(qE_{00} / kT)$ . Hay por lo tanto una suave transición de emisión de campo asistida térmicamente a emisión termoiónica pura.

- e) el término pre-exponencial  $J_s$  débilmente dependiente del voltaje de polarización. Esto es una función complicada de la temperatura, altura de barrera, y parámetros semiconductores.

- f) El máximo de la distribución de energía de los electrones emitidos ocurre a una energía  $E_m = V_d \{ \cosh(qE_{00} / kT) \}^{-2}$  por encima de el fondo de la banda de conducción en el sustrato semiconductor.

**2.6.3 Recombinación en la región de agotamiento.** La recombinación normalmente toma lugar en los centros localizados con energías cercanas al centro del gap. La teoría de la corriente debida a cada centro de recombinación es la misma para un diodo *Schottky* como para una unión p-n, y la densidad de corriente esta dada por[26]

$$J_r = J_{r0} \{ \exp(qv / 2kT) - 1 \} \quad (2.46)$$

Donde  $J_{r0} = qn_i w / 2\tau_r$ . Aquí  $n_i$  es la concentración intrínseca de electrones proporcional a  $\exp(-qE_g/2kT)$ ,  $w$  es el espesor de la región de agotamiento, y  $\tau_r$  es el tiempo de vida dentro de la región de agotamiento. La densidad de corriente total esta dada por[27]

$$J = J_{te} + J_r = J_{t0} \{ \exp(qv/kT) - 1 \} + J_{r0} \{ \exp(qv/2kT) - 1 \} \quad (2.47)$$

Donde, asumiendo la teoría de emisión termoiónica,  $J_{t0} = A^{**} T^2 \exp(-q\phi_b / kT)$ . Para voltajes de polarización mas grandes que  $4kT / q$ , la proporción de la corriente termoiónica a la corriente de recombinación es proporcional a

$$\tau_r \exp \{ q(E_g + v - 2\phi_b) / 2kT \}$$

la proporción  $J_{te} / J_r$  incrementa con  $\tau_r$ ,  $v$ , y  $E_g$ , y decrece con  $\phi_b$ . También,  $E_g + v - 2\phi_b$  es usualmente negativo para semiconductores tipo n y pequeños valores de  $v$ , la proporción aumenta con  $T$ . Aquí es probable que la componente de recombinación sea mas importante en barreras altas, en material de corto tiempo de vida, a bajas temperaturas, y a bajos voltajes de polarización. Cuando la corriente de recombinación es importante, la variación de la temperatura de la corriente directa muestra dos energías de activación. A altas

temperaturas la energía de activación tiende al valor característico  $\phi_b - v$  de la componente de emisión termoiónica; abajas temperaturas se aproxima al valor característico  $(E_g - V) / 2$  de la componente de recombinación.

La corriente de recombinación es una causa común de salida del comportamiento ideal de diodos *Schottky*.

**2.6.4 Corrientes a través de aislantes.** Los mecanismos de corriente a través de materiales, los cuales no contienen portadores libres pueden ser claramente diferentes unos de otros en semiconductores dopados o metales. Existen dos mecanismos de emisión (Tunelamiento *Fowler-Nordheim* y Emisión de *Poole-Frenke*) que producen corrientes muy bajas y correspondientemente densidades de portadores bajas. Cuando se tienen corrientes mucho mas altas hay un mecanismo llamado corriente limitada por carga espacial[28].

**2.6.4.1 Corriente limitada por carga espacial.** Para estructuras donde los portadores pueden con facilidad entrar al aislante y fluir a través de él libremente se encuentra que la corriente resultante y la densidad de portadores son muy altos. La densidad de portadores libres causa un gradiente de campo, el cual limita la densidad de corriente. Esta situación ocurre en semiconductores con bajo dopado y tubos de vacío. Comenzando con una expresión para la corriente de deriva y la ley de Gauss (donde se asume que el aislante no contiene portadores libres sino flujos de corriente)

$$\vec{J} = qp\mu \quad (2.48)$$

donde  $q$  es la carga sobre el electrón  $p$  es la densidad de portadores, y  $\mu$  su movilidad

$$\frac{dE}{dx} = \frac{qp}{\epsilon} \quad (2.49)$$

eliminando la densidad de portadores,  $p$ , se tiene:

$$\frac{J}{\varepsilon\mu} = E \frac{dE}{dx} \quad (2.50)$$

Integrando esta expresión de 0 a x, donde se asume que el campo eléctrico es cero en x = 0, esto implica una densidad de portadores infinito. El análisis puede ser modificado para permitir una densidad de portadores finita. Sin embargo los portadores se apilan para hacer la restricción de corriente típica proporcione una densidad de portadores muy alta en x = 0. Se obtiene:

$$\frac{Jx}{\varepsilon\mu} = \frac{E^2}{2} \quad \text{o} \quad E(x) = \sqrt{\frac{2xJ}{\varepsilon\mu}} \quad (2.51)$$

integrando una vez mas desde x = 0 a x = d con V(0) = V y V(d) = 0, se encuentra:

$$V = \int_0^d E dx = \sqrt{\frac{2J}{\varepsilon\mu}} \frac{d^{3/2}}{3/2} \quad (2.52)$$

de la cual uno obtiene la expresión para la corriente limitada de carga espacial:

$$J = \frac{9\varepsilon\mu V^2}{8d^3} \quad (2.53)$$

**2.6.5 Efecto T<sub>0</sub>.** Si el factor de idealidad (n) es mayor que 1, debido a la fuerza imagen o a los efectos interfaciales, n debería ser independiente de la temperatura, pero si n se debe a la emisión de campo asistida térmicamente o al efecto de recombinación en la región de agotamiento, n será dependiente de la temperatura. La mayoría de estructuras *Schottky* exhiben valores de n que dependen de la temperatura. Padovani y Sumner (1965) y Padovani (1967) mostraron que para algunos diodos *Schottky* hechos de silicio o arseniuro de galio, la característica J / V puede ser representada por la ecuación[4]:

$$J = A * T^2 \exp\{-\phi_{b0} / k(T+T_0)\}[\exp \{q_v / k(T+T_0)\}-1] \quad (2.54)$$

Donde  $T_0$  es un parámetro el cual es independiente de la temperatura y del voltaje en un amplio rango de temperaturas. Esto es equivalente a

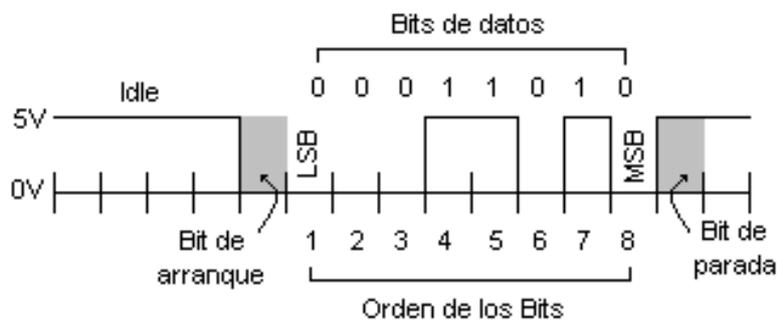
$$n = 1 + (T_0 / T) \quad (2.55)$$

entonces los resultados experimentales implican una dependencia de  $n$  con la temperatura muy especial. Varios estudios han sido hechos para explicar tal dependencia de la temperatura en términos del tunelamiento, de distribuciones particulares de estados interfaciales y de una capa superficial dopada no uniformemente. Es muy probable que más de uno de estos mecanismos pueda operar simultáneamente.

### 3. COMUNICACION SERIAL

La comunicación serial es un medio para transmitir datos entre una computadora y un dispositivo periférico, como un instrumento programable u otra computadora. La comunicación serial envía y recibe bytes de información un bit a la vez[29].

Existen dos formas de comunicación serial: la sincrónica y la asincrónica. La comunicación sincrónica, además de una línea sobre la que transfieren los datos, se necesita otra que contenga pulsos de reloj que indiquen cuando un dato es válido; la duración del bit está determinada por la duración del pulso de sincronismo. En la comunicación asincrónica, los pulsos de reloj no son necesarios y se acude a otros mecanismos para realizar la lectura / escritura de los datos; la duración de cada bit está determinada por la velocidad con la cual se realiza la transferencia de datos.



**Figura 18. Estructura de un carácter que se transmite serialmente**

La figura 18 muestra la estructura de un carácter que se transmite en forma asíncrona. Normalmente cuando no se realiza ninguna transferencia de datos la línea del transmisor es pasiva (*idle*) y permanece en un estado alto. Para empezar a transmitir datos, el transmisor coloca esta línea en bajo durante el tiempo de un bit lo cual se conoce como bit de arranque (*star bit*) y a continuación empieza a transmitir con el mismo intervalo de tiempo los bits correspondientes al dato, empezando por el menos significativo (LSB) y terminando con el mas significativo (MSB). Al finalizar se agrega el bit de paridad si es que esta activada esta opción, y los bit de parada que pueden ser uno o dos, en los cuales la línea regresa a un estado alto. Al concluir esta operación el transmisor esta preparado para transmitir el siguiente dato.

El receptor no esta sincronizado con el transmisor y desconoce cuando va a recibir datos. La transición de alto a bajo de la línea del transmisor activa al receptor y este genera un conteo de tiempo de tal manera que realice una lectura de la línea medio bit después del evento; si la lectura realizada es un estado alto, asume que la transición ocurrida fue ocasionada por ruido en la línea; si por el contrario la lectura es un estado bajo, considera como valida la transición y empieza a realizar lecturas secuenciales a intervalos de 1 bit hasta conformar el dato transmitido. El receptor puede tomar el bit de paridad para determinar la existencia o no de errores y realizar las acciones correspondientes, al igual que los bits de parada para situaciones similares. Lógicamente, tanto el receptor como el transmisor deberán tener los mismos

parámetros de velocidad como paridad, número de bits del dato transmitido y de bits de parada.

La comunicación serial requiere que se especifiquen cuatro parámetros: el *baud rate* (número de bauds por segundo) de la transmisión, el número de *data bits* (bits de datos) que representan un carácter, el tipo de *parity* (paridad) y el número de *stop bits* (bits de parada). Cada carácter transmitido es empacado en un marco de caracteres que consiste en un bit de comienzo seguido por los bits de datos, el bit opcional de paridad, y el/los bit(s) de parada.

**Baud rate:** es una medida de la velocidad de la comunicación. Indica el número máximo de bits de información que son transferidos por segundo. Por ejemplo, 300 bauds es 300 bits por segundo. Cuando nos referimos a un ciclo de reloj nosotros medimos el baud rate. Por ejemplo, si el protocolo llamado por un baud rate de 4800, entonces el reloj está corriendo a 4800 Hz. Esto significa que el puerto serial está muestreando la línea de datos a 4800Hz.

**Data bits:** es la medida de los bits de datos actuales en una transmisión. Cuando el computador envía un paquete de información, la cantidad actual de datos puede no ser de 8 bits completos. Valores estándar para los paquetes de datos son 5, 7 y 8 bits, los cuales pueden ser escogidos dependiendo de que información se está transfiriendo. Por ejemplo, ASCII estándar tiene valores desde 0 a 127 (7 bits). ASCII prolongado usa de 0 a 255 (8 bits). Un paquete se refiere a una sola transferencia de bytes, incluyendo bits start/stop, bits de datos, y paridad. Por lo que el número de bits actual depende del protocolo seleccionado.

**Stop bits:** usa una señal al fin de la comunicación para un solo paquete. Valores típicos son 1, 1.5, y 2 bits. El stop bit no solo indica el fin de la transmisión sino que también da al computador un espacio para el error en las velocidades de reloj.

**Parity:** este bit sirve para revisar errores en la transmisión. Antes de transmitir los datos, se puede escoger paridad par o impar. Si la paridad elegida es

impar, el transmisor ajustara el valor del bit de paridad para tener un numero impar de 1s en los datos.

### 3.1 RS-232

Es una interfaz eléctrica estándar para comunicaciones seriales, la cual tiene diferentes clases (A, B y C) cada uno de los cuales define un rango diferente de voltajes para los niveles *on* y *off*. Todas las normas RS-232 cumplen básicamente los mismos niveles de voltaje:

- a. un uno lógico es un voltaje comprendido entre  $-5V$  y  $-15V$  en el transmisor y entre  $-3V$  y  $-25V$  en el receptor.
- b. Un cero lógico es un voltaje comprendido entre  $5V$  y  $15V$  en el transmisor y entre  $3V$  y  $25V$  en el receptor.

Una interfaz RS-232 esta compuesta por el circuito transmisor que convierte la señal de bajo voltaje del equipo lógico a los niveles de voltaje alto que se necesitan en la línea de transmisión, y un receptor que realiza la función inversa. La mayoría de las aplicaciones RS-232 necesitan un receptor y un emisor, el MAX232 incluye en un solo empaque de parejas completas de driver y receiver, tiene un doblador de voltaje de  $+5V$  a  $+10V$  y un inversor de voltaje para obtener una polaridad de  $-10V$ .

## 4. PROCEDIMIENTO EXPERIMENTAL

En este capítulo se presenta una descripción detallada de la fabricación de los dispositivos y los métodos empleados en la caracterización eléctrica, para obtener las curvas Corriente-Voltaje y Capacitancia-Voltaje a diferentes temperaturas con el fin de estudiar los mecanismos de transporte dominantes en las estructuras.

### 4.1 FABRICACIÓN DE LOS DISPOSITIVOS

**4.1.1 Materiales y reactivos.** El sustrato semiconductor base empleado en la fabricación de los dispositivos es silicio cristalino tipo p con orientación (100) y con una resistividad nominal de 1 a 10  $\Omega\cdot\text{cm}$ , en el proceso de limpieza grado semiconductor se utilizaron los siguientes reactivos de grado analítico: xileno, acetona, etanol, ácido fluorhídrico, peróxido de hidrógeno, ácido nítrico, ácido sulfúrico, ácido clorhídrico, hidróxido de amonio, junto con agua desionizada, para la formación del Silicio Poroso se empleó ácido fluorhídrico, finalmente en la formación de los contactos metálicos se utilizaron los siguientes materiales: oro, aluminio, indio y plata, cuyos porcentajes de pureza son del 99,99%, exceptuando el oro, el cual tiene una pureza del 95% que es el valor típico de refinación que se consigue a nivel comercial en nuestro medio.

**4.1.2 Fabricación de los dispositivos.** En este trabajo de investigación se fabricaron dos clases de dispositivos electrónicos, el primer tipo presenta la estructura de una barrera *Schottky*: Metal-Si(p), y el segundo una heteroestructura M.I.S.: Metal – Silicio Poroso – Si(p).

**4.1.2.1 Barrera Schottky.** Para la fabricación del dispositivo tipo barrera *Schottky* se parte de la oblea de un área de 2  $\text{cm}^2$  sometida a una limpieza

grado semiconductor, la cual se introduce en la cámara de evaporación que está instalada en un sistema de alto vacío del tipo Balserz BAE250T. La evaporación se realiza luego que el sistema BAE250T ha alcanzado un nivel de vacío de  $10^{-5}$  mbar, mediante la aplicación de una corriente entre 2.8A y 3A, a una cazuela de molibdeno que contiene el material a evaporar por efecto Joule y así depositar sobre la oblea de silicio cristalino tipo p el contacto metálico.

El contacto posterior se fabrica por la evaporación de dos capas: una primera capa de oro y sobre ésta se deposita plata para aumentar el espesor del contacto. La doble capa metálica tiene el propósito de garantizar un contacto óhmico con el silicio cristalino tipo p, los puntos de contacto son elaborados con indio.

Para formar el contacto superior se introduce nuevamente la oblea de silicio en la cámara de evaporación del sistema de vacío BAE250T para depositar una película de plata sobre la cara superior de manera que se forme el contacto Schottky por la unión de la plata sobre el silicio poroso.

**4.1.2.2 Estructura M. I. S.** La diferencia en fabricación de estos dispositivos con respecto a las estructuras tipo *Schottky* radica en la formación del silicio poroso, como una capa intermedia entre la oblea de silicio y el contacto metálico superior. La fabricación del silicio poroso se realizó, sometiendo la muestra a una corriente de 20 mA, durante un tiempo de 7 minutos.

## 4.2 DISEÑO Y CONSTRUCCIÓN DEL CAPACITÓMETRO

Una de los objetivos del trabajo es la realización de un montaje que permita trazar las curvas de capacitancia – voltaje en el rango de los picofaradios con el propósito de caracterizar los dispositivos bajo estudio. Por esta razón se diseñó

y fabricó un sistema de medición C-V que tiene una interfaz de comunicación con el PC, y un soporte de software diseñado en el lenguaje de programación grafica LabVIEW. El sistema construido tiene capacidad de medir valores de capacitancia del orden de picofaradios con frecuencias de trabajo de 1 Hz a 1 MHz.

**4.2.1 Descripción hardware.** En este bloque se encuentra la parte electrónica del proceso. Sus funciones principales son: la interfaz entre el sistema electrónico y el PC, suministro de voltaje y conversión A/D de las variables a medir.

**4.2.2 Interfaz RS-232.** Se utiliza un protocolo de comunicación serial, entre el PC y el microcontrolador PIC16F877. Este se ha establecido mediante los estándares 1 start bit, 8 bits de información y 1 stop bit. Con base a este protocolo, se utilizaron 2 pines para realizar la comunicación y 2 para la adquisición de datos, asignados de la siguiente forma:

- Uno de recepción entre el microcontrolador y el PC
- Uno de transmisión entre el PC y el microcontrolador.
- Uno de registro del voltaje de entrada a la muestra.
- Uno de registro del voltaje de respuesta al estímulo de entrada.

La interfaz se realiza utilizando :

- *El puerto serial (com1) del computador*
- *El USART (Universal Synchronous Asynchronous Receiver Transmitter) del microcontrolador: Dispositivo interno del microcontrolador PIC16F877.*

El USART se configuró en el modo de transmisión asincrónica (full duplex) a una velocidad de 9600 bps, tanto en el microcontrolador como en el computador. Esto con el propósito de que el PC no ahogue al microcontrolador.

**4.2.3 Microcontrolador PIC16F877.** Es un microcontrolador marca Microchip de la familia PIC16F87X, el cual se encarga de las siguientes funciones:

- *Comunicación serial con el PC:* a través del USART
- *Conversión de los canales análogos de voltaje del proceso a valores digitales:* esta conversión se realiza a través de los canales A/D 0 y 1 del puerto A del microcontrolador, con un voltaje de referencia de 5V.

**4.2.4 Descripción software.** Este bloque esta constituido por el computador personal (PC) el cual está conectado al sistema de medición. Ello permite; mediante la comunicación serial el intercambio de parámetros entre estos dos bloques, y así utilizar el PC para visualizar la respuesta. Para conseguir este objetivo se construyó un programa en LabVIEW 5.1., el cual cuenta con una interfaz de usuario fácil de comprender. El funcionamiento detallado y manejo de software esta dado en el MANUAL DE USUARIO del instrumento.

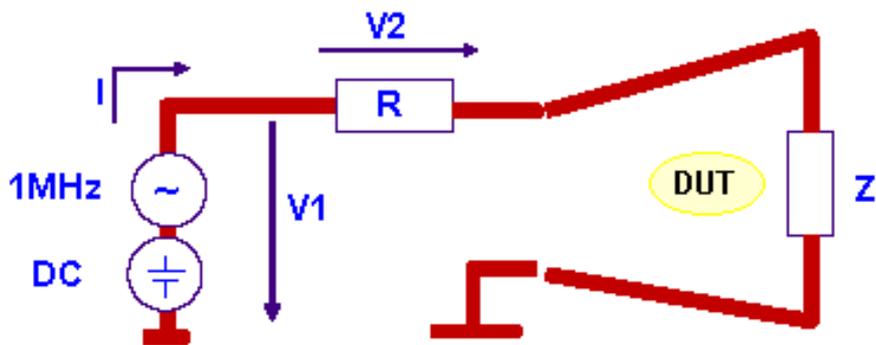
### **4.3 MEDIDAS CAPACITANCIA – VOLTAJE**

**4.3.1 Caracterización manual.** Era necesario realizar un montaje que permitiera observar el comportamiento de la capacitancia de las celdas en función del voltaje de polarización aplicado, con este fin se empleo el método de medición I – V, en el cual la curva es trazada en función de el voltaje DC, la capacitancia es medida con un bajo nivel de señal AC mientras barre un numero de puntos del voltaje de polarización, debido a que los dispositivos exhiben una capacitancia baja (típicamente en el orden de los picofaradios), el instrumento debe ser capaz de medir con una alta resolución el bajo nivel de la señal a medir.

**4.3.2 Descripción del método I – V .** El método consiste en aplicar la suma de la señal DC inversa (0 a 5 V) y una señal alterna de una frecuencia de 1 MHz con una amplitud entre 6 y 7 mV a una malla simple, formado por una

resistencia conocida y el dispositivo bajo prueba conectados en serie, a partir de dicho circuito se mide  $V_1$ ,  $V_2$  se determina la impedancia, y posteriormente la capacitancia[13, 30], así:

$$Z_x = \frac{1}{2\pi f C} = \left( \frac{V_1}{V_2} - 1 \right) \times R \quad (4.1)$$



**Figura 19 . Medida de capacitancia usando el método I – V**

Aquí se empleó una fuente marca CIC PS-1930 y un generador de funciones marca METEX MXG – 9802 con contador de frecuencia.

Inicialmente las medidas fueron hechas manualmente a temperatura ambiente y en régimen de oscuridad, utilizando para ello 2 multímetros marca Tech para registrar los voltajes correspondientes.

**4.3.3 Caracterización automatizada.** Teniendo el sistema funcionando en forma adecuada manualmente se procedió a realizar la adquisición de los datos al computador para ello, se realizó una tarjeta de comunicación serial RS-232. En la figura 16, se muestra la disposición del equipo para la realización de las medidas.



**Fotografía 1. Montaje funcional**

El microcontrolador se encarga de enviar los datos serialmente con una velocidad de 9600 bps, datos 8 bits, sin paridad y con un *stop bit*. El integrado MAX232 se encarga de convertir los datos a niveles de voltaje adecuados para la línea RS-232. cual cuenta con un conversor A/D de 10 bits, a través de la interfaz de usuario se puede seleccionar el numero del puerto a emplear para la adquisición, introducir el valor de la resistencia y de la frecuencia de trabajo y guardar los datos en un archivo de texto como lo muestra el panel frontal en la figura 20

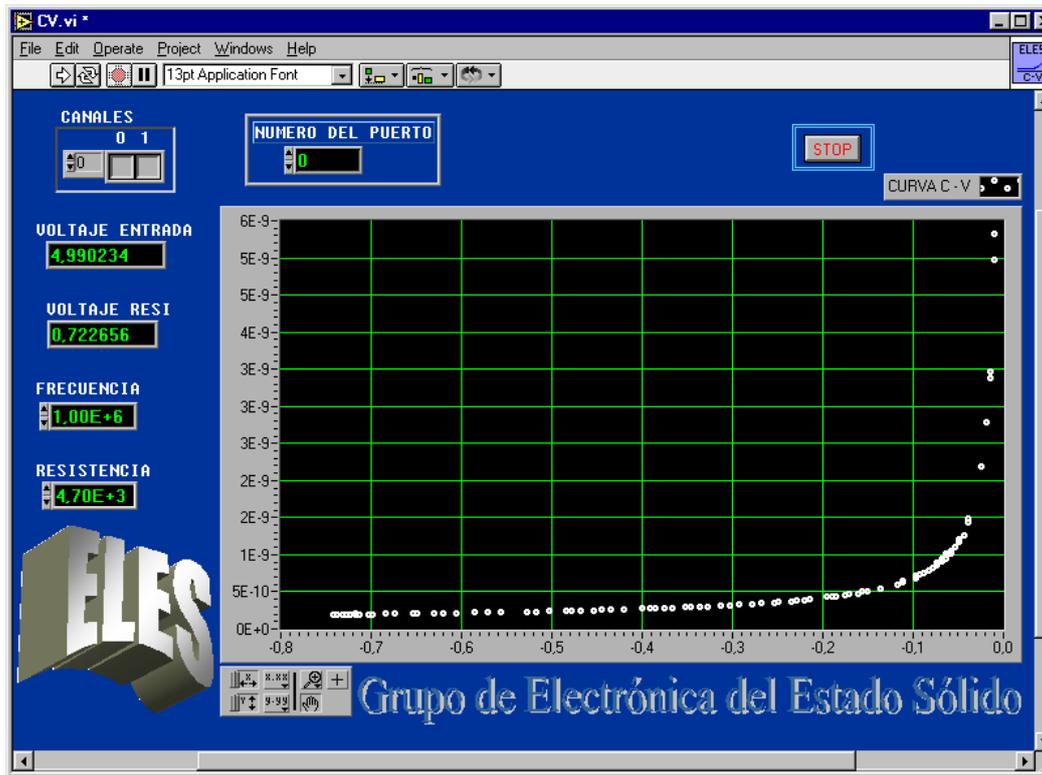


Figura 20. Panel de control de medidas C – V

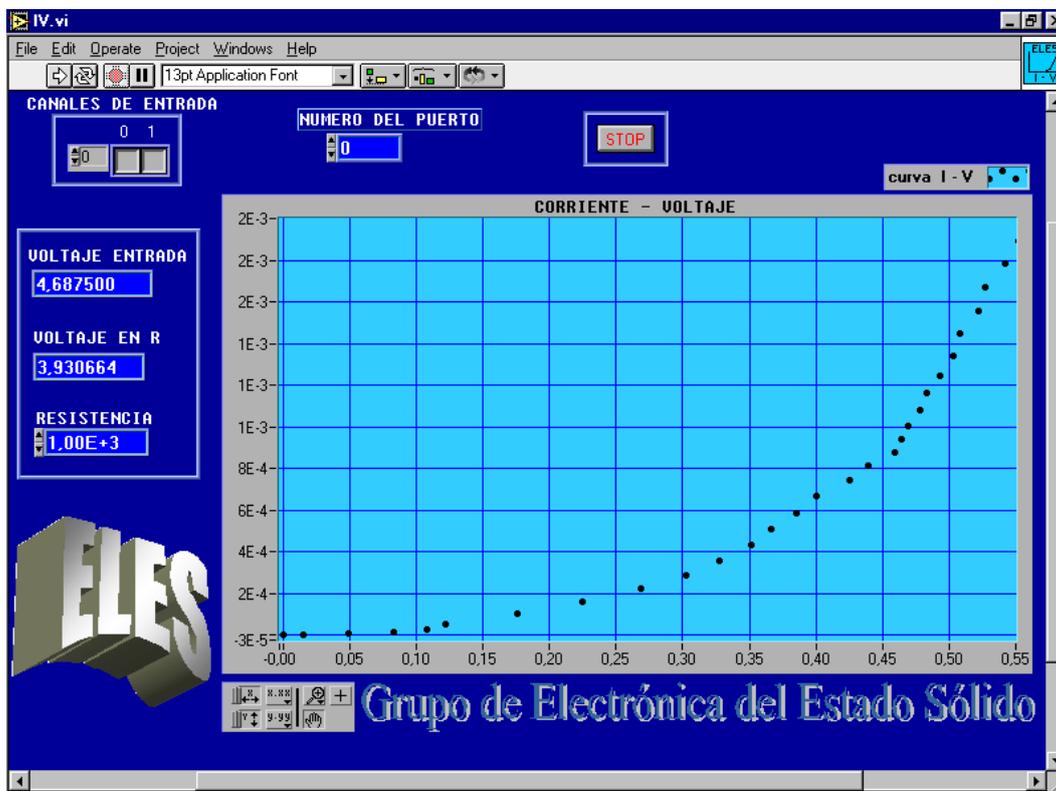


Figura 21. Panel de control de medidas I – V

#### 4.4 CARACTERIZACIÓN C – V – T

La caracterización de capacitancia – voltaje a diferentes temperaturas se hizo empezando a temperatura ambiente e incrementando 30 K hasta llegar a 333 K, con una frecuencia de 1 MHz. Para aumentar la temperatura se utilizó una plancha VWR DYLA –DUAL Stirrer-Hot Plate 115 VAC, 550 Watts, 50 / 60 Hz 1 fase la cual cuenta con un control on-off para estabilizar la temperatura, adicional a esto el registro de la temperatura se realizó con un termómetro digital TES 1320 Tipo K.

#### 4.5 CARACTERIZACIÓN I – V – T

La caracterización I – V – T se realizó con un potenciostato EG&G instruments model 283 con comunicación GPIB, que controla el potencial eléctrico entre los electrodos que está trabajando, además tiene un electrodo de referencia de una celda con otros dos electrodos en un valor fijo. A través de la interfaz de usuario en turbo pascal se programa previamente el rango deseado de voltaje y muestreo que se quiere aplicar, como también la variable a medir en este caso la corriente y la temperatura. Estas medidas fueron realizadas en el laboratorio de Transiciones de Fase de la Universidad del Valle.

Inicialmente se dispuso la muestra de Ag-Si(p) con una resistencia de precisión de  $1k\Omega$  conectada en serie con el fin de proteger el potenciostato, probando que no fueran necesarias las resistencias; las otras dos muestras se conectaron directamente al potenciostato. El rango de voltaje aplicado fue de 0 a 150 mV muestreando cada milivoltio, para realizar el enfriamiento de las muestras se empleó un *Dewar* donde se dispuso el nitrógeno líquido y posteriormente se sumergió la muestra, la temperatura fue sensada con una termocupla tipo J (hierro - constantan) en un rango de 197K a 298K.

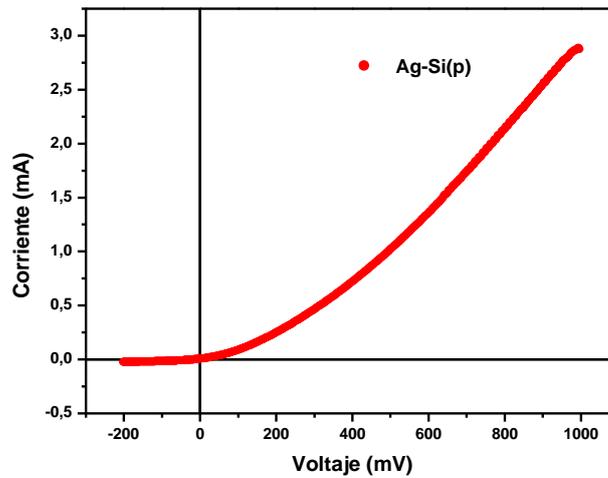
## 5. ANÁLISIS Y DISCUSIÓN DE RESULTADOS

En este capítulo se presentan los resultados de la caracterización de tres tipos de dispositivos electrónicos, correspondientes a las heterouniones tipo Ag-Si(p), Al-PS-Si(p) y Ag-Au-PS-Si(p). El comportamiento electrónico de los dispositivos es estudiado por medio de las curvas de corriente-voltaje para temperaturas de 172 K a 298 K, y de las curvas de capacitancia-voltaje entre 298 K y 363 K. Por medio de las medidas I-V-T se determinan las alturas de barrera y los factores de idealidad de los dispositivos. El análisis de las características de corriente-voltaje y capacitancia-voltaje en función de la temperatura es utilizado para explicar los mecanismos de transporte electrónico de las heterouniones.

### 5.1 CARACTERÍSTICAS I-V DE LOS DISPOSITIVOS

**5.1.1 Características I-V en oscuridad de la estructura Ag-Si(p).** La estructura Ag-Si(p) es fabricada por evaporación de plata para depositar una capa fina sobre una oblea de silicio tipo p, se espera entonces que las características I-V de estas estructuras sean las de un diodo de heterounión Metal-Semiconductor, es decir las de un diodo tipo *Schottky*.

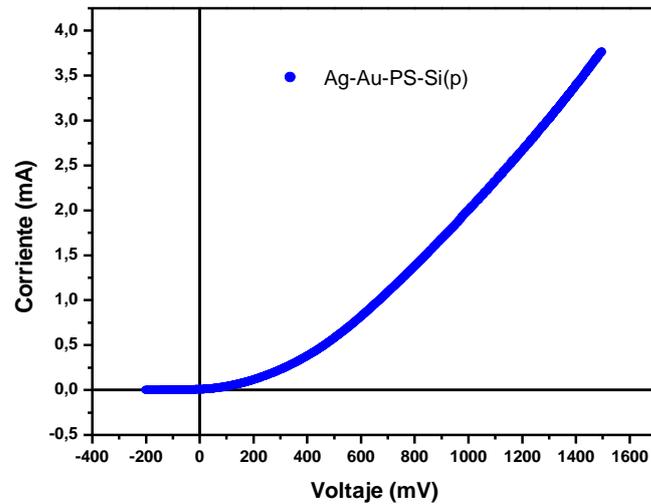
La figura 22 presenta las características I-V en oscuridad del dispositivo tipo Ag-Si(p). La curva muestra el comportamiento rectificante, propio de la barrera *Schottky*, con una asimetría electrónica que actúa como barrera para los portadores electrónicos.



**Figura 22. Característica I-V de la estructura Ag-Si(p) en oscuridad**

**5.1.2 Características I-V en oscuridad de la estructura Ag-Au-PS-Si(p).** Los dispositivos electrónicos del tipo Ag-Au-PS-Si(p) son heterouniones con una capa intermedia de silicio poroso entre la película metálica (plata y oro) y el substrato base semiconductor de silicio tipo p. Aunque estas estructuras son análogas por su fabricación a los dispositivos de heterounión denominados estructuras metal-aislante-semiconductor (M.I.S), no se puede asegurar que su comportamiento y sus mecanismos de transporte sean similares a los de los dispositivos M.I.S ya que la presencia de la capa interfacial de silicio poroso puede cambiar radicalmente el comportamiento del sistema.

La figura 23 presenta las características I-V en oscuridad del dispositivo tipo Ag-Au-PS-Si(p). La curva muestra un comportamiento rectificante, con un punto de encendido en 64 mV, valor que supera el registro de las estructuras Ag-Si(p).



**Figura 23. Característica I-V de la estructura Ag-Au-PS-Si(p) en oscuridad**

**5.1.3 Características I-V en oscuridad de la estructura Al-PS-Si(p).** Al igual que la heterounión Ag-Au-PS-Si(p), estos dispositivos tienen semejanza con una estructura M.I.S pero su comportamiento debe estar condicionado en gran parte por las propiedades que presenta el silicio poroso.

La figura 24 muestra la característica I-V en oscuridad del dispositivo tipo Al-PS-Si(p). La curva exhibe un comportamiento rectificante, con un punto de encendido en 45 mV.

Las respectivas comparaciones para los voltajes de encendido presentes en las diferentes estructuras se presenta en la figura 25, en la cual se observa que las estructuras MIS presentan un valor apreciable en el voltaje de encendido en comparación con la estructura *Schottky*, además del comportamiento rectificante propio de la formación de una barrera entre la interfaz metal-semiconductor o metal-aislante.

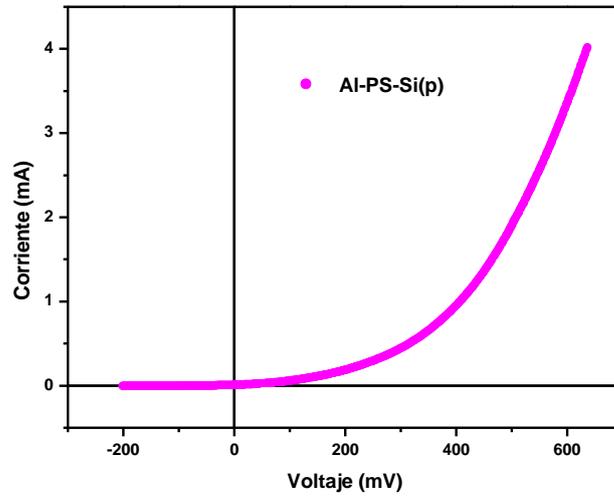


Figura 24. Característica I-V de la estructura Al-PS-Si(p) en oscuridad

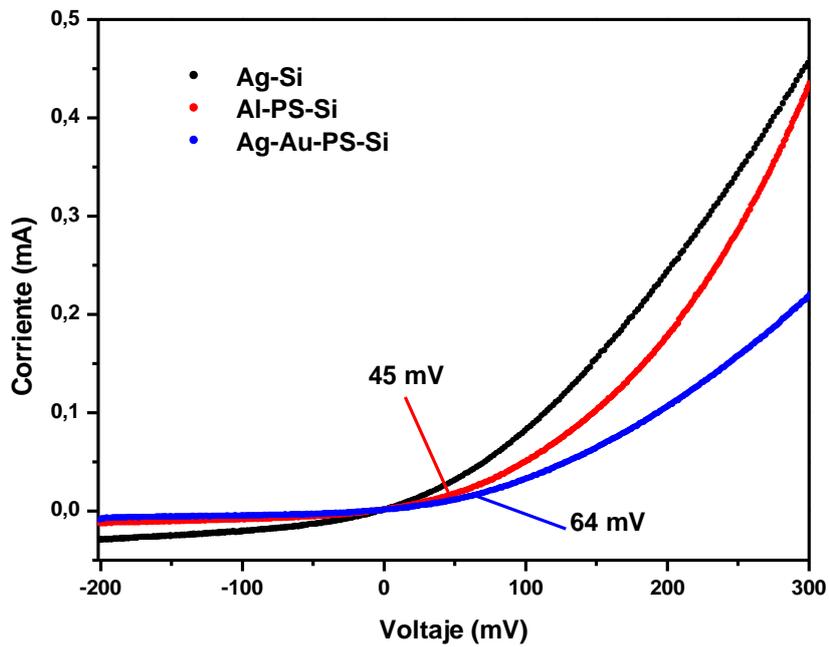
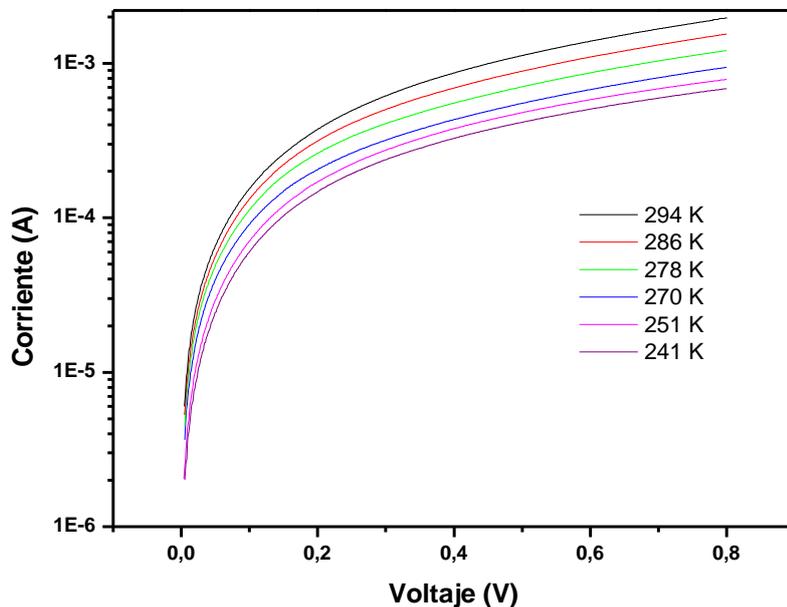


Figura 25. Comparación de curvas I-V entre la estructura Schottky [Ag-Si(p)] y las estructuras MIS [Ag-Au-PS-Si(p) y Al-PS-Si(p)]

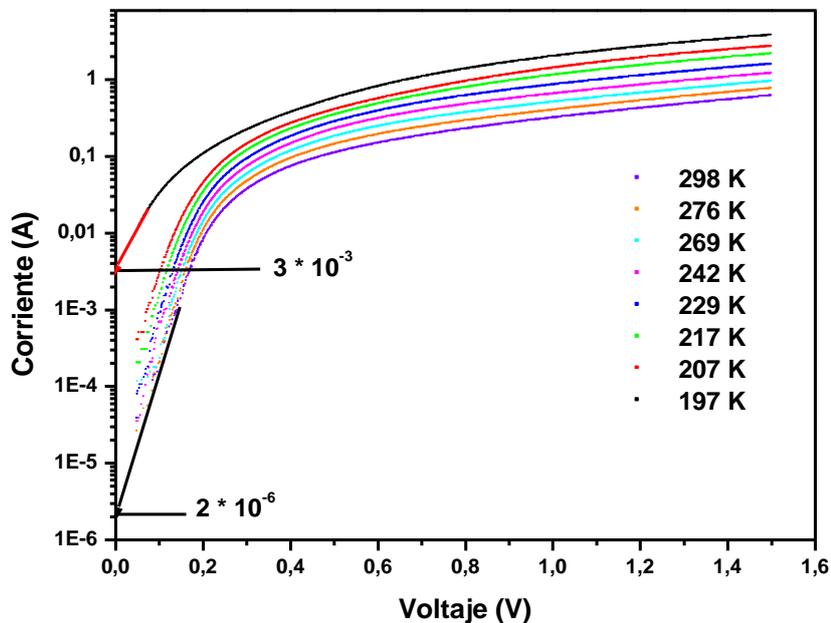
**5.1.4 Características I-V-T de la estructura Ag-Si(p).** La figura 26 presenta las curvas en escala logarítmica de las características I-V en función de la temperatura (I-V-T) en el rango de 241 K a 294 K, para el mismo dispositivo. Se observan valores del orden de  $10^{-6}$  A para la corriente de saturación  $I_0$  calculados por la extrapolación de las curvas I-V para  $V = 0$ . Los valores de  $I_0$  de los dispositivos resultan entre cinco y seis ordenes de magnitud mas altos que los valores conocidos para este parámetro en los diodos *Schottky*, lo cual indica que los valores de la corriente de saturación están dominados por mecanismos de recombinación y tunelamiento a través de la barrera [5,31]. Si bien los valores de  $I_0$  son independientes de la temperatura, la conducta de la corriente se ajusta a un comportamiento de emisión termoiónica en el cual a medida que la temperatura aumenta los electrones tienen mayor energía para sobrepasar la barrera, lo cual permite explicar que a medida que la temperatura aumenta, el valor de la corriente crece.



**Figura 26. Característica I-V-T del dispositivo Ag-Si(p)**

**5.1.5 Características I-V-T de la estructura Au-Ag-PS-Si(p).** La figura 27 presenta las curvas en escala logarítmica de las características I-V-T en el

rango de 197 K a 298 K, para este dispositivo. En el régimen de polarización directa la corriente exhibe un comportamiento exponencial en función del voltaje para las diferentes temperaturas a bajos valores de voltaje y se aleja de esta conducta cuando se incrementa el voltaje, sin alcanzar el valor de saturación en el rango de polarización aplicada que llega a 1.5 V. La corriente de saturación  $I_0$ , calculada por la extrapolación de las curvas  $I$  en función de  $V$  para  $V=0$ , presenta valores altos entre  $2 \times 10^{-6}$  A y  $3 \times 10^{-3}$  A. Los valores de la corriente  $I$ , al igual que los valores de la corriente de saturación  $I_0$ , crecen en la medida que aumenta la temperatura.

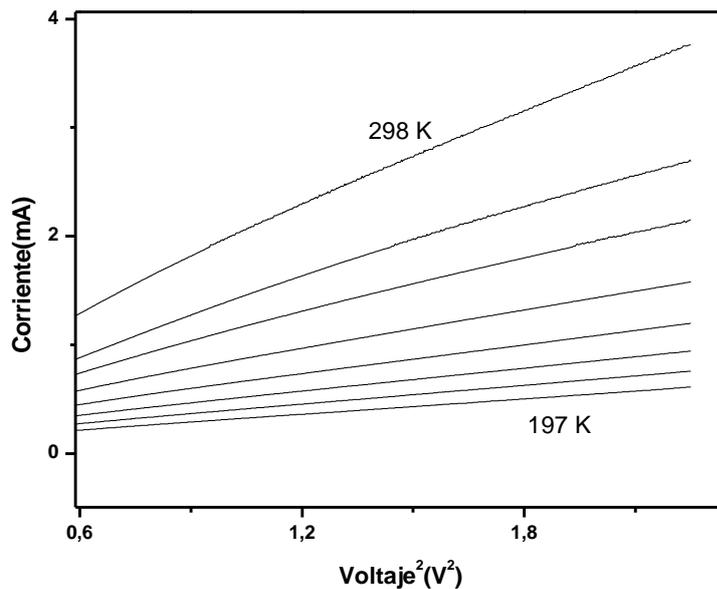


**Figura 27. Característica I-V-T de la estructura Ag-Au-PS-Si(p)**

La figura 28 corresponde a la gráfica de  $I$  en función de  $V^2$  para la estructura Ag-Au-PS-Si(p), la cual indica que al aumentar el voltaje de polarización directa la corriente se comporta aproximadamente lineal para valores de voltaje mayores a 0.6 V más apreciable a temperaturas bajas. Mostrando así que la corriente es directamente proporcional al cuadrado del valor del voltaje, de modo que se puede representar por una expresión aproximada en la forma

$$I = I_0 + \alpha V^2 \quad (5.1)$$

Donde  $\alpha$  representa un valor de proporcionalidad entre la corriente y el voltaje. Las características I-V de esta estructura resultan similares a las que aparecen reportadas sobre estructuras *p-i-n* y *m-i-m*, con capas intermedias de material amorfo [32]. Esta dependencia cuadrática de la corriente con el voltaje, corresponde a los efectos del llenado de las trampas poco profundas y al que se presenta en ausencia de trampas disponibles[33], lo cual se ajusta al mecanismo de conducción de la corriente limitado por la región de carga espacial [34,35], el cual resulta de la inyección de portadores hacia el aislante, donde no existe carga compensada, pero bien puede ser un nuevo mecanismo de transporte todavía no entendido, relacionado con el contenido de la capa amorfa de silicio poroso en la estructura.

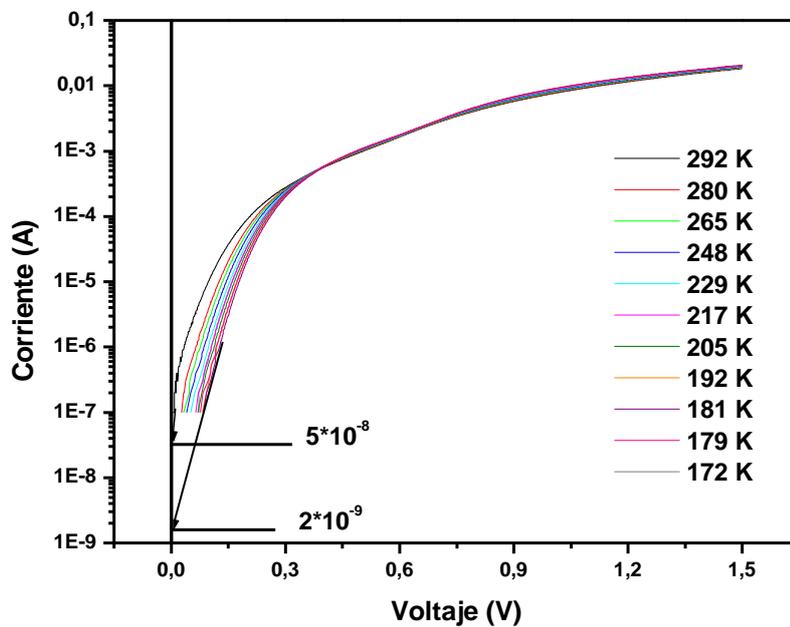


**Figura 28. Grafica I vs  $V^2$  del dispositivo Ag-Au-PS-Si(p) en función de la temperatura**

**5.1.6 Características I-V-T De Los Dispositivos Tipo Al-PS-Si(p).** La figura 29 presenta las curvas en escala logarítmica de las características I-V-T en el rango de 172 K a 292 K, para esta estructura. La corriente de saturación  $I_0$ , calculada, también en este caso, por la extrapolación de las curvas I-V para el

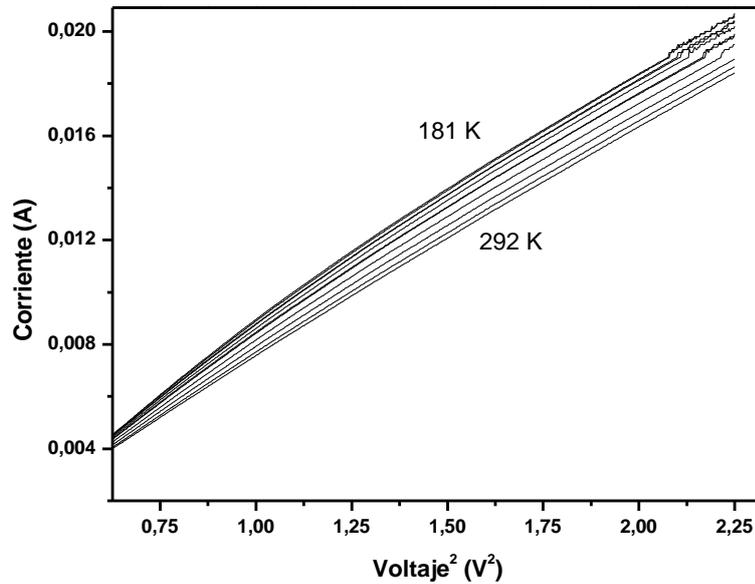
intercepto con I cuando V es igual a cero, presenta valores entre  $2 \times 10^{-9}$  A y  $5 \times 10^{-8}$  A, los cuales varían de forma notable con la temperatura en un rango de voltaje de 0 V a 0.3 V.

Para bajos voltajes de polarización directa el dispositivo presenta una conducta exponencial de la corriente en función del voltaje aplicado con una fuerte dependencia de la temperatura, pero en la medida que la polarización alcanza y crece por encima de 0.3 V la corriente cambia de conducta y se torna independiente de la temperatura.



**Figura 29. Característica I-V-T del dispositivo Al-PS-Si(p)**

La figura 30 corresponde a la grafica I-V<sup>2</sup> para el dispositivo Al-PS-Si(p). En este caso, al igual que ocurre con la estructura Ag-Au-PS-Si(p), la corriente presenta una dependencia cuadrática con el voltaje de polarización directa. Sin embargo, el dispositivo Al-PS-Si(p) presenta esta conducta cuadrática a partir de un valor de 0.6 V<sup>2</sup>, a diferencia del dispositivo Ag-Au-PS-Si(p) este presenta una unificación alrededor de 0.16 V<sup>2</sup> y la variación a diferentes temperaturas no es muy notable.



**Figura 30. Grafica I vs V<sup>2</sup> del dispositivo Al-PS-Si(p) en función de la temperatura**

Aunque, a bajos niveles de corriente los tres dispositivos estudiados presentan una relación exponencial dependiente de la temperatura, el cambio de las características I-V en función de la temperatura es mas débil en los dispositivos Al-PS-Si(p) y Ag-Au-PS-Si(p) que en el dispositivo Ag-Si(p) como se puede observar en las figuras 26, 27 y 29. Para la muestra sin silicio poroso la dependencia exponencial a bajos niveles de polarización esta dada en un rango muy estrecho de 0 V a 0.05 V, mientras que para las muestras con capa interfacial de silicio poroso la dependencia exponencial comprende el rango de 0 V a 0.2 V.

## 5.2 DETERMINACION DEL FACTOR DE IDEALIDAD Y ALTURA DE BARRERA DE LOS DISPOSITIVOS

Los diferentes dispositivos caracterizados por las medidas I-V-T presentan un comportamiento exponencial a bajos niveles de corriente, que se puede ajustar al descrito por la teoría de emisión termoiónica. De esta forma los valores de la altura de la barrera aparente  $\phi_b$  y del factor de idealidad  $\eta$  se pueden estimar por medio de las graficas de  $\ln I$  en función del voltaje en el régimen de polarización directa, en la región de voltajes bajos. Las pendientes de las curvas se ajustaron por mínimos cuadrados para determinar  $\eta$ ; esta linealización también permite encontrar el intercepto para  $V=0$ , con el cual se calcula  $\phi_b$ , donde se asume que la constante efectiva de Richardson, para el silicio tipo  $p$ , tiene un valor de  $32 \text{ A / cm}^2 \text{ K}^2$ , tenemos

$$J = A^* T^2 \exp(-q\phi_b / kT) \{ \exp(qV/\eta kT) \} \quad (5.2)$$

Donde

$$J_0 = A^* T^2 \exp(-q\phi_b / kT) \quad (5.3)$$

Reescribimos la ecuación 5.2

$$J = J_0 \{ \exp(qV/\eta kT) \} \quad (5.4)$$

Aplicando logaritmo natural en ambos lados de la ecuación

$$\ln J = \ln J_0 + qV/\eta kT \quad (5.5)$$

$$Y = mX + b$$

$$m = q / \eta kT$$

$$b = \ln J_0$$

Donde  $b$  es el intercepto para  $V = 0$ ,  $m$  el valor de la pendiente, despejando el factor de idealidad y la altura de barrera tenemos

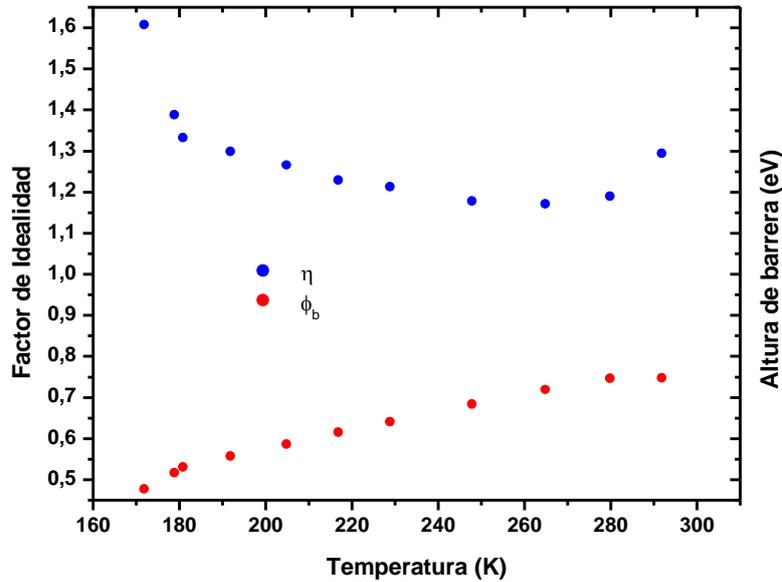
$$\eta = q / mkT \quad (5.6)$$

$$e^b = J_0 = A^*T^2 e^{-(q\phi_b/kT)}$$

$$b = \ln(A^*T^2) + q\phi_b / kT$$

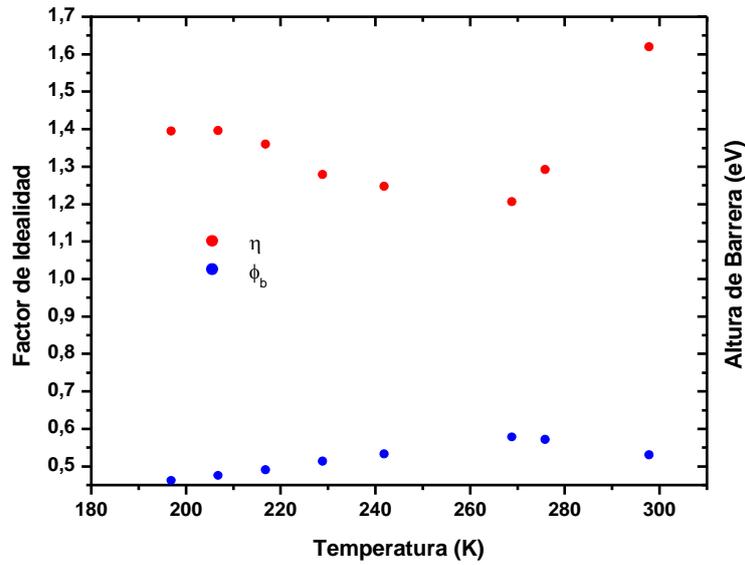
$$\phi_b = kT / q [\ln(A^*T^2) - b] \quad (5.7)$$

**5.2.1 Dispositivo Al-PS-Si(p).** La grafica 31 muestra una fuerte dependencia del factor de idealidad y de la altura de barrera con la temperatura. Se observa un incremento en el factor de idealidad desde el valor de 1.17 hasta 1.61 cuando la temperatura decrece desde 265 K a 172 K; simultáneamente, se observa un decremento de la altura de barrera del dispositivo desde 0.75 eV hasta 0.48 eV, al bajar la temperatura de 292 K a 172 K. Esta conducta para una unión *Schottky*, corresponde al denominado efecto  $T_0$  [15,35,36], el cual puede estar asociado con la inhomogeneidad de la altura de la barrera o con el hecho de que la corriente está dominada por el mecanismo de emisión de campo asistida térmicamente (TFE) en lugar del mecanismo de emisión termoiónica (TE) [36,37]. El mecanismo de dominación de la corriente por la emisión de campo asistida térmicamente puede estar relacionada con la falta de homogeneidad de la unión que da lugar a magnificaciones locales del campo eléctrico [38,39].



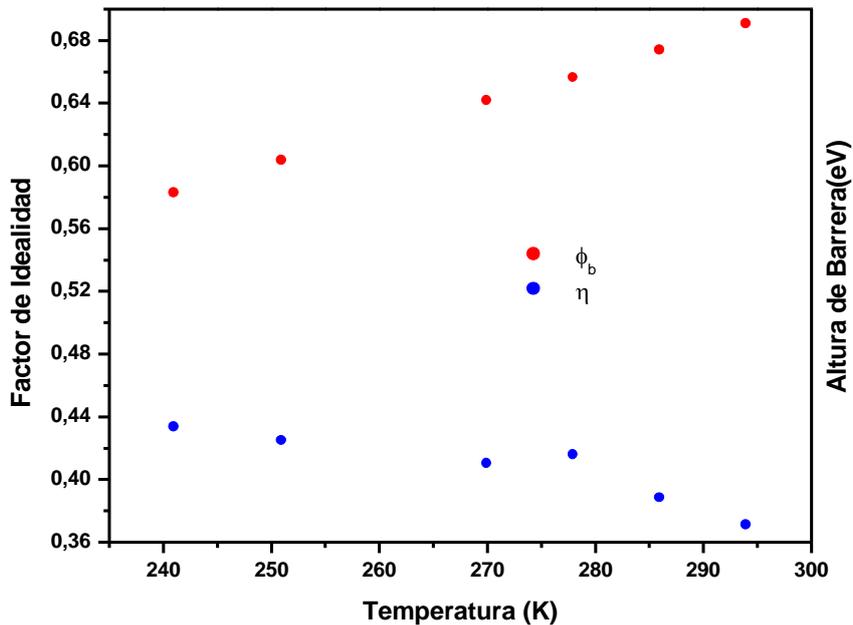
**Figura 31. El factor de idealidad ( $\eta$ ) y la altura de barrera aparente ( $\phi_b$ ) calculados a partir de las características LnI-V para el dispositivo Al-PS-Si(p)**

**5.2.2 Dispositivo Ag-Au-PS-Si(p).** La grafica 32 muestra los valores del factor de idealidad y de altura de barrera como una función de la temperatura. El factor de idealidad aumenta desde 1.2 hasta 1.4 y la altura de la barrera decrece desde 0.58 eV hasta 0.46 eV cuando la temperatura disminuye de 269 K a 197 K, de modo que este dispositivo presenta el mismo efecto  $T_0$  que registra el dispositivo Si(p)-PS-Al. Sin embargo, el cambio en el factor de idealidad y la altura de barrera con el decremento de la temperatura de la heteroestructura Ag-Au-PS-Si(p) registra valores menores que los observados en el dispositivo Al-PS-Si(p).



**Figura 32. El factor de idealidad ( $\eta$ ) y la altura de barrera aparente ( $\phi_b$ ) calculados a partir de las características  $\ln I-V$  para el dispositivo Ag-Au-PS-Si(p)**

**5.2.3 Dispositivo Ag-Si(p).** En la grafica 33 se puede observar que el dispositivo Si(p)-Ag tiene un comportamiento eléctrico muy diferente al de los dispositivos con capa interfacial de silicio poroso, tanto en el factor de idealidad como en la altura de barrera. Como hecho sobresaliente los factores de idealidad son menores que 1, y los cambios en los valores de este factor y de la altura de barrera no siguen la misma conducta asociada con el efecto  $T_0$ , que presentan las estructuras Ag-Au-PS-Si(p) y Al-PS-Si(p), al disminuir la temperatura desde 294 K a 241 K. De todas maneras, los valores de la altura de barrera del dispositivo Ag-Si(p) sí son comparables con los valores calculados para los dos dispositivos con capa de silicio poroso, con cambios de 0.68 eV a 0.58 eV para un decremento de la temperatura de 294 K a 241 K.



**Figura 33. El factor de idealidad ( $\eta$ ) y la altura de barrera aparente ( $\phi_b$ ) calculados a partir de las características  $\ln I-V$  para el dispositivo Ag-Si(p)**

Los valores de altura de barrera aparente y del factor de idealidad muestran dependencia con la temperatura, figuras 31, 32 y 33. Los correspondientes incrementos en el factor de idealidad y disminución en los valores de altura de barrera aparente para los dispositivos Al-PS-Si(p) y Ag-Au-PS-Si(p), corresponden al denominado efecto  $T_0$ , el cual puede estar asociado con la no homogeneidad en la altura de la barrera o con el hecho de que la corriente está dominada por el mecanismo de emisión de campo asistida térmicamente (TFE) en lugar del mecanismo de emisión termoiónica (TE). El mecanismo de dominación de la corriente por emisión de campo asistida térmicamente puede estar relacionada con la falta de homogeneidad de la unión que da lugar a magnificaciones locales del campo eléctrico. A diferencia de esto los factores de idealidad para el dispositivo Ag-Si(p) son menores que 1, y los cambios en los valores de este no siguen la misma conducta asociada con el efecto  $T_0$ , que presentan los dispositivos anteriores. Adicional a ello el incremento en el factor de idealidad con el incremento en la temperatura alrededor de la temperatura

ambiente esta relacionado con la región lineal de las características I-V en escala logarítmica cuando la temperatura aumenta. Las diferencias de comportamiento descritas con otras estructuras, debe estar relacionada con las características inusuales que presenta el silicio poroso.

### 5.3 CARACTERÍSTICAS C-V-T DE LOS DISPOSITIVOS

**5.3.1 Características C-V-T Del Dispositivo Al-PS-Si(p).** La figura 34 presenta las características C-V del dispositivo Al-PS-Si(p), para temperaturas de 293 K, 333 K y 363 K. La curva de capacitancia en función del voltaje registra un aumento notable en función de la temperatura especialmente para valores de voltaje próximos a cero. Este cambio es mas notable al incrementar la temperatura de 333 K a 363 K que cuando se pasa de la temperatura ambiente a 333 K. Los valores del máximo de capacitancia registrados son 0.43 nF, 0.97 nF y 6.44 nF, para las temperaturas de 293 K, 333 K y 363 K respectivamente.

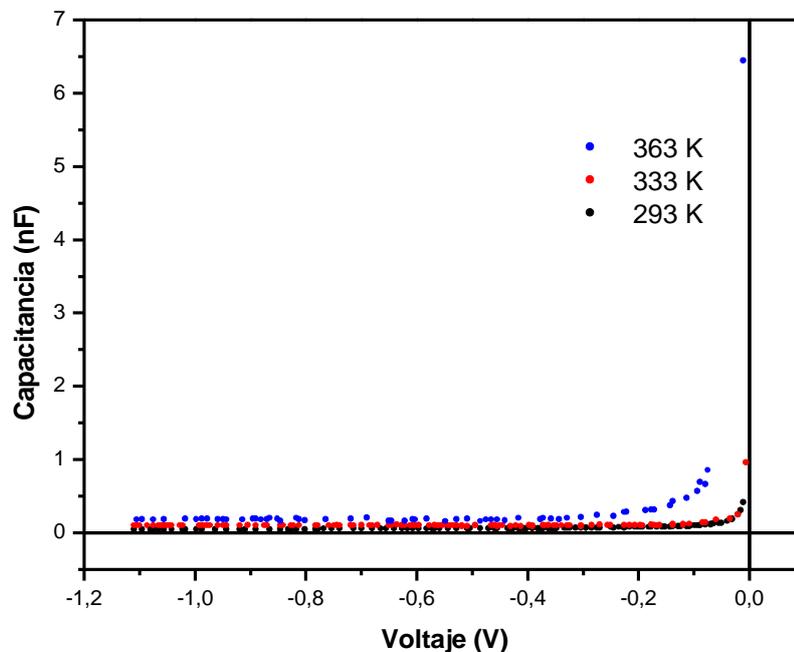
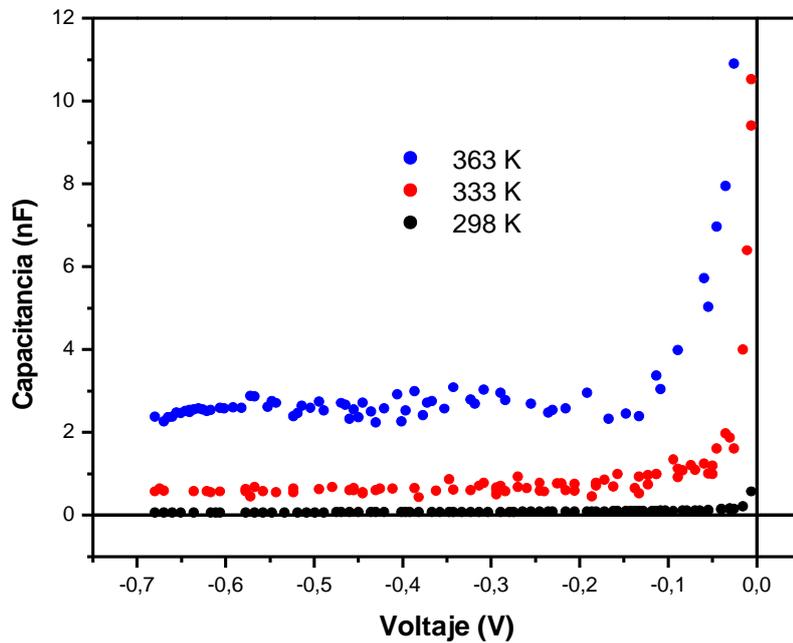


Figura 34. Características capacitancia-voltaje del dispositivo Al-PS-Si(p)

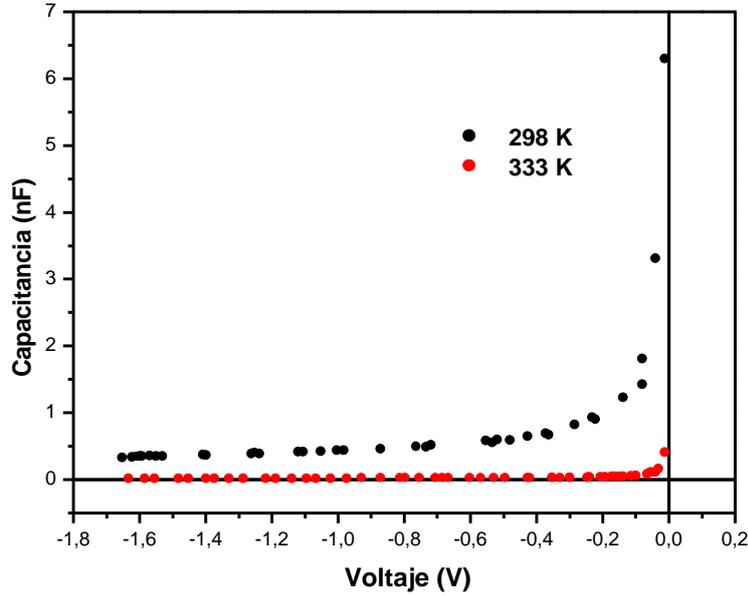
**5.3.2 Características C-V-T Del Dispositivo Ag-Au-PS-Si(p).** La figura 35 presenta las características C-V del dispositivo Ag-Au-PS-Si(p), para temperaturas de 298 K, 333 K y 363 K. Las curvas presentan un aumento notable en el valor máximo de capacitancia al incrementar la temperatura; mientras que a temperatura ambiente, 298 K, el valor del máximo de capacitancia es de 0.584 nF, para las temperaturas de 333 K y 363 K se registran valores de 10.5 nF y 10.88 nF.



**Figura 35. Características capacitancia-voltaje del dispositivo Ag-Au-PS-Si(p)**

**5.3.3. Características C-V-T Del Dispositivo Ag-Si(p).** La figura 36 presenta las características C-V del dispositivo Si(p)-Ag, para temperaturas de 298 K y 333 K. Para este cambio de temperatura de 35 K, el dispositivo registra un pequeño cambio en los valores de la capacitancia desde 0.3 nF con una polarización inversa de 1.6 V hasta 6 nF cuando el voltaje se aproxima a 0 V. La conducta C-V de este dispositivo, presenta una disminución de la capacitancia al aumentar la temperatura, como es predecible para una unión Schottky, y resalta la diferencia de comportamiento con relación a los

dispositivos que tienen capa interfacial de silicio poroso, en los cuales la capacitancia aumenta al incrementar la temperatura.



**Figura 36. Características capacitancia-voltaje del dispositivo Ag-Si(p)**

Las características C-V exhiben fuerte dependencia con la temperatura, como se muestra en las figuras 34, 35 y 36. Esta característica está relacionada con los procesos de recarga de niveles profundos presentes en la capa de silicio poroso lo cual produce un exceso de capacitancia. Como se observa la estructura *Schottky* disminuye su capacitancia con el aumento de la temperatura, de acuerdo con la teoría para la región de acumulación[20]:

$$C \equiv \frac{dQ_c}{dV} = \frac{d(qN_B W)}{d[(qN_B / 2\epsilon_S)W^2]} = \frac{\epsilon_S}{W} = \sqrt{\frac{q\epsilon_S N_B}{2}} (V_{bi} \pm V - 2kT/q)^{-1/2} \quad (5.8)$$

En las estructuras con silicio poroso se asume la existencia de trampas profundas, las cuales al aumentar la temperatura contribuyen al proceso de recombinación y generación de cargas produciendo un aumento en la capacitancia.

## 6. CONCLUSIONES

Los dispositivos Ag-Si(p), Ag-Au-PS-Si(p) y Al-PS-Si(p) han sido estudiados por medio de las características I-V-T y C-V-T en oscuridad con el objetivo de estudiar el comportamiento de los portadores de carga eléctrica. Las propiedades eléctricas de las tres diferentes estructuras exhiben marcadas diferencias entre el dispositivo de barrera *Schottky* y los fabricados con la capa interfacial de silicio poroso.

Se comprueba que las heteroestructuras con la capa intermedia de silicio poroso presentan un comportamiento exponencial a bajos voltajes de polarización y a voltajes mas altos se presenta una original relación entre la corriente y el voltaje de tipo cuadrática con casi total independencia de la temperatura. La relación I-V de estos dispositivos coincide con las características reportadas recientemente (año 2003) en varias publicaciones sobre estructuras de diodos con una capa intermedia de baja resistividad en estructuras cristalinas *p-i-n* y *m-i-m*, y estructuras amorfas *p-i-n* y *n-i-n*.

Algunas características eléctricas obtenidas para estas estructuras son similares al comportamiento de las características eléctricas de heteroestructuras tipo *m-i-p* (Metal-Semiconductor Intrínseco-Silicio(p)), que puede estar asociada con una notable propiedad del silicio poroso al comportarse como material intrínseco y amorfo.

El estado actual del conocimiento de los dispositivos *p-s-n*, principalmente sobre los mecanismos de transporte, indica que estos no son entendidos completamente, pero que ellos presentan el efecto conocido como efecto  $T_0$  asociado a los mecanismos de efecto de campo asistido térmicamente.

Se diseñó y fabricó un sistema económico de caracterización capacitancia-voltaje para obtener las curvas C-V, con respuesta en el orden de los picofaradios, el cual es útil para la medición y estudio de las características eléctricas en dispositivos semiconductores en un rango de frecuencias de 1 Hz a 1 MHz. El sistema está acoplado a un software de interfaz de usuario realizado en LabVIEW para la implementación de un método de caracterización automático, donde la velocidad en la toma de los datos, el almacenamiento y análisis de los mismos, permite superar de forma notable el proceso de caracterización manual, que produce dispersión de los datos C-V de los dispositivos por el retraso entre las distintas medidas.

Así este trabajo además de estar al nivel de recientes investigaciones, contribuye aún más a la interpretación de las características que presenta el comportamiento eléctrico de esta clase de dispositivos los cuales no han sido explicados en su totalidad y los cuales necesitarían más tiempo e investigación para su total comprensión.

## BIBLIOGRAFÍA

1. T. Meek, M. Hu, and M. J. Haire, "Semiconductive properties of uranium oxides", in the Waste Management 2001 Symposium, Tucson Az.
2. M. J. Chudobiak, "New Approaches For Designing High Voltage, High current Silicon Step Recovery Diodes for Pulse Sharpening Applications", (1996).
3. M. A. Green, in <http://www.pv.unsw.edu.au/info/bcsc.html>.
4. E. H. Rhoderick, "Metal – Semiconductor contacts", Ed. Clarendon Press, Oxford (1981).
5. A. Morales, R. Asomoza y J. Del Valle, "Efectos eléctricos de las superficies interfaces y heterouniones en celdas solares", Informe Técnico Centro de Investigación y Estudios Avanzados del IPN(1985).
6. J. V. Caballero, " Películas delgadas de titanato de bario amorfo depositadas sobre silicio oxidado", Tesis de Doctorado, Universidad de Chile, (2002).
7. J. A. Diniz, Tese de Mestrado, FEEC – UNICAMP (1992).
8. J. M. Thomas, "Guidelines for interpreting CV Data", Solid State Technology, (1990).
9. J. M. Thomas, "How to 'Clean Up' your CV Measurements", Research & Development, (1987).
10. J. M. Thomas, "The Role of CV Profiling in Semiconductor Characterization", Solid State Technology (1990).
11. D. F. Takeuti, Tese de Mestrado, FEEC – UNICAMP (1992).
12. W. S. Ruska, "Microelectronic Processing – An Introduction to the Manufacture of Integrated Circuits", Ed. Mc. Graw-Hill Book Company, United States of America, (1976).
13. C–V Measurements and Calibration Techniques en <http://eesof.tm.agilent.com/docs/iccap2002/MDLGBOOK/1MEASUREMENTS/2CV/CV.pdf>

14. F. J. Feigl, "VLSI Electronics – Microelectronic Science", Ed. N. G. Einspruch e G. B. Larrabee, Academic Press, 6, 147 (1983).
15. J. D. Chatelain, "Dispositivos de Semiconductores", Ed. Limusa, México (1987).
16. H. S. Veloric and M. B. Prince, "High Voltage Conductivity – Modelated Silicon Rectifier", Bell Syst. Tech. J., (1957).
17. Review of Diode Reverse Transient Physics en <http://www.avtechpulse.com/papers/thesis/2/>
18. NMIC Guidelines en <http://parts.jpl.nasa.gov/mmic/contents.htm>.
19. F. A. Padovani, "Semiconductor and Semimetals", Ed. R. K. Willarson y A.C. Beer, Ac. Press (1971).
20. S. M. Sze, "Physics of Semiconductor Devices", Ed. John Wiley & Sons, Nueva York (1981).
21. W. Schottky, "Halbleitertheorie der Sperrschicht", Naturwissenschaften (1938).
22. H. A. Bethe, "Theory of the Boundary Layer of Crystal Rectifiers", MIT Radiat. Lab. (1942).
23. C. R. Crowell, "The Richardson Constant for Thermionic Emission in Schottky Barrier Diodes", Solid State Electron (1965).
24. C. R. Crowell and S. M. Sze, "Current Transport in Metal – Semiconductor Barriers", Solid State Electron (1966).
25. J. M. Andrews and M. P. Lepselter, "Reverse Current – Voltage Characteristics of Metal – Silicide Schottky Diodes", Solid State Electron (1970).
26. A. S. Grove, "Physics and Technology of Semiconductor Devices", Ed. Wiley, Nueva York (1967).
27. A. K. Ghosh, C. Fishman and T. Feng, "Theoretical Efficiency of SnO<sub>2</sub> / Si Solar Cells", J. Appl. Phys (1979).
28. B. Van Zeghbroeck, "Principles of Semiconductor Devices" in [http://ece-www.colorado.edu/~bart/book/book/chapter3/pdf/ch3\\_9.pdf](http://ece-www.colorado.edu/~bart/book/book/chapter3/pdf/ch3_9.pdf) (2004)

29. M. R. Sweet, "Serial Programming Guide for POSIX Operating Systems" in  
[http://iem.kug.ac.at/ritsch/programmier/pd\\_externals/comport/docs/serial.pdf](http://iem.kug.ac.at/ritsch/programmier/pd_externals/comport/docs/serial.pdf)
30. Impedance Measurement Handbook, Agilent Technologies in  
<http://bakelite.pd.infn.it:5210/Docs/Hardware/5950-3000.pdf>.
31. C. Y. Chang and S. M. Sze, "Carrier Transport across Metal-Semiconductor Barriers", *Solid State Electron*, (1970).
32. V. Cannella, J. McGill, Z. Yaniv, and M. Silver, *J. Non-Crystalline Solids* (1985).
33. S. Wagle and V. Shirodkar, "Space charge limited conduction in thin film Al/Sb<sub>2</sub>Pb<sub>1</sub>Se<sub>7</sub>/Al devices", *Solid State Electronics Laboratory, Department of Physics, The Institute of Science*, (1999).
34. J. Kanicki, *Amorphous and Microcrystalline Semiconductor Devices Vol. I: Optoelectronic Devices*, Artech, London, 1991; *Vol. II: Materials and Device Physics*, Artech, London, (1992).
35. E. I. Adirovich, P. M. Karageorg-Alkalaev, and A. Yu. Layderman, *Double Injection Currents in Semiconductors*, Sov. Radio, Moscow, (1987).
36. Zs. J. Horváth, "Physics of Semiconductor Devices", Narosa Publishing House, New Delhi, (1998).
37. Zs. J. Horváth, *Solid-State Electron*, (1996).
38. Zs. J. Horváth, "A new approach to temperature dependent ideality factors in Schottky contacts," *Mat. Res. Soc. Symp. Proc.* (1992).
39. Zs. J. Horváth, "Comment on "Analysis of I-V measurements on CrSi<sub>2</sub>-Si Schottky structures in a wide temperature range", *Solid-State Electron*, (1996).